Hi3521/Hi3520A H.264 编解码处理器

用户指南

文档版本 09

发布日期 2015-02-09

部件编码 N/A

版权所有 © 深圳市海思半导体有限公司 2012-2015。保留一切权利。

非经本公司书面许可，任何单位和个人不得擅自摘抄、复制本文档内容的部分或全部，并不得以任何形式传播。

商标声明

、HISILICON、海思和其他海思商标均为深圳市海思半导体有限公司的商标。

本文档提及的其他所有商标或注册商标，由各自的所有人拥有。

注意

您购买的产品、服务或特性等应受海思公司商业合同和条款的约束，本文档中描述的全部或部分产品、服务或特性可能不在您的购买或使用范围之内。除非合同另有约定，海思公司对本文档内容不做任何明示或默示的声明或保证。

由于产品版本升级或其他原因，本文档内容会不定期进行更新。除非另有约定，本文档仅作为使用指导，本文档中的所有陈述、信息和建议不构成任何明示或暗示的担保。

深圳市海思半导体有限公司

地址：深圳市龙岗区坂田华为基地华为电气生产中心 邮编：518129

网址：http://www.hisilicon.com

客户服务电话：+86-755-28788858

客户服务传真：+86-755-28357515

客户服务邮箱：support@hisilicon.com

目　录

前　言.....1

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

前 言

概述

本文档介绍了 Hi3521 芯片的特性、逻辑结构，详细描述各个模块的功能、工作方式、相关寄存器定义，用图表的方式给出了接口时序关系和相关参数，并详细描述了芯片的管脚定义和用途以及芯片的性能参数和封装尺寸。

产品版本

与本文档相对应的产品版本如下。

产品名称	产品版本
Hi3521	V100
Hi3520A	V100

读者对象

本文档主要适用于以下工程师：

- 电子产品设计维护人员
- 电子产品元器件市场销售人员

约定符号约定

在本文中可能出现下列标志，它们所代表的含义如下。

符号	说明
危险	以本标志开始的文本表示有高度潜在危险，如果不能避免，会导致人员死亡或严重伤害。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

符号	说明
警告	以本标志开始的文本表示有中度或低度潜在危险，如果不能避免，可能导致人员轻微或中等伤害。
注意	以本标志开始的文本表示有潜在风险，如果忽视这些文本，可能导致设备或器件损坏、数据丢失、设备性能降低或不可预知的结果。
窍门	以本标志开始的文本能帮助您解决某个问题或节省您的时间。
说明	以本标志开始的文本是正文的附加信息，是对正文的强调和补充。

通用格式约定

格式	说明
宋体	正文采用宋体表示。
黑体	一级、二级、三级标题采用黑体。
楷体	警告、提示等内容一律用**楷体**，并且在内容前后增加线条与正文隔离。
“Terminal Display”格式	“Terminal Display”格式表示屏幕输出信息。此外，屏幕输出信息中夹杂的用户从终端输入的信息采用加粗字体表示。

表格内容约定

内容	说明
-	表格中的无内容单元。
*	表格中的内容用户可根据需要进行配置。

寄存器访问类型约定

类型	说明	类型	说明
RO	只读，不可写。	W0C	可读，写 0 清零，写 1 保持不变。
WO	只写。	W1S	可读，写 1 置 1，写 0 保持不变。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

类型	说明	类型	说明
RW	可读可写。	W0S	可读，写 0 置 1，写 1 保持不变。
RC	读清零。	OSW	可读，写 1 后片内自清零，即产生一个脉冲。
W1C	可读，写 1 清零，写 0 保持不变。		

数值单位约定

数据容量、频率、数据速率等的表达方式说明如下。

类别	符号	对应的数值
数据容量（如 RAM 容量）	1K	1024
	1M	1,048,576
	1G	1,073,741,824
频率、数据速率等	1k	1000
	1M	1,000,000
	1G	1,000,000,000

地址、数据的表达方式说明如下。

符号	举例	说明
0x	0xFE04、0x18	用 16 进制表示的数据值、地址值。
0b	0b000、0b00 00000000	表示 2 进制的数据值以及 2 进制序列（寄存器描述中除外）。

修订记录

修订记录累积了每次文档更新的说明。最新版本的文档包含以前所有文档版本的更新内容。

修订日期	版本	修订说明
2015-02-09	09	**第 14 章 外围设备** 修改 I2C_SCL_H 和 I2C_SCL_L 寄存器
2014-09-21	08	**第 2 章 硬件** 2.1.1 封装图有更新

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

修订日期	版本	修订说明
		2.8.2.3 小节，修改图 2-17 和图 2-18 **第 5 章以太网接口** 5.5 寄存器概览章节，修改 GMACN_MMC_RX1024TOMAXOCTETS_GB 偏移地址。 **第 11 章 视频接口** 修改图 11-6。
2014-05-09	07	**第 2 章 硬件** 修改表 2-101。
2013-11-18	06	**第 2 章 硬件** 修改图 2-30 和图 2-32。 **第 5 章 以太网接口** 修改图 5-2 和图 5-4。
2013-08-31	05	**第 11 章 视频接口** 图 11-1 中，修改 HC0/1 为 HC0。 11.2.2 功能描述中，修改支持的鼠标层个数为 1 个，即 HC0。
2013-04-28	04	**第 1 章 产品概述** 1.2.13 存储器接口中修改 SPI Nor Flash 接口支持的片选最大容量。
2013-01-10	03	**第 11 章 视频接口** 数字摄像头接口时序小节，删除“VICAP 支持分辨率最大为 2560x1600 的摄像头数据传输”的描述。
2012-11-30	02	**第 1 章 产品概述** 1.2.8 加密引擎中删除"数字水印"。 **第 2 章 硬件** 对 EFUSE 管脚，增加“禁止供电”的相关描述。 调整 2.6 小节结构，补充功耗参数信息，增加温度和热阻参数小节。 **第 4 章 存储器接口** 修改 4.1.2 DDRC 的第一个功能特点。 4.1.4.3 DDR2 初始化配置流程中修改步骤 11 及下面的说明。 4.1.4.4 DDR3 初始化配置流程中修改步骤 13 及下面的说明。 DDRC_EMRS01 和 DDRC_EMRS23 的寄存器描述更新。 更新 4.3.5 和 4.3.6。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

修订日期	版本	修订说明
		第 11 章 视频接口 11.1.3.2 功能原理中的 ITU-R BT.601 YCbCr4:2:2 的水平时序和垂直时序中关于 NTSC 和 PAL 制式的描述有更新。 **第 14 章 外围设备** 修改 SATA_PHY0_CTLH 的复位值，同时将 bit[3:2]改为保留。
2012-08-30	01	**第 1 章 概述** 1.1.1 单片 Hi3521 DVR 解决方案中修改部分。 **第 10 章 智能加速引擎** 增加 3x3 膨胀、3x3 腐蚀、图像二值化处理、双源图像与运算、双源图像或运算、积分图和直方图的相关计算公式。 新增 **02-B 订购须知**
2012-06-30	00B10	**第 2 章 硬件** 将表 2-14 和表 2-80 中功能 1 时的取值为 11 时的启动模式改为保留。 **第 3 章 系统** 修改 PERI_CRG16 bit[10]为保留。 修改 SYSSTAT bit[5:4]取值为 11 时的启动模式为保留。 **第 11 章 视频接口** 增加支持 HDMI 接口的标准；同时增加 VHD 和 VSD 的不同亮度等级的 ACC 查找表寄存器 2 和 3 WBC2VSP bit[25]增加“必须配置为 0”的描述。 **第 14 章 外围设备** 初始化 PHY 小节中，修改步骤四和步骤八中寄存器的配置值。
2012-06-08	00B04	**第 1 章 概述** 修改表 1-1 中，0x0000_0000 至 0x03FF_FFFF 的功能及相应说明。 **第 2 章 硬件** 将表 2-14 和表 2-80 中功能 1 时的取值为 11 时的启动模式改为保留。 **第 3 章 系统** 修改 PERI_CRG16 bit[10]为保留。 修改 SYSSTAT bit[5:4]取值为 11 时的启动模式为保留。 **第 5 章 TOE** 更新。
2012-04-20	00B03	完整版本。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

修订日期	版本	修订说明
2012-03-29	00B02	更新。
2012-03-20	00B01	精简版本（含产品概述和硬件）。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

目 录

1 产品概述.....1-1
1.1 应用场景.....1-1
1.1.1 单片 Hi3521 DVR 解决方案.....1-1
1.1.2 Hi3521 NVR 解决方案.....1-2
1.2 架构.....1-3
1.2.1 概述.....1-3
1.2.2 处理器内核.....1-4
1.2.3 多协议视频编解码.....1-4
1.2.4 视频编解码处理.....1-4
1.2.5 智能视频分析.....1-5
1.2.6 视频与图形处理.....1-5
1.2.7 音频编解码.....1-5
1.2.8 安全引擎.....1-5
1.2.9 视频接口.....1-5
1.2.10 音频接口.....1-6
1.2.11 网络接口.....1-6
1.2.12 外围接口.....1-6
1.2.13 存储器接口.....1-6
1.2.14 多种启动模式可配置.....1-7
1.2.15 SDK.....1-7
1.2.16 芯片物理规格.....1-7
1.3 启动模式.....1-7
1.3.1 从 bootrom 启动.....1-8
1.3.2 从 NAND Flash 启动.....1-8
1.3.3 从 SPI Flash 启动.....1-8
1.3.4 地址空间映射.....1-8

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

插图目录

图 1-1 Hi3521 单片 DVR 应用框图 1-2
图 1-2 Hi3521 NVR 应用框图 1-3
图 1-3 Hi3521 芯片逻辑框图 1-4

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

表格目录

表 1-1 地址空间映射表 1-8

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

1 产品概述

1.1 应用场景

Hi3521 是针对多路 D1 和多路高清 DVR、NVR 产品应用开发的一款专业高端 SOC 芯片。Hi3521 内置高性能 A9 处理器、高达 8 路 D1 实时多协议编解码能力的引擎和专用 TOE 网络加速模块，应对越来越高的高清应用和网络需求；集成优异的视频引擎和编解码算法并结合多路高清显示输出能力，充分满足客户产品的高质量图像体验。
Hi3521 高度集成和丰富的外围接口，在满足客户差异化产品功能、性能、图像质量要求的同时，大大降低 ebom 成本，Hi3521 的典型应用场景如下：

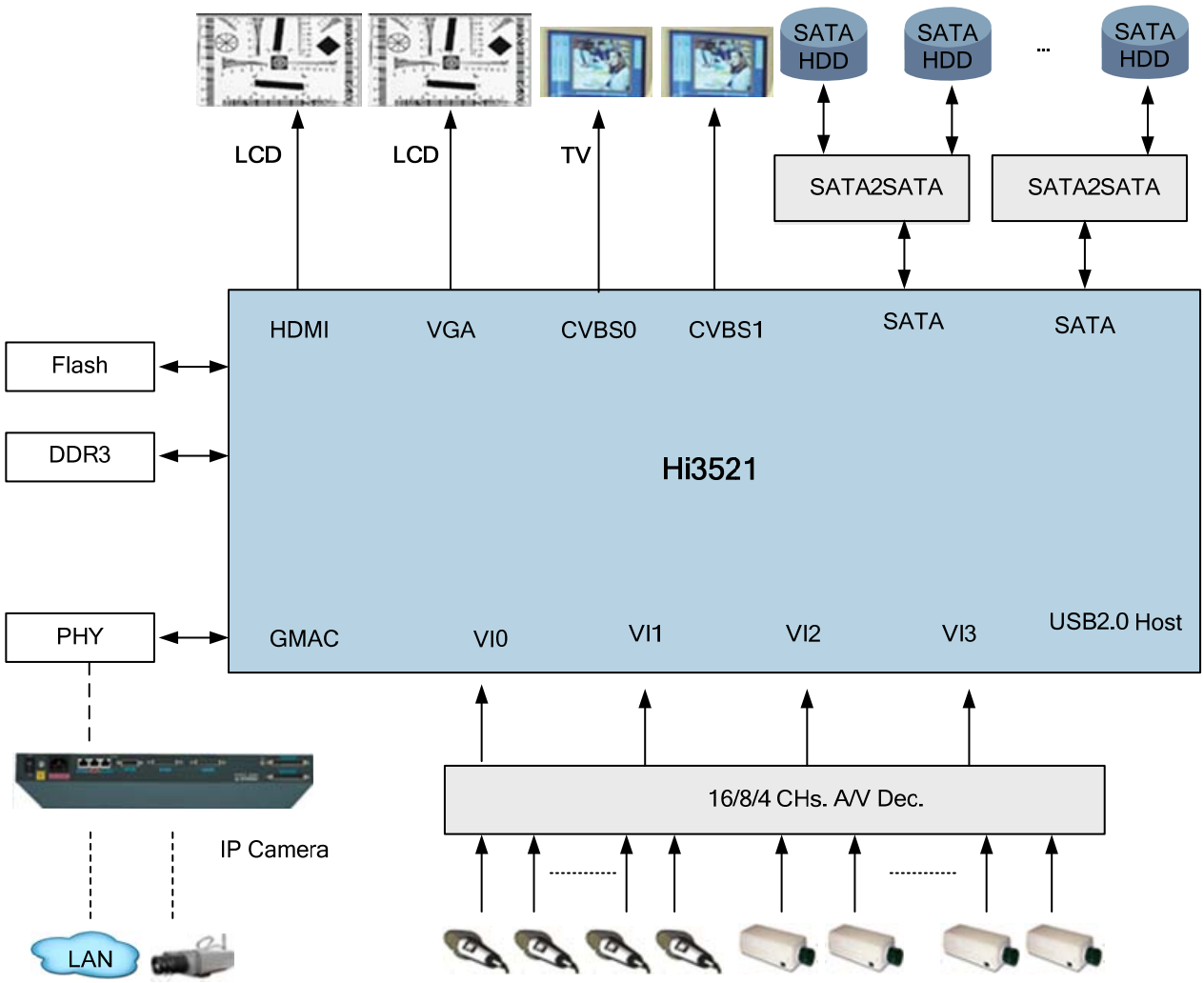
- 单片 Hi3521 DVR 解决方案
- 单片 Hi3521 NVR 解决方案

1.1.1 单片 Hi3521 DVR 解决方案

- Hi3521 单片 8D1+8CIF 编+4D1 解 DVR
  - 8D1+8CIF 双码流实时编码+4D1 实时解码
  - HDMI+VGA 1080P@60fps 同源输出+2 路 CVBS 输出
- Hi3521 单片 8x960H+8CIF 编+1x960H 解 DVR
  - 8x960H+8CIF 编+1x960H 实时解码
  - HDMI+VGA 1080P@60fps 同源输出+2 路 CVBS 输出
- Hi3521 单片 16CIF 编+16QCIF 编+16CIF 解码
  - 16CIF +16QCIF 双码流实时编码+16CIF 实时解码
  - HDMI+VGA 1080P@60fps 同源输出+2 路 CVBS 输出

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

图1-1 Hi3521 单片 DVR 应用框图



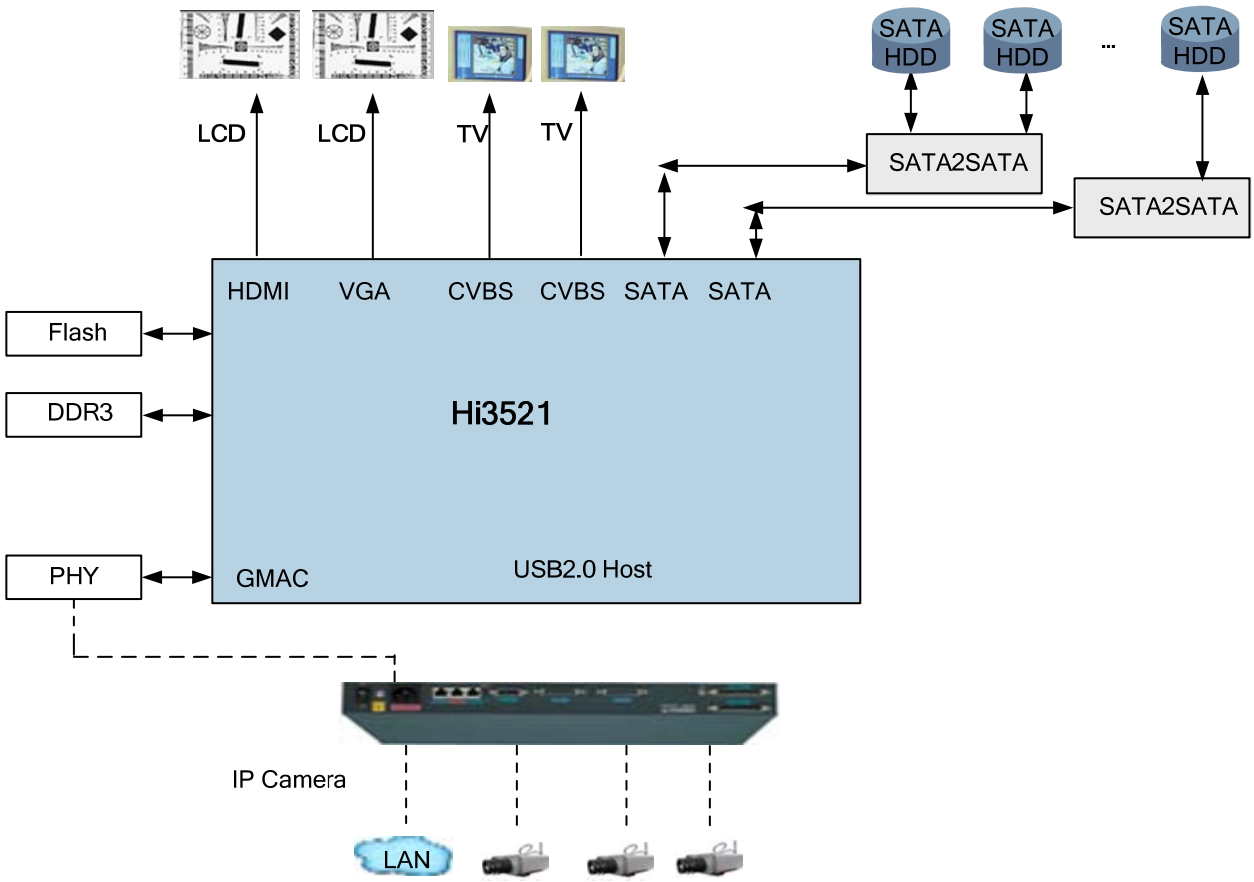
1.1.2 Hi3521 NVR 解决方案

Hi3521 4x720P 实时解码

- 4 x 720P 解码
- HDMI+VGA 1080P@60fps 同源输出+2 路 CVBS 输出

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

图1-2 Hi3521 NVR 应用框图



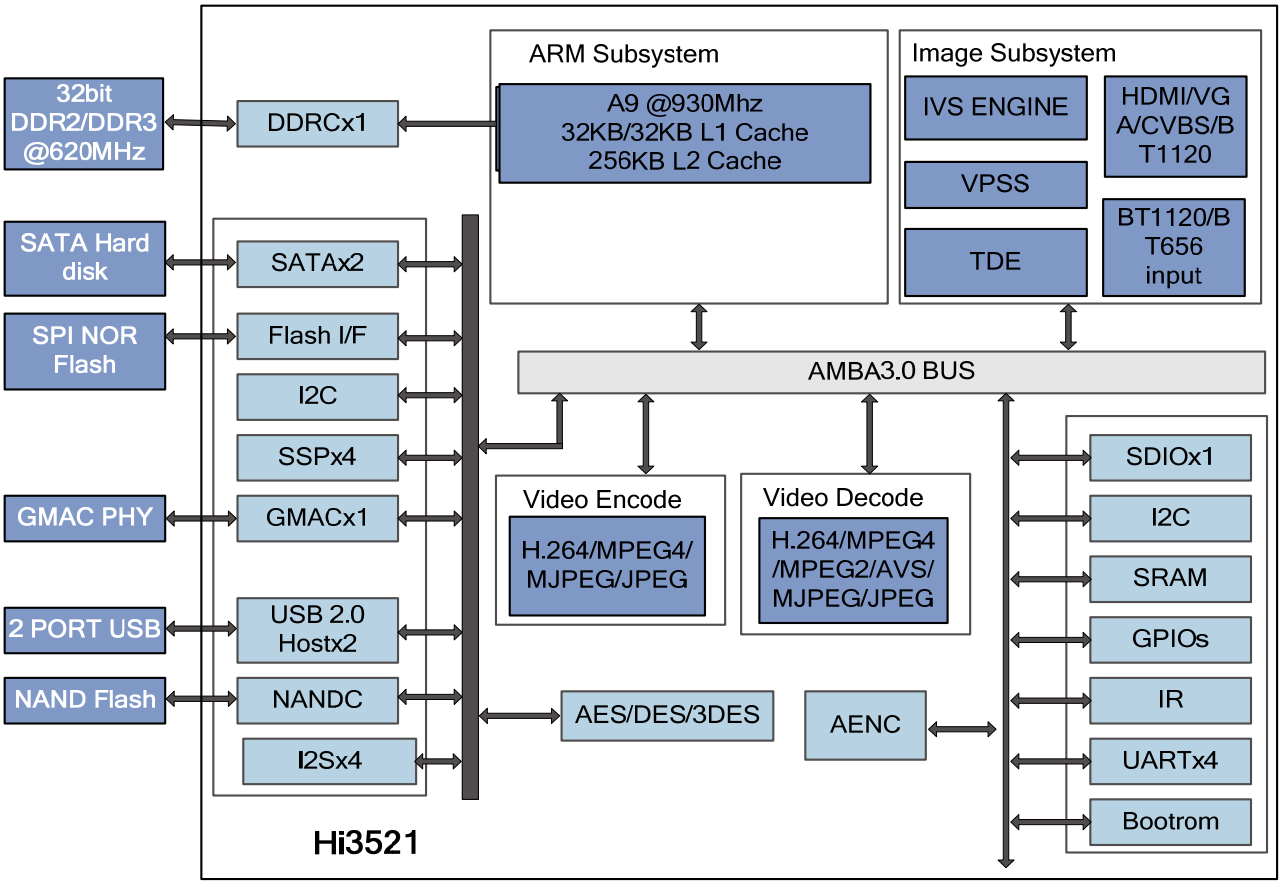
1.2 架构

1.2.1 概述

Hi3521 芯片逻辑框图如图 1-3 所示。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

图1-3 Hi3521 芯片逻辑框图



1.2.2 处理器内核

ARM Cortex A9 @Max. 930MHz

- 32KB L1 I-Cache，32KB L1 D-Cache
- 256KB L2 Cache

1.2.3 多协议视频编解码

- H.264 Baseline/Main Profile@Level1-4.2 编码
- H.264 High Profile@Level4.2 解码
- MPEG-4 SP@Level3,ASP@Level5 解码
- MJPEG/JPEG Baseline 编解码
- CBR/VBR/ABR 码率控制，16Kbit/s～40Mbit/s
- 编码帧率支持 1～60fps
- 支持感兴趣区域（ROI）编码
- 提供彩转灰编码

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

1.2.4 视频编解码处理

H.264/MJPEG/JPEG 多码流编解码性能：

- 16CIF@30fps+16QCIF@30fps 编码+16CIF@30fps 解码+JPEG 抓拍 D1@8fps
- 1x720P@30fps+VGA@30fps 编码+7D1@30fps+ 7CIF@30fps 编码+1D1@30fps 解码+JPEG 抓拍@4fps
- 8x960H@30fps+8CIF@30fps 编码+1x960H@30fps 解码+ JPEG 抓拍 960H@4fps
- 8D1@30fps+8CIF@30fps 编码+4D1@30fps 解码+JPEG 抓拍 D1@4fps
- 1x720P@30fps+VGA@30fps 编码+4D1@30fps+ 4CIF@30fps 编码+4D1@30fps 解码+JPEG 抓拍@4fps
- 4x960H@30fps+4CIF@30fps 编码+4x960H@30fps 解码+ JPEG 抓拍 960H@4fps
- 4x720P 实时解码

1.2.5 智能视频分析

集成智能分析加速引擎，支持智能运动侦测、周界防范、视频诊断等多种智能分析应用

1.2.6 视频与图形处理

- 支持 de-interlace、图像增强、边缘增强、3D 去噪等前、后处理
- 支持视频、图形输出抗闪烁处理
- 支持视频 1/8～8x 缩放
- 支持图形 1/2～2x 缩放
- 支持 8 个区域的编码前处理 OSD 叠加
- 视频层、图形层 Alpha 叠加

1.2.7 音频编解码

- 硬件实现多协议音频编码，支持 ADPCM、 G.711、G.726
- 软件实现多协议音频解码

1.2.8 安全引擎

- 硬件实现 AES/DES/3DES 加解密算法

1.2.9 视频接口

- 视频输入接口
  - 4xBT.656@108/144MHz，支持 16CIF/8 x 960H 实时视频输入
  - 2xBT.1120@148.5MHz，支持 2x1080p 实时视频输入
  - 4xBT.656@148.5MHz，支持 4x720P 实时视频输入
- 视频输出接口
  - 支持 HDMI 1.3+VGA +CVBSx2 多视频输出；HDMI 与 VGA 同源输出

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

- 支持 1xLCD，或 1xBT1120@148.5MHz，或 1xBT656@27MHz 数字视频输出；LCD 和 BT.1120 与高清输出同源，BT.656 可与标清同源
- HDMI/VGA 最高分辨率支持 1080P@60fps
- 提供三层图形层，格式为 RGB1555、RGB8888 可配置，最大分辨率为 1920x1080
- 提供一层硬件鼠标层，格式为 RGB1555、RGB8888 可配置，最大分辨率为 128x128
- 提供 1 层独立的视频 PIP 层

1.2.10 音频接口

4 个标准 I^2S 接口

- 2 个支持输入
- 1 个支持输入输出
- 1 个支持 HDMI I^2S 输出

1.2.11 网络接口

1 个 GMAC 接口

- 支持 RGMII 和 MII 模式
- 支持 10/100Mbit/s 全双工或半双工模式
- 1000M 全双工模式
- 支持 TOE，降低 CPU 开销

1.2.12 外围接口

- 2 个 SATA2.6 接口
  - 支持 PM 功能
  - 支持 eSATA
- 4 个 UART 接口
- 1 个 SPI 接口，支持 4 个片选
- IR 接口、I^2C 接口、GPIO 接口
- 1 个 SDIO2.0 接口，最大支持 32GB
- 2 个 USB 2.0 HOST 接口，支持 Hub 功能

1.2.13 存储器接口

- 1 个 16bit/32bit DDR2/3 SDRAM 控制器接口
  - 最高频率 620MHz
  - 支持 ODT 功能
  - 最大容量支持 1GB
  - 支持自动功耗控制

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

- SPI Nor Flash 接口
  - 1、2、4bit SPI Nor Flash
  - 2 个片选
  - 每个片选最大容量支持 8Gbit
- NAND Flash 接口
  - 8bit 数据位宽
  - 支持 SLC、MLC
  - 支持 1、4、24bit ECC
  - 内置 2KB bootrom 和 10KB SRAM

1.2.14 多种启动模式可配置

- bootrom 启动
- SPI nor flash 启动
- Nand Flash 启动

1.2.15 SDK

- 提供基于 Linux 3.0 的开发包
- 提供 H.264 的高性能 PC 解码库

1.2.16 芯片物理规格

- 功耗
  - 3.5W 典型功耗
  - 支持多级功耗控制
- 工作电压
  - 内核电压为 1.0V
  - IO 电压为 3.3V/ 2.5V，容限电压为 5V
  - DDR2/3 SDRAM 接口电压为 1.8/1.5V
  - 工作环境温度为 0℃～+70℃
- 封装
  - RoHS，EHS-FCBGA449 封装
  - 管脚间距：Core 区域为 0.8mm，其他区域为 0.65mm
  - 19mm×19mm 封装大小

1.3 启动模式

支持以下三种启动方式：

- 从 bootrom 存储空间启动
- 从片外 NAND Flash 存储空间启动

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

- 从片外 SPI Flash 存储空间启动

1.3.1 从 bootrom 启动

从片内 bootrom 启动时，启动介质为片内 ROM，此时需要设置 BOOTROM_SEL（与芯片外部管脚 NF_WEN 复用）的上下拉电平，用于选择是否从 BOOTROM 启动；

当 BOOTROM_SEL=1 时，芯片从片内 ROM 启动；

芯片从片内 ROM 启动，将会启动串口通信机制，通过串口与 PC 端相应的软件建立通信，下载 boot 程序后完成启动（请参考《Fastboot 工具使用说明》）；同时，在 BOOTROM 启动时如果与串口通信超时未响应，将会转向判断 BOOT_SEL1（与芯片外部管脚 NF_ALE 复用）和 BOOT_SEL0（与芯片外部管脚 NF_CLE 复用）的上下拉电平，从 NAND FLASH 或 SPI FLASH 启动：

当 BOOTROM_SEL=1 时且串口通信超时未响应，如果 BOOT_SEL1=1、BOOT_SEL0=0 时，芯片将转向从 NANDC 接口挂接的 NAND Flash 启动。

当 BOOTROM_SEL=1 时且串口通信超时未响应，如果 BOOT_SEL1=0、BOOT_SEL0=0 时，芯片将转向从 SFC 接口挂接的 SPI Flash 启动。

1.3.2 从 NAND Flash 启动

直接从 NAND Flash 启动时（非上述的从 BOOTROM 跳转），外部连接的存储器为 NAND Flash，此时需要设置 BOOTROM_SEL（与芯片外部管脚 NF_WEN 复用）、BOOT_SEL1（与芯片外部管脚 NF_ALE 复用）和 BOOT_SEL0（与芯片外部管脚 NF_CLE 复用）的上下拉电平，用于选择 Boot 存储器：

当 BOOTROM_SEL=0、BOOT_SEL1=1、BOOT_SEL0=0 时，芯片支持从 NANDC 接口挂接的 NAND Flash 启动。

1.3.3 从 SPI Flash 启动

直接从 SPI Flash 启动时（非上述的从 BOOTROM 跳转），外部连接的存储器为 SPI Flash，此时需要设置 BOOTROM_SEL（与芯片外部管脚 NF_WEN 复用）、BOOT_SEL1（与芯片外部管脚 NF_ALE 复用）和 BOOT_SEL0（与芯片外部管脚 NF_CLE 复用）的上下拉电平，用于选择 Boot 存储器：

当 BOOTROM_SEL=0、BOOT_SEL1=0、BOOT_SEL0=0 时，芯片支持从 SFC 接口挂接的 SPI Flash 启动。

1.3.4 地址空间映射

地址空间映射如表 1-1 所示。

表1-1 地址空间映射表

起始地址	结束地址	功能	大小	说明
0xC000_0000	0xFFFF_FFFF	保留	1GB	-

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

起始地址	结束地址	功能	大小	说明
0x8000_0000	0xBFFF_FFFF	DDR 外接 DDR 器件地址空间	1GB	-
0x5C00_0000	0x7FFF_FFFF	保留	576MB	-
0x5800_0000	0x5BFF_FFFF	SPI FLASH 存储空间	64MB	-
0x5400_0000	0x57FF_FFFF	保留	64MB	-
0x5000_0000	0x53FF_FFFF	NANDC 存储空间	64MB	-
0x4000_0000	0x4FFF_FFFF	保留	256MB	-
0x3000_0000	0x3FFF_FFFF	保留	256MB	-
0x2082_0000	0x2FFF_FFFF	保留	248MB	-
0x2081_0000	0x2081_FFFF	保留	64KB	-
0x2080_0000	0x2080_FFFF	保留	64KB	-
0x2070_0000	0x207F_FFFF	L2 CACHE 空间	1MB	-
0x206E_0000	0x206F_FFFF	保留	128KB	-
0x206D_0000	0x206D_FFFF	DDR 测试模块	64KB	-
0x206C_0000	0x206C_FFFF	MD 寄存器	64KB	-
0x206B_0000	0x206B_FFFF	VCMP 寄存器	64KB	-
0x2067_0000	0x206A_FFFF	保留	256KB	-
0x2066_0000	0x2066_FFFF	JPGE 寄存器	64KB	-
0x2065_0000	0x2065_FFFF	保留	64KB	-
0x2064_0000	0x2064_FFFF	VOIE 寄存器	64KB	-
0x2063_0000	0x2063_FFFF	VDH 寄存器	64KB	-
0x2062_0000	0x2062_FFFF	VEDU 寄存器	64KB	-
0x2061_0000	0x2061_FFFF	TDE 寄存器	64KB	-
0x2060_0000	0x2060_FFFF	VPSS 寄存器	64KB	-
0x205F_0000	0x205F_FFFF	保留	64KB	-
0x205E_0000	0x205E_FFFF	IVE 寄存器	64KB	-
0x205D_0000	0x205D_FFFF	HDMI 寄存器	64KB	-
0x205C_0000	0x205C_FFFF	VDP 寄存器	64KB	-
0x2058_0000	0x205B_FFFF	VICAP 寄存器	256KB	-

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

起始地址	结束地址	功能	大小	说明
0x2052_0000	0x2057_FFFF	保留	384KB	-
0x2040_0000	0x2051_FFFF	ARM DEBUG	1152KB	-
0x2031_0000	0x203F_FFFF	保留	896KB	-
0x2030_0000	0x2030_FFFF	ARM wdg/timer/gic 等内部寄存器	64KB	-
0x2024_0000	0x202F_FFFF	保留	768KB	-
0x2023_0000	0x2023_FFFF	GPIO14 寄存器	64KB	-
0x2022_0000	0x2022_FFFF	GPIO13 寄存器	64KB	-
0x2021_0000	0x2021_FFFF	GPIO12 寄存器	64KB	-
0x2020_0000	0x2020_FFFF	GPIO11 寄存器	64KB	-
0x201F_0000	0x201F_FFFF	GPIO10 寄存器	64KB	-
0x201E_0000	0x201E_FFFF	GPIO9 寄存器	64KB	-
0x201D_0000	0x201D_FFFF	GPIO8 寄存器	64KB	-
0x201C_0000	0x201C_FFFF	GPIO7 寄存器	64KB	-
0x201B_0000	0x201B_FFFF	GPIO6 寄存器	64KB	-
0x201A_0000	0x201A_FFFF	GPIO5 寄存器	64KB	-
0x2019_0000	0x2019_FFFF	GPIO4 寄存器	64KB	-
0x2018_0000	0x2018_FFFF	GPIO3 寄存器	64KB	-
0x2017_0000	0x2017_FFFF	GPIO2 寄存器	64KB	-
0x2016_0000	0x2016_FFFF	GPIO1 寄存器	64KB	-
0x2015_0000	0x2015_FFFF	GPIO0 寄存器	64KB	-
0x2014_0000	0x2014_FFFF	TIMER3 寄存器	64KB	-
0x2013_0000	0x2013_FFFF	TIMER2 寄存器	64KB	-
0x2012_0000	0x2012_FFFF	保留	64KB	-
0x2011_0000	0x2011_FFFF	DDRC 寄存器	64KB	-
0x2010_0000	0x2010_FFFF	保留	64KB	-
0x200F_0000	0x200F_FFFF	IO config 寄存器	64KB	-
0x200E_0000	0x200E_FFFF	保留	64KB	-
0x200D_0000	0x200D_FFFF	I2C 寄存器	64KB	-

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

起始地址	结束地址	功能	大小	说明
0x200C_0000	0x200C_FFFF	SPI 寄存器	64KB	-
0x200B_0000	0x200B_FFFF	UART3 寄存器	64KB	-
0x200A_0000	0x200A_FFFF	UART2 寄存器	64KB	-
0x2009_0000	0x2009_FFFF	UART1 寄存器	64KB	-
0x2008_0000	0x2008_FFFF	UART0 寄存器	64KB	-
0x2007_0000	0x2007_FFFF	IR 寄存器	64KB	-
0x2006_0000	0x2006_FFFF	RTC 寄存器	64KB	-
0x2005_0000	0x2005_FFFF	SYS_CTRL 寄存器	64KB	-
0x2004_0000	0x2004_FFFF	WDG 寄存器	64KB	-
0x2003_0000	0x2003_FFFF	CRG 寄存器	64KB	-
0x2002_0000	0x2002_FFFF	保留	64KB	-
0x2001_0000	0x2001_FFFF	Timer1 寄存器	64KB	-
0x2000_0000	0x2000_FFFF	Timer0 寄存器	64KB	-
0x101E_0000	0x1FFF_FFFF	保留	256MB	-
0x101C_0000	0x101D_FFFF	GMAC 寄存器	128KB	-
0x1018_0000	0x101B_0000	保留	256KB	-
0x1017_0000	0x1017_FFFF	JPGD 寄存器	64KB	-
0x1016_0000	0x1016_FFFF	保留	64KB	-
0x1015_0000	0x1015_FFFF	SCD 寄存器	64KB	-
0x100E_0000	0x1014_FFFF	保留	448KB	-
0x100D_0000	0x100D_FFFF	DMAC 寄存器	64KB	-
0x100C_0000	0x100C_FFFF	CIPHER 寄存器	64KB	-
0x100B_0000	0x100B_FFFF	USB EHCI 寄存器	64KB	-
0x100A_0000	0x100A_FFFF	USB OHCI 寄存器	64KB	-
0x1009_0000	0x1009_FFFF	保留	64KB	-
0x1008_0000	0x1008_FFFF	SATA 寄存器	64KB	-
0x1007_0000	0x1007_FFFF	Efuse 寄存器和操作空间	64KB	-
0x1006_0000	0x1006_FFFF	SIO3 寄存器	64KB	HDMI 音频。
0x1005_0000	0x1005_FFFF	SIO2 寄存器	64KB	双向对讲。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

起始地址	结束地址	功能	大小	说明
0x1004_0000	0x1004_FFFF	SIO1 寄存器	64KB	纯输入方向。
0x1003_0000	0x1003_FFFF	SIO0 寄存器	64KB	纯输入方向。
0x1002_0000	0x1002_FFFF	SDIO 寄存器	64KB	-
0x1001_0000	0x1001_FFFF	SPI NOR FLASH 寄存器	64KB	-
0x1000_0000	0x1000_FFFF	NANDC 寄存器	64KB	-
0x0402_0000	0x0FFF_FFFF	保留	192MB	-
0x0401_0000	0x0401_FFFF	片内 RAM 地址空间	64KB	实际大小只有 10KB。
0x0400_0000	0x0400_FFFF	BOOTROM 地址空间	64KB	实际大小只有 4KB。
0x0000_0000	0x03FF_FFFF	地址重映射时：此地址指向启动地址空间。 地址重映射撤销后：此地址空间指向 Hi3521 片内 RAM	64MB	地址重映射时，系统的启动地址空间依据启动模式的不同而指向不同的存储空间： 1. 当启动模式为从 BOOTROM 启动时，系统的启动地址空间为片内 BOOTROM 的存储空间。 2. 当启动模式为从 SPI FLASH 启动时，系统的启动地址空间为 SPI FLASH 存储空间。 3. 当启动模式为从 NAND FLASH 启动时，系统的启动地址空间为 NAND FLASH 存储空间。 关于启动模式的说明，请参考”1.3 启动模式”章节。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

目 录

2 硬件特性.....2-1
2.1 封装与管脚分布.....2-1
2.1.1 封装.....2-1
2.1.2 管脚分布.....2-4
2.2 管脚信息描述.....2-14
2.2.1 管脚类型说明.....2-14
2.2.2 DDR 管脚.....2-15
2.2.3 GPIO 管脚.....2-20
2.2.4 HDMI 管脚.....2-20
2.2.5 I2C 管脚.....2-21
2.2.6 IR 管脚.....2-22
2.2.7 JTAG 管脚.....2-22
2.2.8 GMAC 管脚.....2-23
2.2.9 NANDC 管脚.....2-25
2.2.10 SYS 管脚.....2-28
2.2.11 SATA 管脚.....2-28
2.2.12 SFC 管脚.....2-29
2.2.13 SIO 管脚.....2-31
2.2.14 SPI 管脚.....2-33
2.2.15 UART 管脚.....2-35
2.2.16 USB 管脚.....2-36
2.2.17 VDAC 管脚.....2-37
2.2.18 VIU 管脚.....2-39
2.2.19 VOU 管脚.....2-44
2.2.20 OSC 管脚.....2-50
2.2.21 EFUSE 管脚.....2-50
2.2.22 PLL 管脚.....2-51
2.2.23 电源/地管脚.....2-51
2.3 IO config 寄存器.....2-53
2.3.1 复用寄存器概览.....2-53

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

2.3.2 复用寄存器描述 2-57
2.4 软件复用管脚描述 2-116
2.5 硬件复用管脚 2-138
2.6 电性能参数 2-141
2.6.1 功耗参数 2-141
2.6.2 温度和热阻参数 2-142
2.6.3 工作条件 2-143
2.6.4 上下电顺序 2-144
2.6.5 DC/AC 电气参数 2-144
2.7 PCB 设计建议 2-146
2.8 接口时序 2-146
2.8.1 DDR 接口时序 2-146
2.8.2 NANDC 接口时序 2-150
2.8.3 SFC 接口时序 2-153
2.8.4 Ethernet MAC 接口时序 2-154
2.8.5 VI 接口时序 2-159
2.8.6 VO 接口时序 2-159
2.8.7 SIO 接口时序 2-160
2.8.8 I^2C 时序 2-161
2.8.9 SPI 接口时序 2-163

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

插图目录

图 2-1 芯片封装顶视图 2-1
图 2-2 芯片封装底视图 2-2
图 2-3 芯片封装侧视图 2-2
图 2-4 Detail A 放大图 2-3
图 2-5 管脚分布图 part1（A1～P14） 2-4
图 2-6 管脚分布图 part2（R1～AH14） 2-5
图 2-7 管脚分布图 part3（A15～P28） 2-5
图 2-8 管脚分布图 part4（R15～AH28） 2-6
图 2-9 DDR2 中 dqs_out 相对于 dq_out 的写操作时序图 2-146
图 2-10 DDR3 中 dqs_out 相对于 dq_out 的写操作时序图 2-147
图 2-11 DDR2 中 dqs_out 相对于 ck 的写操作时序图 2-147
图 2-12 DDR3 中 dqs_out 相对于 ck 的写操作时序图 2-147
图 2-13 命令和地址相对于 ck 的写操作时序图 2-148
图 2-14 DDRn SDRAM 输出时序图 2-148
图 2-15 NANDC 命令周期时序图 2-150
图 2-16 NANDC 地址周期时序图 2-151
图 2-17 NANDC 写数据时序图 2-152
图 2-18 NANDC 读数据时序图 2-153
图 2-19 SFC 输入方向时序图 2-153
图 2-20 SFC 输出方向时序图 2-154
图 2-21 MII 接口 100Mbit/s 接收时序 2-155
图 2-22 MII 接口 100Mbit/s 发送时序 2-155
图 2-23 MII 接口 10Mbit/s 接收时序 2-155
图 2-24 MII 接口 10Mbit/s 发送时序 2-155
图 2-25 MII 接口接收时序参数 2-156

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

图 2-26 MII 接口发送时序参数 2-156
图 2-27 RGMII 接口 1000Mbit/s 接收时序 2-157
图 2-28 RGMII 接口 1000Mbit/s 发送时序 2-157
图 2-29 MDIO 接口读时序 2-158
图 2-30 MDIO 接口写时序 2-158
图 2-31 MDIO 接口接收时序参数 2-158
图 2-32 VI 接口时序图 2-159
图 2-33 VO 接口时序 2-159
图 2-34 I^2S 接口接收时序图 2-160
图 2-35 I^2S 接口发送时序图 2-160
图 2-36 PCM 接口接收时序图 2-161
图 2-37 PCM 接口发送时序图 2-161
图 2-38 I^2C 传输时序图 2-162
图 2-39 SPICK 时序 2-163
图 2-40 SPI 主模式下接口时序（sph=0） 2-163
图 2-41 SPI 主模式下接口时序（sph=1） 2-164

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

表格目录

表 2-1 封装参数说明表 2-3
表 2-2 管脚排列表寄存器概览 2-6
表 2-3 管脚 I/O 类型说明 2-14
表 2-4 DDR 电源管脚 2-16
表 2-5 DDR 管脚 2-16
表 2-6 GPIO 管脚 2-20
表 2-7 HDMI 管脚 2-20
表 2-8 I2C 管脚 2-22
表 2-9 IR 管脚 2-22
表 2-10 JTAG 管脚 2-22
表 2-11 DVDD2533 管脚 2-23
表 2-12 MDIO 管脚 2-23
表 2-13 GMAC 管脚 2-24
表 2-14 NANDC 管脚 2-25
表 2-15 SYS 管脚 2-28
表 2-16 SATA 管脚 2-28
表 2-17 SFC 管脚 2-29
表 2-18 SIO0 管脚 2-31
表 2-19 SIO1 管脚 2-32
表 2-20 SIO2 管脚 2-32
表 2-21 SPI 管脚 2-33
表 2-22 UART0 管脚 2-35
表 2-23 UART1 管脚 2-35
表 2-24 USB 管脚 2-36
表 2-25 VDAC0 管脚 2-38

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

表 2-26 VDAC1 管脚 2-38
表 2-27 VIU0 管脚 2-39
表 2-28 VIU1 管脚 2-42
表 2-29 VOU 管脚 2-44
表 2-30 OSC 管脚 2-50
表 2-31 EFUSE 管脚 2-51
表 2-32 PLL 管脚 2-51
表 2-33 DVDD10 管脚 2-51
表 2-34 DVDD33 管脚 2-52
表 2-35 VSS 管脚 2-52
表 2-36 复用寄存器概览(基地址为 0x200F_0000) 2-53
表 2-37 VIU0 的软件复用管脚 2-117
表 2-38 VIU0 的软件复用管脚描述 2-117
表 2-39 VIU1 的软件复用管脚 2-119
表 2-40 VIU1 的软件复用管脚描述 2-120
表 2-41 VOU 的软件复用管脚 2-122
表 2-42 VOU 的软件复用管脚描述 2-123
表 2-43 SIO0 的软件复用管脚 2-127
表 2-44 SIO0 的软件复用管脚描述 2-127
表 2-45 SIO1 的软件复用管脚 2-127
表 2-46 SIO1 的软件复用管脚描述 2-128
表 2-47 SIO2 的软件复用管脚 2-128
表 2-48 SIO2 的软件复用管脚描述 2-128
表 2-49 SPI 的软件复用管脚 2-129
表 2-50 SPI 的软件复用管脚描述 2-129
表 2-51 I2C 的软件复用管脚 2-130
表 2-52 I2C 的软件复用管脚描述 2-130
表 2-53 UART1 的软件复用管脚 2-131
表 2-54 UART1 的软件复用管脚描述 2-131
表 2-55 GMAC 的软件复用管脚 2-131
表 2-56 GMAC 的软件复用管脚描述 2-132
表 2-57 IR 的软件复用管脚 2-132

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

表 2-58 IR 的软件复用管脚描述 2-133
表 2-59 NFC 的软件复用管脚 2-133
表 2-60 NFC 的软件复用管脚描述 2-133
表 2-61 SFC 的软件复用管脚 2-134
表 2-62 SFC 的软件复用管脚描述 2-135
表 2-63 USB 的软件复用管脚 2-135
表 2-64 USB 的软件复用管脚描述 2-136
表 2-65 GPIO 的软件复用管脚 2-136
表 2-66 GPIO 的软件复用管脚描述 2-136
表 2-67 SATA 的软件复用管脚 2-137
表 2-68 SATA 的软件复用管脚描述 2-137
表 2-69 HDMI 的软件复用管脚 2-137
表 2-70 HDMI 的软件复用管脚描述 2-138
表 2-71 VOU 硬件管脚复用 2-138
表 2-72 与 VOU 复用的管脚描述 2-138
表 2-73 SIO2 硬件管脚复用 2-139
表 2-74 与 SIO2 复用的管脚描述 2-139
表 2-75 SPI 硬件管脚复用 2-139
表 2-76 与 SPI 复用的管脚描述 2-139
表 2-77 MDIO 硬件管脚复用 2-140
表 2-78 与 MDIO 复用的管脚描述 2-140
表 2-79 NFC 硬件管脚复用 2-140
表 2-80 与 NFC 复用的管脚描述 2-141
表 2-81 功耗参数 2-141
表 2-82 功耗参数 2-142
表 2-84 工作条件 2-143
表 2-85 DC 电气参数表（DVDD33＝3.3V，5V 输入兼容，部分接口不支持 5V 输入兼容） 2-144
表 2-86 DC 电气参数表（DVDD1518 =1.8V，DDR2 SSTL18 模式） 2-144
表 2-87 AC 电气参数表（DVDD1518 =1.8V，DDR2 模式） 2-145
表 2-88 DC 电气参数表（DVDD1518 =1.5V，DDR3 模式） 2-145
表 2-89 AC 电气参数表（DVDD1518 =1.5V，DDR3 模式） 2-146
表 2-90 DDR2 时钟参数表 2-149

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

表 2-91 DDR2 SDRAM 存储器参数表（DDR2-800） 2-149
表 2-92 DDR3 时钟参数表 2-149
表 2-93 DDR3 SDRAM 存储器参数表（DDR3-1066） 2-150
表 2-94 NANDC 命令周期时序参数表 2-151
表 2-95 NANDC 地址周期时序参数表 2-151
表 2-96 NANDC 写数据时序参数表 2-152
表 2-97 NANDC 读数据时序参数表 2-153
表 2-98 SFC 输入方向时序参数表 2-154
表 2-99 SFC 输出方向时序参数表 2-154
表 2-100 MII 接口时序参数说明 2-156
表 2-101 RGMII 接口时序参数说明 2-157
表 2-102 MDIO 接口时序参数 2-158
表 2-103 VI 接口时序参数表 2-159
表 2-104 VO 接口时序参数表 2-159
表 2-105 I^2S 接口时序参数表 2-160
表 2-106 PCM 接口时序参数表 2-161
表 2-107 I^2C 接口时序参数表 2-162
表 2-108 SPI 接口时序参数 2-164

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

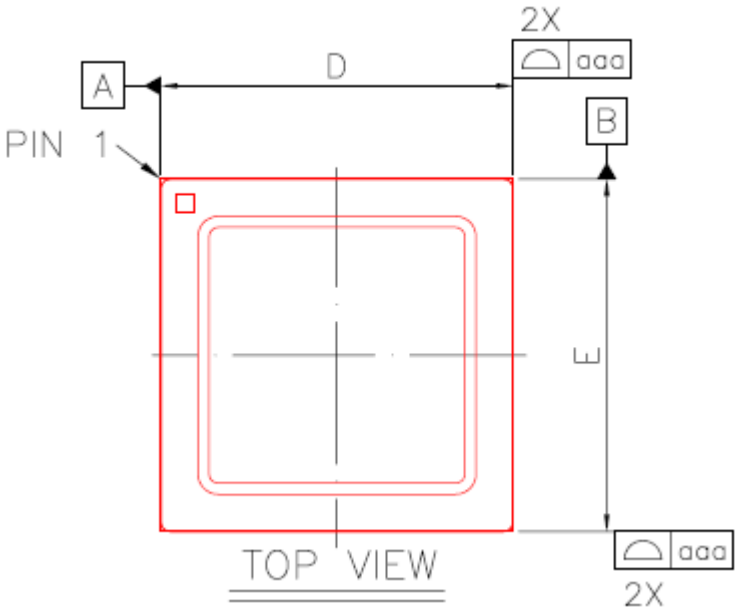
2 硬件特性

2.1 封装与管脚分布

2.1.1 封装

Hi3521 芯片采用 EHS-FCBGA 封装，封装尺寸为 19mmx19mm，管脚间距 Core 区为 0.8mm，其他区域为 0.65mm，管脚总数为 449 个，详细封装请参见图 2-1～图 2-4，封装尺寸参数请参见表 2-1。

图2-1 芯片封装顶视图



海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

图2-2 芯片封装底视图

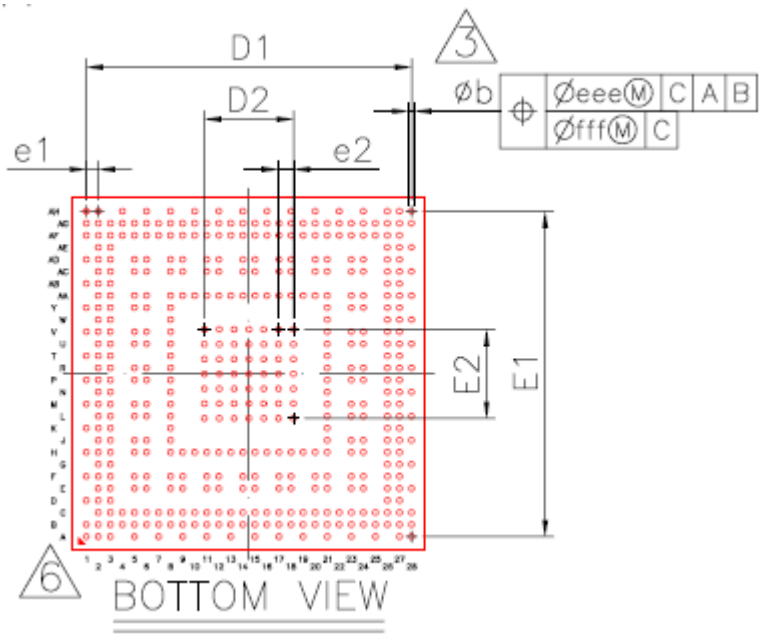
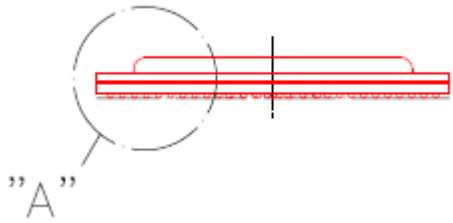


图2-3 芯片封装侧视图



海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

图2-4 Detail A 放大图

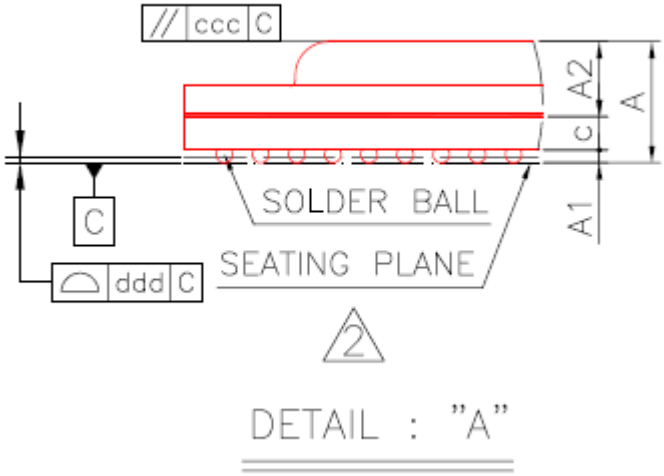


表2-1 封装参数说明表

参数	尺寸（mm）		
	最小值	典型值	最大值
A	2.06	2.18	2.30
A1	0.18	0.23	0.28
A2	1.25	1.35	1.45
c	0.55	0.60	0.65
D/E	18.80	19.00	19.20
D1/E1	---	17.55	---
D2/E2		4.80	
e1	---	0.65	---
e2	---	0.80	---
b	0.25	0.30	0.35
aaa	0.20		
ccc	0.25		
ddd	0.15		
eee	0.25		
fff	0.10		

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

2.1.2 管脚分布

管脚分布图

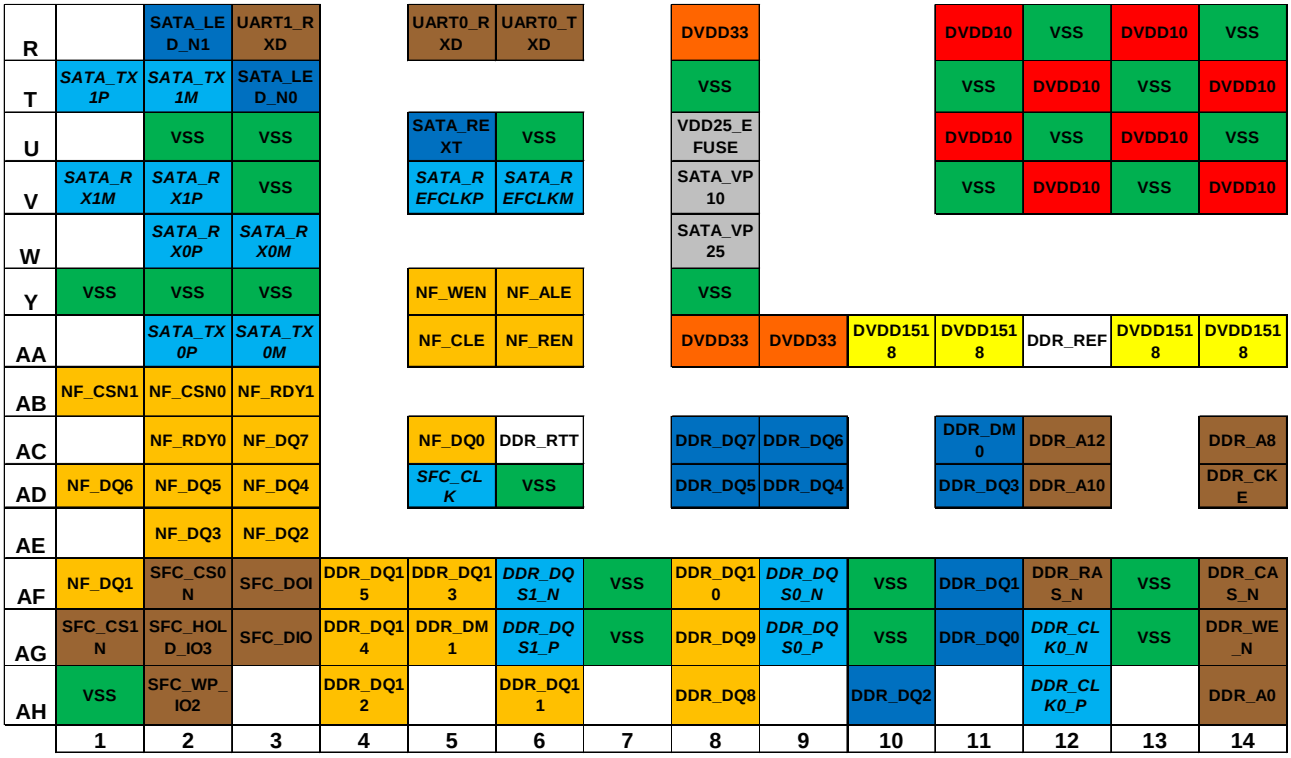
Hi3521 管脚分布如图 2-5～图 2-8 所示。

图2-5 管脚分布图 part1（A1～P14）

	1	2	3	4	5	6	7	8	9	10	11	12	13	14
A	VSS	VOU1120_DATA8	VOU1120_DATA10		VOU1120_DATA14		VOU656_DATA0		USB0_OVRCUR		*USB0_DP*		*USB1_DM*	
B	VOU1120_DATA6	VOU1120_DATA7	VOU1120_DATA9	VOU1120_DATA12	VOU1120_DATA15	*VOU1120_CLK*	VOU656_DATA1	VOU656_DATA3	VOU656_DATA6	USB1_OVRCUR	*USB0_DM*	AVSS_USB	*USB1_DP*	AVSS_USB
C		VOU1120_DATA4	VOU1120_DATA5	VOU1120_DATA11	VOU1120_DATA13	VSS	VOU656_DATA2	VOU656_DATA4	VOU656_DATA7	USB0_PWREN	AVSS_USB	USB_REXT	AVSS_USB	RGMII_RXDV
D	VOU1120_DATA2	VOU1120_DATA1	VOU1120_DATA3											
E		LCD_DV	VOU1120_DATA0		TEST_MODE	VSS	*VOU656_CLK*	VGA_HS			USB1_PWREN	AVDD33_USB		RGMII_RXD3
F	*NA*	*NA*	VSS		WDG_RSTN	RSTN	VOU656_DATA5	VGA_VS			AVDD33_USB	AVSS_USB		RGMII_RXD2
G		VSS	VSS											
H	*NA*	*NA*	NA		NA	NA	DVDD33	DVDD33	DVDD33		VSS	DVDD10_USB	DVSS_USB	AVSS_USB
J		VSS	JTAG_TDO		JTAG_TDI	VSS	VSS							
K	*NA*	*NA*	JTAG_TMS				DVDD33							
L		IR_IN	*JTAG_TCK*		JTAG_TRSTN	VDDREF10_PLL234	AVSS_PLL1							
M	GPIO11_0	GPIO11_1	*VSS*		VDD10_PLL234	VDD10_PLL1	AVDD33_PLL1				VSS	DVDD10	VSS	DVDD10
N		*XOUT*	*XIN*				AVDD33_PLL234				DVDD10	VSS	DVDD10	VSS
P	UART1_RTSN	*VSS*	*VSS*		UART1_CTSN	UART1_TXD	AVSS_PLL234				VSS	DVDD10	VSS	DVDD10

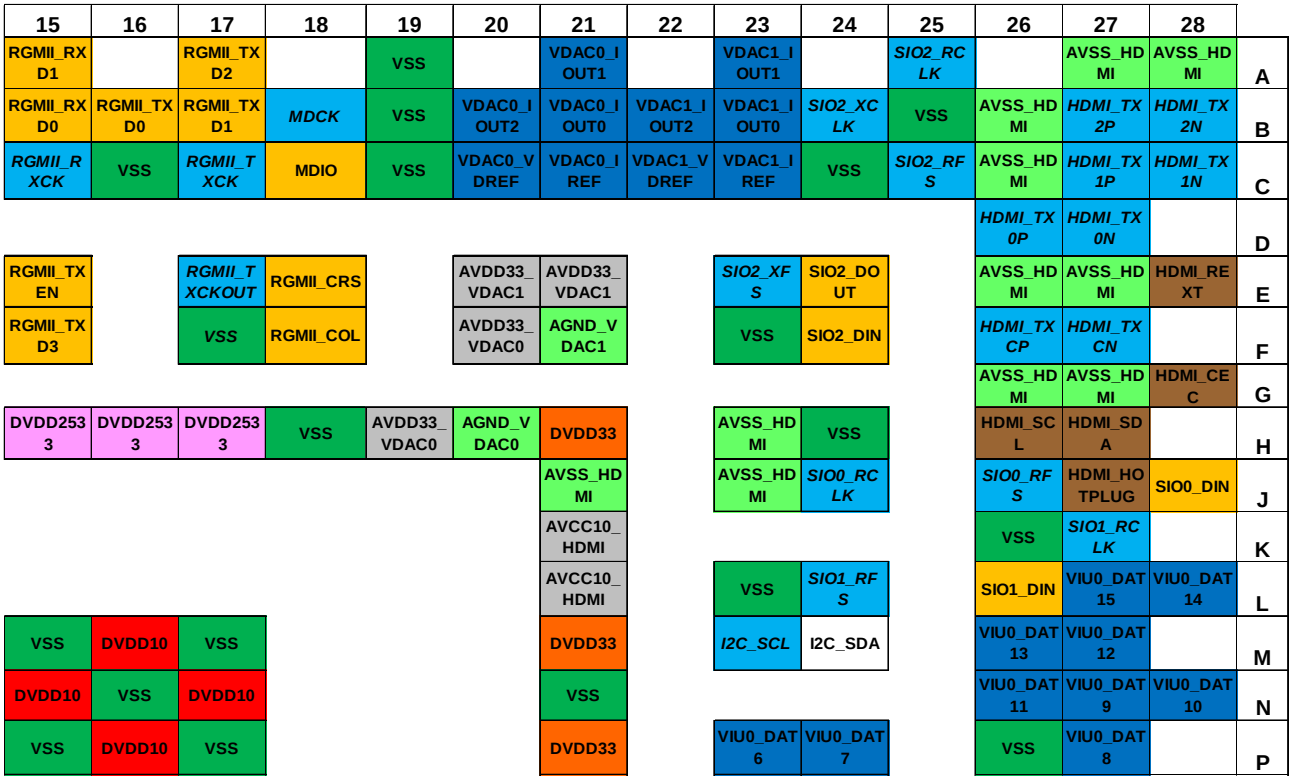
海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

图2-6 管脚分布图 part2（R1～AH14）



	1	2	3	4	5	6	7	8	9	10	11	12	13	14
R		SATA_LED_N1	UART1_RXD		UART0_RXD	UART0_TXD		DVDD33			DVDD10	VSS	DVDD10	VSS
T	SATA_TX1P	SATA_TX1M	SATA_LED_N0					VSS			VSS	DVDD10	VSS	DVDD10
U		VSS	VSS		SATA_REXT	VSS		VDD25_EFUSE			DVDD10	VSS	DVDD10	VSS
V	SATA_RX1M	SATA_RX1P	VSS		SATA_REFCLKP	SATA_REFCLKM		SATA_VP10			VSS	DVDD10	VSS	DVDD10
W		SATA_RX0P	SATA_RX0M					SATA_VP25						
Y	VSS	VSS	VSS		NF_WEN	NF_ALE		VSS						
AA		SATA_TX0P	SATA_TX0M		NF_CLE	NF_REN		DVDD33	DVDD33	DVDD1518	DVDD1518	DDR_REF	DVDD1518	DVDD1518
AB	NF_CSN1	NF_CSN0	NF_RDY1											
AC		NF_RDY0	NF_DQ7		NF_DQ0	DDR_RTT		DDR_DQ7	DDR_DQ6		DDR_DM0	DDR_A12		DDR_A8
AD	NF_DQ6	NF_DQ5	NF_DQ4		SFC_CLK	VSS		DDR_DQ5	DDR_DQ4		DDR_DQ3	DDR_A10		DDR_CKE
AE		NF_DQ3	NF_DQ2											
AF	NF_DQ1	SFC_CS0N	SFC_DOI	DDR_DQ15	DDR_DQ13	DDR_DQS1_N	VSS	DDR_DQ10	DDR_DQS0_N	VSS	DDR_DQ1	DDR_RAS_N	VSS	DDR_CAS_N
AG	SFC_CS1N	SFC_HOLD_IO3	SFC_DIO	DDR_DQ14	DDR_DM1	DDR_DQS1_P	VSS	DDR_DQ9	DDR_DQS0_P	VSS	DDR_DQ0	DDR_CLK0_N	VSS	DDR_WE_N
AH	VSS	SFC_WP_IO2		DDR_DQ12		DDR_DQ11		DDR_DQ8		DDR_DQ2		DDR_CLK0_P		DDR_A0

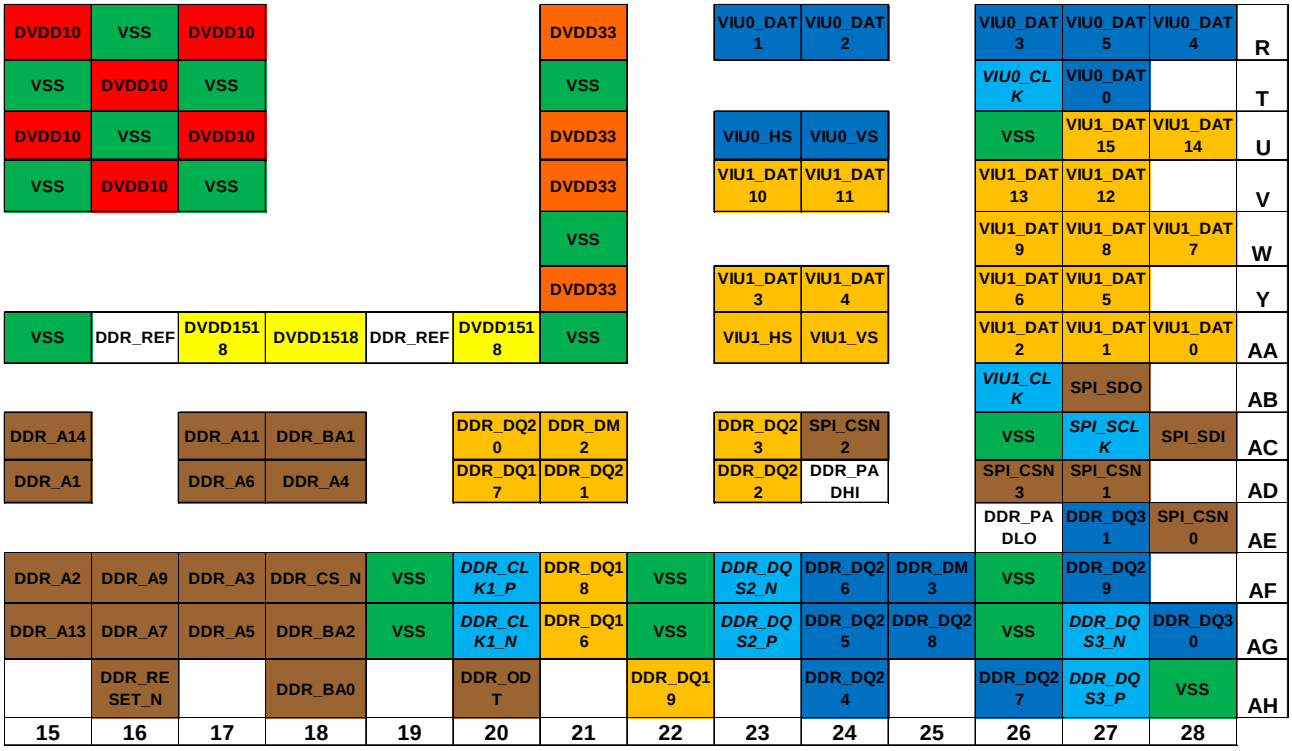
图2-7 管脚分布图 part3（A15～P28）



	15	16	17	18	19	20	21	22	23	24	25	26	27	28	
A	RGMII_RXD1		RGMII_TXD2		VSS		VDAC0_IOUT1		VDAC1_IOUT1		SIO2_RCLK		AVSS_HDMI	AVSS_HDMI	A
B	RGMII_RXD0	RGMII_TXD0	RGMII_TXD1	MDCK	VSS	VDAC0_IOUT2	VDAC0_IOUT0	VDAC1_IOUT2	VDAC1_IOUT0	SIO2_XCLK	VSS	AVSS_HDMI	HDMI_TX2P	HDMI_TX2N	B
C	RGMII_RXCK	VSS	RGMII_TXCK	MDIO	VSS	VDAC0_VDREF	VDAC0_IREF	VDAC1_VDREF	VDAC1_IREF	VSS	SIO2_RFS	AVSS_HDMI	HDMI_TX1P	HDMI_TX1N	C
D												HDMI_TX0P	HDMI_TX0N		D
E	RGMII_TXEN		RGMII_TXCKOUT	RGMII_CRS		AVDD33_VDAC1	AVDD33_VDAC1		SIO2_XFS	SIO2_DOUT		AVSS_HDMI	AVSS_HDMI	HDMI_REXT	E
F	RGMII_TXD3		VSS	RGMII_COL		AVDD33_VDAC0	AGND_VDAC1		VSS	SIO2_DIN		HDMI_TXCP	HDMI_TXCN		F
G												AVSS_HDMI	AVSS_HDMI	HDMI_CEC	G
H	DVDD2533	DVDD2533	DVDD2533	VSS	AVDD33_VDAC0	AGND_VDAC0	DVDD33		AVSS_HDMI	VSS		HDMI_SCL	HDMI_SDA		H
J							AVSS_HDMI		AVSS_HDMI	SIO0_RCLK		SIO0_RFS	HDMI_HOTPLUG	SIO0_DIN	J
K							AVCC10_HDMI					VSS	SIO1_RCLK		K
L							AVCC10_HDMI		VSS	SIO1_RFS		SIO1_DIN	VIU0_DAT15	VIU0_DAT14	L
M	VSS	DVDD10	VSS				DVDD33		I2C_SCL	I2C_SDA		VIU0_DAT13	VIU0_DAT12		M
N	DVDD10	VSS	DVDD10				VSS					VIU0_DAT11	VIU0_DAT9	VIU0_DAT10	N
P	VSS	DVDD10	VSS				DVDD33		VIU0_DAT6	VIU0_DAT7		VSS	VIU0_DAT8		P

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

图2-8 管脚分布图 part4（R15～AH28）



管脚排列表

Hi3521 的管脚按位置排列如表 2-2 所示。

表2-2 管脚排列表寄存器概览

位置	管脚名称	位置	管脚名称
A1	VSS	R8	DVDD33
A2	VOU1120_DATA8	R11	DVDD10
A3	VOU1120_DATA10	R12	VSS
A5	VOU1120_DATA14	R13	DVDD10
A7	VOU656_DATA0	R14	VSS
A9	USB0_OVRCUR	R15	DVDD10
A11	USB0_DP	R16	VSS
A13	USB1_DM	R17	DVDD10
A15	RGMII_RXD1	R21	DVDD33
A17	RGMII_TXD2	R23	VIU0_DAT1

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

位置	管脚名称	位置	管脚名称
A19	VSS	R24	VIU0_DAT2
A21	VDAC0_IOUT1	R26	VIU0_DAT3
A23	VDAC1_IOUT1	R27	VIU0_DAT5
A25	SIO2_RCLK	R28	VIU0_DAT4
A27	AVSS_HDMI	T1	SATA_TX1P
A28	AVSS_HDMI	T2	SATA_TX1M
B1	VOU1120_DATA6	T3	SATA_LED_N0
B2	VOU1120_DATA7	T8	VSS
B3	VOU1120_DATA9	T11	VSS
B4	VOU1120_DATA12	T12	DVDD10
B5	VOU1120_DATA15	T13	VSS
B6	VOU1120_CLK	T14	DVDD10
B7	VOU656_DATA1	T15	VSS
B8	VOU656_DATA3	T16	DVDD10
B9	VOU656_DATA6	T17	VSS
B10	USB1_OVRCUR	T21	VSS
B11	USB0_DM	T26	VIU0_CLK
B12	AVSS_USB	T27	VIU0_DAT0
B13	USB1_DP	U2	VSS
B14	AVSS_USB	U3	VSS
B15	RGMII_RXD0	U5	SATA_REXT
B16	RGMII_TXD0	U6	VSS
B17	RGMII_TXD1	U8	VDD25_EFUSE
B18	MDCK	U11	DVDD10
B19	VSS	U12	VSS
B20	VDAC0_IOUT2	U13	DVDD10
B21	VDAC0_IOUT0	U14	VSS
B22	VDAC1_IOUT2	U15	DVDD10

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

位置	管脚名称	位置	管脚名称
B23	VDAC1_IOUT0	U16	VSS
B24	SIO2_XCLK	U17	DVDD10
B25	VSS	U21	DVDD33
B26	AVSS_HDMI	U23	VIU0_HS
B27	HDMI_TX2P	U24	VIU0_VS
B28	HDMI_TX2N	U26	VSS
C2	VOU1120_DATA4	U27	VIU1_DAT15
C3	VOU1120_DATA5	U28	VIU1_DAT14
C4	VOU1120_DATA11	V1	SATA_RX1M
C5	VOU1120_DATA13	V2	SATA_RX1P
C6	VSS	V3	VSS
C7	VOU656_DATA2	V5	SATA_REFCLKP
C8	VOU656_DATA4	V6	SATA_REFCLKM
C9	VOU656_DATA7	V8	SATA_VP10
C10	USB0_PWREN	V11	VSS
C11	AVSS_USB	V12	DVDD10
C12	USB_REXT	V13	VSS
C13	AVSS_USB	V14	DVDD10
C14	RGMII_RXDV	V15	VSS
C15	RGMII_RXCK	V16	DVDD10
C16	VSS	V17	VSS
C17	RGMII_TXCK	V21	DVDD33
C18	MDIO	V23	VIU1_DAT10
C19	VSS	V24	VIU1_DAT11
C20	VDAC0_VDREF	V26	VIU1_DAT13
C21	VDAC0_IREF	V27	VIU1_DAT12
C22	VDAC1_VDREF	W2	SATA_RX0P
C23	VDAC1_IREF	W3	SATA_RX0M

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

位置	管脚名称	位置	管脚名称
C24	VSS	W8	SATA_VP25
C25	SIO2_RFS	W21	VSS
C26	AVSS_HDMI	W26	VIU1_DAT9
C27	HDMI_TX1P	W27	VIU1_DAT8
C28	HDMI_TX1N	W28	VIU1_DAT7
D1	VOU1120_DATA2	Y1	VSS
D2	VOU1120_DATA1	Y2	VSS
D3	VOU1120_DATA3	Y3	VSS
D26	HDMI_TX0P	Y5	NF_WEN
D27	HDMI_TX0N	Y6	NF_ALE
E2	LCD_DV	Y8	VSS
E3	VOU1120_DATA0	Y21	DVDD33
E5	TEST_MODE	Y23	VIU1_DAT3
E6	VSS	Y24	VIU1_DAT4
E8	VOU656_CLK	Y26	VIU1_DAT6
E9	VGA_HS	Y27	VIU1_DAT5
E11	USB1_PWREN	AA2	SATA_TX0P
E12	AVDD33_USB	AA3	SATA_TX0M
E14	RGMII_RXD3	AA5	NF_CLE
E15	RGMII_TXEN	AA6	NF_REN
E17	RGMII_TXCKOUT	AA8	DVDD33
E18	RGMII_CRS	AA9	DVDD33
E20	AVDD33_VDAC1	AA10	DVDD1518
E21	AVDD33_VDAC1	AA11	DVDD1518
E23	SIO2_XFS	AA12	DDR_REF
E24	SIO2_DOUT	AA13	DVDD1518
E26	AVSS_HDMI	AA14	DVDD1518
E27	AVSS_HDMI	AA15	VSS

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

位置	管脚名称	位置	管脚名称
E28	HDMI_REXT	AA16	DDR_REF
F1	NA	AA17	DVDD1518
F2	NA	AA18	DVDD1518
F3	VSS	AA19	DDR_REF
F5	WDG_RSTN	AA20	DVDD1518
F6	RSTN	AA21	VSS
F8	VOU656_DATA5	AA23	VIU1_HS
F9	VGA_VS	AA24	VIU1_VS
F11	AVDD33_USB	AA26	VIU1_DAT2
F12	AVSS_USB	AA27	VIU1_DAT1
F14	RGMII_RXD2	AA28	VIU1_DAT0
F15	RGMII_TXD3	AB1	NF_CSN1
F17	VSS	AB2	NF_CSN0
F18	RGMII_COL	AB3	NF_RDY1
F20	AVDD33_VDAC0	AB26	VIU1_CLK
F21	AGND_VDAC1	AB27	SPI_SDO
F23	VSS	AC2	NF_RDY0
F24	SIO2_DIN	AC3	NF_DQ7
F26	HDMI_TXCP	AC5	NF_DQ0
F27	HDMI_TXCN	AC6	DDR_RTT
G2	VSS	AC8	DDR_DQ7
G3	VSS	AC9	DDR_DQ6
G26	AVSS_HDMI	AC11	DDR_DM0
G27	AVSS_HDMI	AC12	DDR_A12
G28	HDMI_CEC	AC14	DDR_A8
H1	NA	AC15	DDR_A14
H2	NA	AC17	DDR_A11
H3	NA	AC18	DDR_BA1

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

位置	管脚名称	位置	管脚名称
H5	NA	AC20	DDR_DQ20
H6	NA	AC21	DDR_DM2
H8	DVDD33	AC23	DDR_DQ23
H9	DVDD33	AC24	SPI_CSN2
H10	DVDD33	AC26	VSS
H11	VSS	AC27	SPI_SCLK
H12	DVDD10_USB	AC28	SPI_SDI
H13	DVSS_USB	AD1	NF_DQ6
H14	AVSS_USB	AD2	NF_DQ5
H15	DVDD2533	AD3	NF_DQ4
H16	DVDD2533	AD5	SFC_CLK
H17	DVDD2533	AD6	VSS
H18	VSS	AD8	DDR_DQ5
H19	AVDD33_VDAC0	AD9	DDR_DQ4
H20	AGND_VDAC0	AD11	DDR_DQ3
H21	DVDD33	AD12	DDR_A10
H23	AVSS_HDMI	AD14	DDR_CKE
H24	VSS	AD15	DDR_A1
H26	HDMI_SCL	AD17	DDR_A6
H27	HDMI_SDA	AD18	DDR_A4
J2	VSS	AD20	DDR_DQ17
J3	JTAG_TDO	AD21	DDR_DQ21
J5	JTAG_TDI	AD23	DDR_DQ22
J6	VSS	AD24	DDR_PADHI
J8	VSS	AD26	SPI_CSN3
J21	AVSS_HDMI	AD27	SPI_CSN1
J23	AVSS_HDMI	AE2	NF_DQ3
J24	SIO0_RCLK	AE3	NF_DQ2

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

位置	管脚名称	位置	管脚名称
J26	SIO0_RFS	AE26	DDR_PADLO
J27	HDMI_HOTPLUG	AE27	DDR_DQ31
J28	SIO0_DIN	AE28	SPI_CSN0
K1	NA	AF1	NF_DQ1
K2	NA	AF2	SFC_CS0N
K3	JTAG_TMS	AF3	SFC_DOI
K8	DVDD33	AF4	DDR_DQ15
K21	AVCC10_HDMI	AF5	DDR_DQ13
K26	VSS	AF6	DDR_DQS1_N
K27	SIO1_RCLK	AF7	VSS
L2	IR_IN	AF8	DDR_DQ10
L3	JTAG_TCK	AF9	DDR_DQS0_N
L5	JTAG_TRSTN	AF10	VSS
L6	VDDREF10_PLL234	AF11	DDR_DQ1
L8	AVSS_PLL1	AF12	DDR_RAS_N
L21	AVCC10_HDMI	AF13	VSS
L23	VSS	AF14	DDR_CAS_N
L24	SIO1_RFS	AF15	DDR_A2
L26	SIO1_DIN	AF16	DDR_A9
L27	VIU0_DAT15	AF17	DDR_A3
L28	VIU0_DAT14	AF18	DDR_CS_N
M1	GPIO11_0	AF19	VSS
M2	GPIO11_1	AF20	DDR_CLK1_P
M3	VSS	AF21	DDR_DQ18
M5	VDD10_PLL234	AF22	VSS
M6	VDD10_PLL1	AF23	DDR_DQS2_N
M8	AVDD33_PLL1	AF24	DDR_DQ26
M11	VSS	AF25	DDR_DM3

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

位置	管脚名称	位置	管脚名称
M12	DVDD10	AF26	VSS
M13	VSS	AF27	DDR_DQ29
M14	DVDD10	AG1	SFC_CS1N
M15	VSS	AG2	SFC_HOLD_IO3
M16	DVDD10	AG3	SFC_DIO
M17	VSS	AG4	DDR_DQ14
M21	DVDD33	AG5	DDR_DM1
M23	I2C_SCL	AG6	DDR_DQS1_P
M24	I2C_SDA	AG7	VSS
M26	VIU0_DAT13	AG8	DDR_DQ9
M27	VIU0_DAT12	AG9	DDR_DQS0_P
N2	XOUT	AG10	VSS
N3	XIN	AG11	DDR_DQ0
N8	AVDD33_PLL234	AG12	DDR_CLK0_N
N11	DVDD10	AG13	VSS
N12	VSS	AG14	DDR_WE_N
N13	DVDD10	AG15	DDR_A13
N14	VSS	AG16	DDR_A7
N15	DVDD10	AG17	DDR_A5
N16	VSS	AG18	DDR_BA2
N17	DVDD10	AG19	VSS
N21	VSS	AG20	DDR_CLK1_N
N26	VIU0_DAT11	AG21	DDR_DQ16
N27	VIU0_DAT9	AG22	VSS
N28	VIU0_DAT10	AG23	DDR_DQS2_P
P1	UART1_RTSN	AG24	DDR_DQ25
P2	VSS	AG25	DDR_DQ28
P3	VSS	AG26	VSS

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

位置	管脚名称	位置	管脚名称
P5	UART1_CTSN	AG27	DDR_DQS3_N
P6	UART1_TXD	AG28	DDR_DQ30
P8	AVSS_PLL234	AH1	VSS
P11	VSS	AH2	SFC_WP_IO2
P12	DVDD10	AH4	DDR_DQ12
P13	VSS	AH6	DDR_DQ11
P14	DVDD10	AH8	DDR_DQ8
P15	VSS	AH10	DDR_DQ2
P16	DVDD10	AH12	DDR_CLK0_P
P17	VSS	AH14	DDR_A0
P21	DVDD33	AH16	DDR_RESET_N
P23	VIU0_DAT6	AH18	DDR_BA0
P24	VIU0_DAT7	AH20	DDR_ODT
P26	VSS	AH22	DDR_DQ19
P27	VIU0_DAT8	AH24	DDR_DQ24
R2	SATA_LED_N1	AH26	DDR_DQ27
R3	UART1_RXD	AH27	DDR_DQS3_P
R5	UART0_RXD	AH28	VSS
R6	UART0_TXD		

2.2 管脚信息描述

2.2.1 管脚类型说明

管脚 I/O 类型说明如表 2-3 所示。

表2-3 管脚 I/O 类型说明

I/O	说明
I	输入信号。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

I/O	说明
I_{PD}	输入信号，内部下拉。
I_{PU}	输入信号，内部上拉。
I_S	输入信号，带施密特触发器。
I_{SPD}	输入信号，带施密特触发器，内部下拉。
I_{SPU}	输入信号，带施密特触发器，内部上垃。
O	输出信号。
O_{OD}	输出，漏极开路。
I/O	双向输入/输出信号。
I_{PD}/O	双向，输入下拉。
I_{PU}/O	双向，输入上拉。
I_{SPU}/O	双向，输入上拉，带施密特触发器。
I_{PD}/O_{OD}	双向，输入下拉，输出漏极开路。
I_{PU}/O_{OD}	双向，输入上拉，输出漏极开路。
I_S/O	双向，输入带施密特触发器。
I_S/O_{OD}	双向，输入带施密特触发器，输出漏极开路。
CIN	Crystal Oscillator，晶振输入。
COUT	Crystal Oscillator，晶振输出。
P	电源。
G	地。

2.2.2 DDR 管脚

说明
所有 DDR IO 依据 DDR 工作模式，可支持 SSTL_1.8V_ ClassI、SSTL_1.8V_ClassII 和 SSTL_1.5V 三种驱动能力。

DDR 电源管脚

DDR 电源管脚如表 2-4 所示。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

表2-4 DDR 电源管脚

Pin	管脚名称	类型	驱动（mA）	电压（V）	描述
AA10、AA11、AA13、AA14、AA17、AA18、AA20	DVDD1518	P	-	1.8/1.5/1.35	DDR2/DDR3/DDR3L 的 IO 电源

DDR 管脚

DDR 管脚如表 2-5 所示。

表2-5 DDR 管脚

Pin	管脚名称	类型	驱动（mA）	电压（V）	描述
AH14	DDR_A0	O	-	1.5/1.8/1.35	DDR SDRAM 地址信号 0
AD15	DDR_A1	O	-	1.5/1.8/1.35	DDR SDRAM 地址信号 1
AF15	DDR_A2	O	-	1.5/1.8/1.35	DDR SDRAM 地址信号 2
AF17	DDR_A3	O	-	1.5/1.8/1.35	DDR SDRAM 地址信号 3
AD18	DDR_A4	O	-	1.5/1.8/1.35	DDR SDRAM 地址信号 4
AG17	DDR_A5	O	-	1.5/1.8/1.35	DDR SDRAM 地址信号 5
AD17	DDR_A6	O	-	1.5/1.8/1.35	DDR SDRAM 地址信号 6
AG16	DDR_A7	O	-	1.5/1.8/1.35	DDR SDRAM 地址信号 7
AC14	DDR_A8	O	-	1.5/1.8/1.35	DDR SDRAM 地址信号 8
AF16	DDR_A9	O	-	1.5/1.8/1.35	DDR SDRAM 地址信号 9
AD12	DDR_A10	O	-	1.5/1.8/1.35	DDR SDRAM 地址信号 10
AC17	DDR_A11	O	-	1.5/1.8/1.35	DDR SDRAM 地址信号 11
AC12	DDR_A12	O	-	1.5/1.8/1.35	DDR SDRAM 地址信号 12
AG15	DDR_A13	O	-	1.5/1.8/1.35	DDR SDRAM 地址信号 13
AC15	DDR_A14	O	-	1.5/1.8/1.35	DDR SDRAM 地址信号 14
AH18	DDR_BA0	O	-	1.5/1.8/1.35	DDR SDRAM Bank 地址信号 0

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Pin	管脚名称	类型	驱动（mA)	电压（V）	描述
AC18	DDR_BA1	O	-	1.5/1.8/1.35	DDR SDRAM Bank 地址信号 1
AG18	DDR_BA2	O	-	1.5/1.8/1.35	DDR SDRAM Bank 地址信号 2
AF14	DDR_CAS_N	O	-	1.5/1.8/1.35	DDR SDRAM 列地址选择
AD14	DDR_CKE	O	-	1.5/1.8/1.35	DDR SDRAM 时钟使能
AG12	DDR_CLK0_N	O	-	1.5/1.8/1.35	DDR SDRAM 反向差分时钟 0
AH12	DDR_CLK0_P	O	-	1.5/1.8/1.35	DDR SDRAM 正向差分时钟 0
AG20	DDR_CLK1_N	O	-	1.5/1.8/1.35	DDR SDRAM 反向差分时钟 1
AF20	DDR_CLK1_P	O	-	1.5/1.8/1.35	DDR SDRAM 正向差分时钟 1
AF18	DDR_CS_N	O	-	1.5/1.8/1.35	DDR SDRAM 片选信号
AC11	DDR_DM0	I/O	-	1.5/1.8/1.35	DDR SDRAM 数据屏蔽信号 0
AG5	DDR_DM1	I/O	-	1.5/1.8/1.35	DDR SDRAM 数据屏蔽信号 1
AC21	DDR_DM2	I/O	-	1.5/1.8/1.35	DDR SDRAM 数据屏蔽信号 2
AF25	DDR_DM3	I/O	-	1.5/1.8/1.35	DDR SDRAM 数据屏蔽信号 3
AG11	DDR_DQ0	I/O	-	1.5/1.8/1.35	DDR SDRAM 数据线 0
AF11	DDR_DQ1	I/O	-	1.5/1.8/1.35	DDR SDRAM 数据线 1
AH10	DDR_DQ2	I/O	-	1.5/1.8/1.35	DDR SDRAM 数据线 2
AD11	DDR_DQ3	I/O	-	1.5/1.8/1.35	DDR SDRAM 数据线 3
AD9	DDR_DQ4	I/O	-	1.5/1.8/1.35	DDR SDRAM 数据线 4
AD8	DDR_DQ5	I/O	-	1.5/1.8/1.35	DDR SDRAM 数据线 5
AC9	DDR_DQ6	I/O	-	1.5/1.8/1.35	DDR SDRAM 数据线 6

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Pin	管脚名称	类型	驱动（mA)	电压（V）	描述
AC8	DDR_DQ7	I/O	-	1.5/1.8/1.35	DDR SDRAM 数据线 7
AH8	DDR_DQ8	I/O	-	1.5/1.8/1.35	DDR SDRAM 数据线 8
AG8	DDR_DQ9	I/O	-	1.5/1.8/1.35	DDR SDRAM 数据线 9
AF8	DDR_DQ10	I/O	-	1.5/1.8/1.35	DDR SDRAM 数据线 10
AH6	DDR_DQ11	I/O	-	1.5/1.8/1.35	DDR SDRAM 数据线 11
AH4	DDR_DQ12	I/O	-	1.5/1.8/1.35	DDR SDRAM 数据线 12
AF5	DDR_DQ13	I/O	-	1.5/1.8/1.35	DDR SDRAM 数据线 13
AG4	DDR_DQ14	I/O	-	1.5/1.8/1.35	DDR SDRAM 数据线 14
AF4	DDR_DQ15	I/O	-	1.5/1.8/1.35	DDR SDRAM 数据线 15
AG21	DDR_DQ16	I/O	-	1.5/1.8/1.35	DDR SDRAM 数据线 16
AD20	DDR_DQ17	I/O	-	1.5/1.8/1.35	DDR SDRAM 数据线 17
AF21	DDR_DQ18	I/O	-	1.5/1.8/1.35	DDR SDRAM 数据线 18
AH22	DDR_DQ19	I/O	-	1.5/1.8/1.35	DDR SDRAM 数据线 19
AC20	DDR_DQ20	I/O	-	1.5/1.8/1.35	DDR SDRAM 数据线 20
AD21	DDR_DQ21	I/O	-	1.5/1.8/1.35	DDR SDRAM 数据线 21
AD23	DDR_DQ22	I/O	-	1.5/1.8/1.35	DDR SDRAM 数据线 22
AC23	DDR_DQ23	I/O	-	1.5/1.8/1.35	DDR SDRAM 数据线 23
AH24	DDR_DQ24	I/O	-	1.5/1.8/1.35	DDR SDRAM 数据线 24
AG24	DDR_DQ25	I/O	-	1.5/1.8/1.35	DDR SDRAM 数据线 25
AF24	DDR_DQ26	I/O	-	1.5/1.8/1.35	DDR SDRAM 数据线 26
AH26	DDR_DQ27	I/O	-	1.5/1.8/1.35	DDR SDRAM 数据线 27
AG25	DDR_DQ28	I/O	-	1.5/1.8/1.35	DDR SDRAM 数据线 28
AF27	DDR_DQ29	I/O	-	1.5/1.8/1.35	DDR SDRAM 数据线 29
AG28	DDR_DQ30	I/O	-	1.5/1.8/1.35	DDR SDRAM 数据线 30

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Pin	管脚名称	类型	驱动（mA)	电压（V）	描述
AE27	DDR_DQ31	I/O	-	1.5/1.8/1.35	DDR SDRAM 数据线 31
AF9	DDR_DQS0_N	I/O	-	1.5/1.8/1.35	DDR 反向 DQS Strobe 信号 0，对应 DQ[7:0]
AG9	DDR_DQS0_P	I/O	-	1.5/1.8/1.35	DDR 正向 DQS Strobe 信号 0，对应 DQ[7:0]
AF6	DDR_DQS1_N	I/O	-	1.5/1.8/1.35	DDR 反向 DQS Strobe 信号 1，对应 DQ[15:8]
AG6	DDR_DQS1_P	I/O	-	1.5/1.8/1.35	DDR 正向 DQS Strobe 信号 1，对应 DQ[15:8]
AF23	DDR_DQS2_N	I/O	-	1.5/1.8/1.35	DDR 反向 DQS Strobe 信号 2，对应 DQ[23:16]
AG23	DDR_DQS2_P	I/O	-	1.5/1.8/1.35	DDR 正向 DQS Strobe 信号 2，对应 DQ[23:16]
AG27	DDR_DQS3_N	I/O	-	1.5/1.8/1.35	DDR 反向 DQS Strobe 信号 3，对应 DQ[31:24]
AH27	DDR_DQS3_P	I/O	-	1.5/1.8/1.35	DDR 正向 DQS Strobe 信号 3，对应 DQ[31:24]
AH20	DDR_ODT	-	-	1.5/1.8/1.35	DDR 外接匹配参考电阻
AD24	DDR_PADHI	-	-	1.5/1.8/1.35	DDR 外接下拉电阻
AE26	DDR_PADLO	-	-	1.5/1.8/1.35	DDR 外接上拉电阻
AF12	DDR_RAS_N	-	-	1.5/1.8/1.35	DDR SDRAM 行地址选择
AH16	DDR_RESET_N	P	-	1.5/1.8/1.35	DDR3 SDRAM 复位信号
AC6	DDR_RTT	-	-	1.5/1.8/1.35	DDR 外接下拉电阻
AG14	DDR_WE_N	O	-	1.5/1.8/1.35	DDR SDRAM 写使能信号
AA12、AA16、AA19	DDR_REF	P		0.5 x DVDD1518	DDR 参考电压

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

2.2.3 GPIO 管脚

GPIO 管脚如表 2-6 所示。

表2-6 GPIO 管脚

Pin	管脚名称	类型	驱动（mA)	电压（V）	描述
M1	GPIO11_0	I_{PU}/O	4	3.3	功能 0：GPIO11_0 通用输入输出 功能 1：UART3_RXD UART3 数据接收
M2	GPIO11_1	I_{PU}/O	4	3.3	功能 0：GPIO11_1 通用输入输出 功能 1：UART3_TXD UART3 数据发送

2.2.4 HDMI 管脚

HDMI 管脚如表 2-7 所示。

表2-7 HDMI 管脚

Pin	管脚名称	类型	驱动（mA)	电压（V）	描述
K21、L21	AVCC10_HDMI	P	-	1.0	HDMI 的模拟电源
A27、A28、B26、C26、E26、E27、G26、G27、H23、J21、J23	AVSS_HDMI	G	-	-	HDMI 的模拟地
E28	HDMI_REXT	-	-	-	外接电阻，详细请参见《Hi3521 硬件设计 用户指南》
G28	HDMI_CEC	I_{PU}/O	4	3.3	功能 0：GPIO11_5 通用输入输出 功能 1：HDMI_CEC HDMI 接口的控制通道信号
J27	HDMI_HOTPLUG	I_{PD}/O	4	3.3	功能 0：GPIO11_4

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Pin	管脚名称	类型	驱动（mA）	电压（V）	描述
					通用输入输出 功能 1：HDMI_HOTPLUG HDMI 接口的热插拔信号
H26	HDMI_SCL	I_{SPU}/O	8	3.3	功能 0：GPIO11_7 通用输入输出 功能 1：HDMI_SCL HDMI 接口专用 I2C 总线时钟，OD 输出
H27	HDMI_SDA	I_{SPU}/O	4	3.3	功能 0：GPIO11_6 通用输入输出 功能 1：HDMI_SDA HDMI 接口专用 I2C 总线数据/地址，OD 输出
D27	HDMI_TX0N	O	-	0.7	通道 0 串行差分信号
D26	HDMI_TX0P				
C28	HDMI_TX1N	O	-	0.7	通道 1 串行差分信号
C27	HDMI_TX1P				
B28	HDMI_TX2N	O	-	0.7	通道 2 串行差分信号
B27	HDMI_TX2P				
F27	HDMI_TXCN	O	-	0.7	差分像素时钟
F26	HDMI_TXCP				

2.2.5 I2C 管脚

I2C 管脚如表 2-8 所示。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

表2-8 I2C 管脚

Pin	管脚名称	类型	驱动（mA)	电压（V）	描述
M23	I2C_SCL	I_{SPU}/O	8	3.3	功能 0：GPIO13_3 通用输入输出 功能 1：I2C_SCL I2C 总线时钟，OD 输出
M24	I2C_SDA	I_{SPU}/O	4	3.3	功能 0：GPIO13_2 通用输入输出 功能 1：I2C_SDA I2C 总线数据/地址，OD 输出

2.2.6 IR 管脚

IR 管脚如表 2-9 所示。

表2-9 IR 管脚

Pin	管脚名称	类型	驱动（mA)	电压（V）	描述
L2	IR_IN	I_{SPU}/O	4	3.3	功能 0：IR_IN 红外接口输入 功能 1：GPIO9_4 通用输入输出

2.2.7 JTAG 管脚

JTAG 管脚如表 2-10 所示。

表2-10 JTAG 管脚

Pin	管脚名称	类型	驱动（mA)	电压（V）	描述
L3	JTAG_TCK	I_{SPD}	-	3.3	JTAG 接口时钟输入
J5	JTAG_TDI	I_{SPU}	-	3.3	JTAG 接口数据输入
J3	JTAG_TDO	O	4	3.3	JTAG 接口数据输出
K3	JTAG_TMS	I_{SPU}/O	4	3.3	JTAG 模式选择输入，或软件

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Pin	管脚名称	类型	驱动（mA）	电压（V）	描述
					跟踪的数据输出。两种模式选择在 CPU 中进行控制
L5	JTAG_TRSTN	I_{SPD}	-	3.3	JTAG 接口复位输入

2.2.8 GMAC 管脚

DVDD2533 管脚

DVDD2533 管脚如表 2-11 所示。

表2-11 DVDD2533 管脚

Pin	管脚名称	类型	驱动（mA）	电压（V）	描述
H15、H16、H17	DVDD2533	P	-	3.3/2.5	网口 IO 电压

MDIO 管脚

MDIO 管脚如表 2-12 所示。

表2-12 MDIO 管脚

Pin	管脚名称	类型	驱动（mA）	电压（V）	描述
B18	MDCK	I_{SPD}/O	可配置	3.3/2.5	功能 0：MDCK MDIO 接口时钟输出 功能 1：JTAG_SEL0 JTAG 功能选择 {JTAG_SEL1, JTAG_SEL0}： 00：A9； 01：保留； 10：SATA； 11：保留。
C18	MDIO	I/O	可配置	3.3/2.5	MDIO 接口的输入/输出信号

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

GMAC 管脚

GMAC 管脚如表 2-13 所示。

表2-13 GMAC 管脚

Pin	管脚名称	类型	驱动（mA）	电压（V）	描述
F18	RGMII_COL	I/O	可配置	2.5/3.3	功能 0：GPIO13_5 通用输入输出 功能 1：RGMII_COL RGMII 碰撞指示信号 功能 2：RGMII_TXER MII 发送错误信号
E18	RGMII_CRS	I/O	可配置	2.5/3.3	功能 0：GPIO13_4 通用输入输出 功能 1：RGMII_CRS RGMII 载波侦听信号 功能 2：RGMII_RXER MII 接收错误信号
C15	RGMII_RXCK	I	-	2.5/3.3	RGMII 接口接收时钟，双沿有效，或 MII 接收时钟
B15	RGMII_RXD0	I	-	2.5/3.3	RGMII 接口接收的数据，或 MII 接收数据
A15	RGMII_RXD1	I	-	2.5/3.3	RGMII 接口接收的数据，或 MII 接收数据
F14	RGMII_RXD2	I	-	2.5/3.3	RGMII 接口接收的数据，或 MII 接收数据
E14	RGMII_RXD3	I	-	2.5/3.3	RGMII 接口接收的数据，或 MII 接收数据
C14	RGMII_RXDV	I	-	2.5/3.3	RGMII 接口接收使能，或 MII 接收使能
C17	RGMII_TXCK	I/O	可配置	2.5/3.3	功能 0：RGMII_TXCK MII 发送时钟 功能 1：GPIO8_7 通用输入输出
E17	RGMII_TXCKOUT	O	可配置	2.5/3.3	RGMII 千兆发送时钟，双沿有效

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Pin	管脚名称	类型	驱动（mA)	电压（V）	描述
B16	RGMII_TXD0	O	可配置	2.5/3.3	功能 0：PLL_TEST_OUT0 PLL 测试时钟输出 功能 1：RGMII_TXD0 RGMII 接口发送数据，或 MII 发送数据 功能 2：PLL_TEST_OUT1 PLL 测试时钟输出 功能 3：PLL_TEST_OUT2 PLL 测试时钟输出 功能 4：PLL_TEST_OUT3 PLL 测试时钟输出
B17	RGMII_TXD1	O	可配置	2.5/3.3	RGMII 接口发送数据，或 MII 发送数据
A17	RGMII_TXD2	O	可配置	2.5/3.3	RGMII 接口发送数据，或 MII 发送数据
F15	RGMII_TXD3	O	可配置	2.5/3.3	RGMII 接口发送数据，或 MII 发送数据
E15	RGMII_TXEN	O	可配置	2.5/3.3	RGMII 接口发送数据使能，或 MII 接口发送数据使能

2.2.9 NANDC 管脚

NANDC 管脚如表 2-14 所示。

表2-14 NANDC 管脚

Pin	管脚名称	类型	驱动（mA)	电压（V）	描述
Y6	NF_ALE	I_{SPD}/O	8	3.3	功能 0：NF_ALE NANDFlash 地址锁存信号 功能 1：BOOT_SEL1 启动模式选择信号，参看 BOOT_SEL0 的说明
AA5	NF_CLE	I_{SPD}/O	8	3.3	功能 0：NF_CLE NANDFlash 命令锁存信号

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Pin	管脚名称	类型	驱动（mA)	电压（V）	描述
					功能 1：BOOT_SEL0 启动模式选择信号，BOOT_SEL0 和 BOOT_SEL1 组合使用，用于选择启动模式： {BOOT_SEL1,BOOT_SEL0}： 00：SPI Flash 存储空间 01：保留 10：NAND Flash 存储空间 11：保留
AB2	NF_CSN0	O	4	3.3	Nandflash 片选信号 0，低电平有效。用来挂接启动的 Nand flash。
AB1	NF_CSN1	O	4	3.3	Nandflash 片选信号 1，低电平有效。用来挂接启动的 Nand flash。
AC5	NF_DQ0	I_{PD}/O	8	3.3	功能 0：NF_DQ0 NAND Flash 数据总线 功能 1：GPIO9_5 通用输入输出
AF1	NF_DQ1	I_{PD}/O	8	3.3	功能 0：NF_DQ1 NAND Flash 数据总线 功能 1：GPIO9_6 通用输入输出
AE3	NF_DQ2	I_{PD}/O	8	3.3	功能 0：NF_DQ2 NAND Flash 数据总线 功能 1：GPIO9_7 通用输入输出
AE2	NF_DQ3	I_{PD}/O	8	3.3	功能 0：NF_DQ3 NAND Flash 数据总线 功能 1：GPIO10_0 通用输入输出
AD3	NF_DQ4	I_{PD}/O	8	3.3	功能 0：NF_DQ4 NAND Flash 数据总线 功能 1：GPIO10_1 通用输入输出

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Pin	管脚名称	类型	驱动（mA）	电压（V）	描述
AD2	NF_DQ5	I_{PD}/O	8	3.3	功能 0：NF_DQ5 NAND Flash 数据总线 功能 1：GPIO10_2 通用输入输出
AD1	NF_DQ6	I_{PD}/O	8	3.3	功能 0：NF_DQ6 NAND Flash 数据总线 功能 1：GPIO10_3 通用输入输出
AC3	NF_DQ7	I_{PD}/O	8	3.3	功能 0：NF_DQ7 NAND Flash 数据总线 功能 1：GPIO10_4 通用输入输出
AC2	NF_RDY0	I_{SPU}/O	4	3.3	功能 0：NF_RDY0 NAND Flash 忙/空闲指示 0：忙； 1：空闲。 功能 1：GPIO10_5 通用输入输出
AB3	NF_RDY1	I_{SPU}/O	4	3.3	功能 0：NF_RDY1 NAND Flash 忙/空闲指示。 0：忙； 1：空闲。 功能 1：GPIO10_6 通用输入输出
AA6	NF_REN	I_{SPD}/O	8	3.3	功能 0：NF_REN NAND Flash 读使能信号，低电平有效 功能 1：JTAG_SEL1 JTAG 功能选择 {JTAG_SEL1, JTAG_SEL0}： 00：A9； 01：保留； 10：SATA； 11：保留。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Pin	管脚名称	类型	驱动（mA)	电压（V）	描述
Y5	NF_WEN	I_{SPD}/O	8	3.3	功能 0：NF_WEN NAND Flash 写使能信号,低电平有效 功能 1：BOOTROM_SEL BOOTROM 启动。为 1 时选择从 BOOTROM 启动；如果从 BOOTROM 启动时发现串口通讯不成功，超时等待后根据 BOOT_SEL1/0 将程序入口指向相应的空间

2.2.10 SYS 管脚

SYS 管脚如表 2-15 所示。

表2-15 SYS 管脚

Pin	管脚名称	类型	驱动（mA)	电压（V）	描述
F6	RSTN	I_{SPU}	-	3.3	系统上电复位信号输入，低电平有效
E5	TEST_MODE	I_{SPD}	-	3.3	功能模式和测试模式选择： 0：功能模式 1：测试模式
F5	WDG_RSTN	O_{OD}	4	3.3	看门狗复位输出，低电平有效，OD 输出

2.2.11 SATA 管脚

SATA 管脚如表 2-16 所示。

表2-16 SATA 管脚

Pin	管脚名称	类型	驱动（mA)	电压（V）	描述
T3	SATA_LED_N0	I/O	4	3.3	功能 0：GPIO11_2 通用输入输出 功能 1：SATA_LED_N0

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Pin	管脚名称	类型	驱动（mA）	电压（V）	描述
					SATA0 端口 LED 指示，低有效
R2	SATA_LED_N1	I/O	4	3.3	功能 0：GPIO11_3 通用输入输出 功能 1：SATA_LED_N1 SATA1 端口 LED 指示，低有效
V6	SATA_REFCLKM	I	-	0.7	差分时钟输入
V5	SATA_REFCLKP	I	-	0.7	差分时钟输入
U5	SATA_REXT	I	-	0.7	外接电阻，阻值是 191±1%Ω
W3	SATA_RX0M	I	-	0.7	通道 0 接收的差分信号
W2	SATA_RX0P	I	-	0.7	通道 0 接收的差分信号
V1	SATA_RX1M	I	-	0.7	通道 1 接收的差分信号
V2	SATA_RX1P	I	-	0.7	通道 1 接收的差分信号
AA3	SATA_TX0M	O	-	0.7	通道 0 发送的差分信号
AA2	SATA_TX0P	O	-	0.7	通道 0 发送的差分信号
T2	SATA_TX1M	O	-	0.7	通道 1 发送的差分信号
T1	SATA_TX1P	O	-	0.7	通道 1 发送的差分信号
V8	SATA_VP10	P	-	1.0	SATA 1.0V 电源
W8	SATA_VP25	P	-	2.5	SATA 2.5V 电源

2.2.12 SFC 管脚

SFC 管脚如表 2-17 所示。

表2-17 SFC 管脚

Pin	管脚名称	类型	驱动（mA）	电压（V）	描述
AD5	SFC_CLK	O	12	3.3	送给 SPI Flash 的时钟信号,

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Pin	管脚名称	类型	驱动（mA）	电压（V）	描述
					时钟停靠的高低电平可选
AF2	SFC_CS0N	O	4	3.3	SFC 片选 0 信号，低有效
AG1	SFC_CS1N	O	4	3.3	SFC 片选 1 信号，低有效，用来挂接启动的 SPIflash。
AG3	SFC_DIO	I_{PD}/O	8	3.3	功能 0：SFC_DIO 在 Standard SPI 模式，为数据的输出信号； 在 Dual SPI 模式下，为数据的输入输出信号； 在 Quad SPI 模式下，为数据的输入输出信号。 功能 1：GPIO13_6 通用输入输出
AF3	SFC_DOI	I_{PD}/O	8	3.3	功能 0：SFC_DOI 在 Standard SPI 模式，为数据的输入信号； 在 Dual SPI 模式下，为数据的输入输出信号； 在 Quad SPI 模式下，为数据的输入输出信号。 功能 1：GPIO13_7 通用输入输出
AG2	SFC_HOLD_IO3	I_{PD}/O	8	3.3	功能 0：SFC_HOLD_IO3 在 Standard SPI 模式，作为 hold 功能，低有效； 在 Dual SPI 模式下，作为 hold 功能，低有效； 在 Quad SPI 模式下，为数据的输入输出信号。 功能 1：GPIO14_4 通用输入输出
AH2	SFC_WP_IO2	I_{PD}/O	8	3.3	功能 0：SFC_WP_IO2 在 Standard SPI 模式，作为 write protect 功能，低有效； 在 Dual SPI 模式下，作为 write protect 功能，低有效；

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Pin	管脚名称	类型	驱动（mA）	电压（V）	描述
					在 Quad SPI 模式下，为数据的输入输出信号。 功能 1：GPIO10_7 通用输入输出

2.2.13 SIO 管脚

SIO0 管脚

SIO0 管脚如表 2-18 所示。

表2-18 SIO0 管脚

Pin	管脚名称	类型	驱动（mA）	电压（V）	描述
J28	SIO0_DIN	I_{PU}/O	4	3.3	功能 0：GPIO7_2 通用输入输出 功能 1：SIO0_DIN I2S 或 PCM 接口数据输入
J24	SIO0_RCLK	I_{PD}/O	8	3.3	功能 0：GPIO7_0 通用输入输出 功能 1：SIO0_RCLK I2S 或 PCM 接口位流时钟
J26	SIO0_RFS	I_{PD}/O	8	3.3	功能 0：GPIO7_1 通用输入输出 功能 1：SIO0_RFS I2S 接收左右声道选择信号（与 ADC 接口），或 PCM 帧同步信号

SIO1 管脚

SIO1 管脚如表 2-19 所示。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

表2-19 SIO1 管脚

Pin	管脚名称	类型	驱动（mA）	电压（V）	描述
L26	SIO1_DIN	I_{PU}/O	4	3.3	功能 0：GPIO7_5 通用输入输出 功能 1：SIO1_DIN I2S 或 PCM 接口数据输入。
K27	SIO1_RCLK	I_{PD}/O	8	3.3	功能 0：GPIO7_3 通用输入输出 功能 1：SIO1_RCLK I2S 或 PCM 接口位流时钟
L24	SIO1_RFS	I_{PD}/O	8	3.3	功能 0：GPIO7_4 通用输入输出 功能 1：SIO1_RFS I2S 接收左右声道选择信号（与 ADC 接口），或 PCM 帧同步信号

SIO2 管脚

SIO2 管脚如表 2-20 所示。

表2-20 SIO2 管脚

Pin	管脚名称	类型	驱动（mA）	电压（V）	描述
F24	SIO2_DIN	I_{PU}/O	4	3.3	功能 0：GPIO8_2 通用输入输出 功能 1：SIO2_DIN I2S 或 PCM 接口数据输入。
E24	SIO2_DOUT	I_{PU}/O	4	3.3	功能 0：SIO2_DOUT I2S 或 PCM 接口数据输出。 功能 1：NF_BOOT_PIN1 NAND 器件类型设置，只在上电时有效。参考 NF_BOOT_PIN0 的说明。
A25	SIO2_RCLK	I_{PD}/O	8	3.3	功能 0：GPIO8_0 通用输入输出

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

					功能 1：SIO2_RCLK I2S 或 PCM 接口位流时钟
C25	SIO2_RFS	I_{PD}/O	8	3.3	功能 0：GPIO8_1 通用输入输出 功能 1：SIO2_RFS I2S 接收左右声道选择信号（与 ADC 接口），或 PCM 帧同步信号
B24	SIO2_XCLK	I_{PD}/O	8	3.3	功能 0：GPIO7_6 通用输入输出 功能 1：SIO2_XCLK I2S 或 PCM 接口位流时钟
E23	SIO2_XFS	I_{PD}/O	8	3.3	功能 0：GPIO7_7 通用输入输出 功能 1：SIO2_XFS I2S 发送左右声道选择信号（与 DAC 接口），或 PCM 帧同步信号

2.2.14 SPI 管脚

SPI 管脚如表 2-21 所示。

表2-21 SPI 管脚

Pin	管脚名称	类型	驱动（mA)	电压（V）	描述
AE28	SPI_CSN0	I_{PU}/O	4	3.3	功能 0：GPIO8_6 通用输入输出 功能 1：SPI_CSN0 SPI 的片选 0 输出
AD27	SPI_CSN1	I_{SPD}/O	4	3.3	功能 0：SPI_CSN1 SPI 的片选 1 输出 功能 1：NF_BOOT_PIN2 NAND 器件类型设置，只在上电时有效。参考 NF_BOOT_PIN0 的说明。
AC24	SPI_CSN2	I_{SPD}/O	4	3.3	功能 0：SPI_CSN2

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Pin	管脚名称	类型	驱动（mA)	电压（V）	描述
					SPI 的片选 0 输出 功能 1：NF_BOOT_PIN3 NAND 器件类型设置，只在上电时有效。参考 NF_BOOT_PIN0 的说明。
AD26	SPI_CSN3	I_{SPD}/O	4	3.3	功能 0：SPI_CSN3 SPI 的片选 1 输出 功能 1：NF_BOOT_PIN4 NAND 器件类型设置，只在上电时有效。参考 NF_BOOT_PIN0 的说明。 功能 2：CLK_TEST_OUT0 主测试时钟输出 功能 3：CLK_TEST_OUT1 主测试时钟输出 功能 4：CLK_TEST_OUT2 主测试时钟输出 功能 5：CLK_TEST_OUT3 主测试时钟输出
AC27	SPI_SCLK	I_{PD}/O	12	3.3	功能 0：GPIO8_3 通用输入输出 功能 1：SPI_SCLK SPI 时钟信号
AC28	SPI_SDI	I_{PD}/O	4	3.3	功能 0：GPIO8_5 通用输入输出 功能 1：SPI_SDI SPI 数据输入
AB27	SPI_SDO	I_{PD}/O	8	3.3	功能 0：GPIO8_4 通用输入输出 功能 1：SPI_SDO SPI 数据输出

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

2.2.15 UART 管脚

UART0 管脚

UART0 管脚如表 2-22 所示。

表2-22 UART0 管脚

Pin	管脚名称	类型	驱动（mA)	电压（V）	描述
R5	UART0_RXD	I_{PU}	-	3.3	UART0 数据接收
R6	UART0_TXD	O	4	3.3	UART0 数据发送

UART1 管脚

UART1 管脚如表 2-23 所示。

表2-23 UART1 管脚

Pin	管脚名称	类型	驱动（mA)	电压（V）	描述
P5	UART1_CTSN	I_{PU}/O	4	3.3	功能 0：GPIO9_2 通用输入输出 功能 1：UART1_CTSN Modem 状态输入：Clear To Send.低有效。
P1	UART1_RTSN	I_{PU}/O	4	3.3	功能 0：GPIO9_0 通用输入输出 功能 1：UART1_RTSN Modem 状态输出：request to send，低有效。复位值为 0
R3	UART1_RXD	I_{PU}/O	4	3.3	功能 0：GPIO9_1 通用输入输出 功能 1：UART1_RXD UART1 数据接收
P6	UART1_TXD	I_{PU}/O	4	3.3	功能 0：GPIO9_3 通用输入输出 功能 1：UART1_TXD UART1 数据发送

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

2.2.16 USB 管脚

USB 管脚如表 2-24 所示。

表2-24 USB 管脚

Pin	管脚名称	类型	驱动（mA)	电压（V）	描述
E12、F11	AVDD33_USB	P		3.3	USB 的模拟电源
B12、B14、C11、C13、F12、H14	AVSS_USB	G		-	USB 的模拟地
H12	DVDD10_USB	P		1.0	USB 的数字电源
H13	DVSS_USB	G		-	USB 的数字地
C12	USB_REXT	I/O	-	3.3	USB 外接电阻接口，电阻阻值是 43.2±1%Ω，外接电阻到地。
B11	USB0_DM	I/O	-	0.4/3.3	USB0 的 D-信号，在高速模式下，该端口最大的电压是 800mV 或 400mV，在全速和低速模式下，该端口的电压是 3.3V
A11	USB0_DP	I/O	-	0.4/3.3	USB0 的 D+信号，在高速模式下，该端口最大的电压是 800mV 或 400mV，在全速和低速模式下，该端口的电压是 3.3V
A9	USB0_OVRCUR	I_{SPD}/O	4	3.3	功能 0：GPIO14_0 通用输入输出 功能 1：USB0_OVRCUR USB 端口 0 的端口过流指示信号,高低电平可配，默认为高电平有效
C10	USB0_PWREN	I_{PU}/O	4	3.3	功能 0：GPIO14_1

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Pin	管脚名称	类型	驱动（mA）	电压（V）	描述
					通用输入输出 功能 1：USB0_PWREN USB 端口 0 电源控制输出管脚，高低电平可配，默认为高电平有效
A13	USB1_DM	I/O	-	0.4/3.3	USB1 的 D-信号，在高速模式下，该端口最大的电压是 800mV 或 400mV，在全速和低速模式下，该端口的电压是 3.3V
B13	USB1_DP	I/O	-	0.4/3.3	USB1 的 D+信号，在高速模式下，该端口最大的电压是 800mV 或 400mV，在全速和低速模式下，该端口的电压是 3.3V
B10	USB1_OVRCUR	I_{SPD}/O	4	3.3	功能 0：GPIO14_2 通用输入输出 功能 1：USB1_OVRCUR USB 端口 1 的端口过流指示信号，高低电平可配，默认为高电平有效
E11	USB1_PWREN	I_{PU}/O	4	3.3	功能 0：GPIO14_3 通用输入输出 功能 1：USB1_PWREN USB 端口 1 电源控制输出管脚，高低电平可配，默认为高电平有效

2.2.17 VDAC 管脚

VDAC0 管脚

VDAC0 管脚如表 2-25 所示。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

表2-25 VDAC0 管脚

Pin	管脚名称	类型	驱动（mA）	电压（V）	描述
F20、H19	AVDD33_VDAC0	P	-	3.3	VDAC0 的模拟电源
H20	AGND_VDAC0	G	-	-	VDAC0 的模拟地
B21	VDAC0_IOUT0	O	-	3.3	CVBS0 通道输出
A21	VDAC0_IOUT1	O	-	3.3	CVBS1 通道输出
B20	VDAC0_IOUT2	-	-	3.3	必须外接 75Ω 到地
C21	VDAC0_IREF	I/O	-	3.3	参考电流，采用外接电阻的时候输出电流，采用外接电流源的时候，输入电流
C20	VDAC0_VDREF	I/O	-	3.3	外部去耦参考电压，接 10nF 和 1nF 的电容到模拟地

VDAC1 管脚

VDAC1 管脚如表 2-26 所示。

表2-26 VDAC1 管脚

Pin	管脚名称	类型	驱动（mA）	电压（V）	描述
E20、E21	AVDD33_VDAC1	P	-	3.3	VDAC1 的模拟电源
F21	AGND_VDAC1	G	-	-	VDAC1 的模拟地
B23	VDAC1_IOUT0	O	-	3.3	VGA 的 B 通道输出
A23	VDAC1_IOUT1	O	-	3.3	VGA 的 G 通道输出
B22	VDAC1_IOUT2	O	-	3.3	VGA 的 R 通道输出
C23	VDAC1_IREF	I/O	-	3.3	参考电流，采用外接电阻的时候输出电流，采用外接电流源的时候，输入电流

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Pin	管脚名称	类型	驱动（mA）	电压（V）	描述
C22	VDAC1_VDREF	I/O	-	3.3	外部去耦参考电压，接 10nF 和 1nF 的电容到模拟地

2.2.18 VIU 管脚

VIU0 管脚

VIU0 管脚如表 2-27 所示。

表2-27 VIU0 管脚

Pin	管脚名称	类型	驱动（mA）	电压（V）	描述
T26	VIU0_CLK	I_{PD}/O	4	3.3	功能 0：VIU0_CLK VIU0 的时钟信号 功能 1：GPIO12_0 通用输入输出
T27	VIU0_DAT0	I_{PD}/O	4	3.3	功能 0：VIU0_DAT0 VIU0 的数据输入 功能 1：GPIO1_7 通用输入输出
R23	VIU0_DAT1	I_{PD}/O	4	3.3	功能 0：VIU0_DAT1 VIU0 的数据输入 功能 1：GPIO1_6 通用输入输出
R24	VIU0_DAT2	I_{PD}/O	4	3.3	功能 0：VIU0_DAT2 VIU0 的数据输入 功能 1：GPIO1_5 通用输入输出
R26	VIU0_DAT3	I_{PD}/O	4	3.3	功能 0：VIU0_DAT3 VIU0 的数据输入 功能 1：GPIO1_4 通用输入输出
R28	VIU0_DAT4	I_{PD}/O	4	3.3	功能 0：VIU0_DAT4

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Pin	管脚名称	类型	驱动（mA)	电压（V）	描述
					VIU0 的数据输入 功能 1：GPIO1_3 通用输入输出
R27	VIU0_DAT5	I_{PD}/O	4	3.3	功能 0：VIU0_DAT5 VIU0 的数据输入 功能 1：GPIO1_2 通用输入输出
P23	VIU0_DAT6	I_{PD}/O	4	3.3	功能 0：VIU0_DAT6 VIU0 的数据输入 功能 1：GPIO1_1 通用输入输出
P24	VIU0_DAT7	I_{PD}/O	4	3.3	功能 0：VIU0_DAT7 VIU0 的数据输入 功能 1：GPIO1_0 通用输入输出
P27	VIU0_DAT8	I_{PD}/O	4	3.3	功能 0：VIU0_DAT8 VIU0 的数据输入 功能 1：GPIO0_7 通用输入输出
N27	VIU0_DAT9	I_{PD}/O	4	3.3	功能 0：VIU0_DAT9 VIU0 的数据输入 功能 1：GPIO0_6 通用输入输出
N28	VIU0_DAT10	I_{PD}/O	4	3.3	功能 0：VIU0_DAT10 VIU0 的数据输入 功能 1：GPIO0_5 通用输入输出
N26	VIU0_DAT11	I_{PD}/O	4	3.3	功能 0：VIU0_DAT11 VIU0 的数据输入 功能 1：GPIO0_4 通用输入输出
M27	VIU0_DAT12	I_{PD}/O	4	3.3	功能 0：VIU0_DAT12 VIU0 的数据输入

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Pin	管脚名称	类型	驱动（mA）	电压（V）	描述
					功能 1：GPIO0_3 通用输入输出
M26	VIU0_DAT13	I_{PD}/O	4	3.3	功能 0：VIU0_DAT13 VIU0 的数据输入 功能 1：GPIO0_2 通用输入输出
L28	VIU0_DAT14	I_{PD}/O	4	3.3	功能 0：VIU0_DAT14 VIU0 的数据输入 功能 1：GPIO0_1 通用输入输出
L27	VIU0_DAT15	I_{PD}/O	4	3.3	功能 0：VIU0_DAT15 VIU0 的数据输入 功能 1：GPIO0_0 通用输入输出
U23	VIU0_HS	I_{PU}/O	4	3.3	功能 0：VIU0_HS VIU0 的行同步信号，高有效 功能 1：GPIO12_3 通用输入输出 功能 2：UART2_RXD UART2 数据接收
U24	VIU0_VS	I_{PD}/O	4	3.3	功能 0：VIU0_VS VIU0 的场同步信号，高有效 功能 1：GPIO12_2 通用输入输出 功能 2：VIU0_CLKA VIU0 的时钟信号

VIU1 管脚

VIU1 管脚如表 2-28 所示。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

表2-28 VIU1 管脚

Pin	管脚名称	类型	驱动（mA）	电压（V）	描述
AB26	VIU1_CLK	I_{PD}/O	4	3.3	功能 0：VIU1_CLK VIU1 的时钟信号 功能 1：GPIO12_1 通用输入输出
AA28	VIU1_DAT0	I_{PD}/O	4	3.3	功能 0：VIU1_DAT0 VIU1 的数据输入 功能 1：GPIO3_7 通用输入输出
AA27	VIU1_DAT1	I_{PD}/O	4	3.3	功能 0：VIU1_DAT1 VIU1 的数据输入 功能 1：GPIO3_6 通用输入输出
AA26	VIU1_DAT2	I_{PD}/O	4	3.3	功能 0：VIU1_DAT2 VIU1 的数据输入 功能 1：GPIO3_5 通用输入输出
Y23	VIU1_DAT3	I_{PD}/O	4	3.3	功能 0：VIU1_DAT3 VIU1 的数据输入 功能 1：GPIO3_4 通用输入输出
Y24	VIU1_DAT4	I_{PD}/O	4	3.3	功能 0：VIU1_DAT4 VIU1 的数据输入 功能 1：GPIO3_3 通用输入输出
Y27	VIU1_DAT5	I_{PD}/O	4	3.3	功能 0：VIU1_DAT5 VIU1 的数据输入 功能 1：GPIO3_2 通用输入输出
Y26	VIU1_DAT6	I_{PD}/O	4	3.3	功能 0：VIU1_DAT6 VIU1 的数据输入 功能 1：GPIO3_1 通用输入输出

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Pin	管脚名称	类型	驱动（mA）	电压（V）	描述
W28	VIU1_DAT7	I_{PD}/O	4	3.3	功能 0：VIU1_DAT7 VIU1 的数据输入 功能 1：GPIO3_0 通用输入输出
W27	VIU1_DAT8	I_{PD}/O	4	3.3	功能 0：VIU1_DAT8 VIU1 的数据输入 功能 1：GPIO2_7 通用输入输出
W26	VIU1_DAT9	I_{PD}/O	4	3.3	功能 0：VIU1_DAT9 VIU1 的数据输入 功能 1：GPIO2_6 通用输入输出
V23	VIU1_DAT10	I_{PD}/O	4	3.3	功能 0：VIU1_DAT10 VIU1 的数据输入 功能 1：GPIO2_5 通用输入输出
V24	VIU1_DAT11	I_{PD}/O	4	3.3	功能 0：VIU1_DAT11 VIU1 的数据输入 功能 1：GPIO2_4 通用输入输出
V27	VIU1_DAT12	I_{PD}/O	4	3.3	功能 0：VIU1_DAT12 VIU1 的数据输入 功能 1：GPIO2_3 通用输入输出
V26	VIU1_DAT13	I_{PD}/O	4	3.3	功能 0：VIU1_DAT13 VIU1 的数据输入 功能 1：GPIO2_2 通用输入输出
U28	VIU1_DAT14	I_{PD}/O	4	3.3	功能 0：VIU1_DAT14 VIU1 的数据输入 功能 1：GPIO2_1 通用输入输出
U27	VIU1_DAT15	I_{PD}/O	4	3.3	功能 0：VIU1_DAT15

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Pin	管脚名称	类型	驱动（mA)	电压（V）	描述
					VIU1 的数据输入 功能 1：GPIO2_0 通用输入输出
AA23	VIU1_HS	I_{PU}/O	4	3.3	功能 0：VIU1_HS VIU1 的行同步，高有效 功能 1：GPIO12_5 通用输入输出 功能 2：UART2_TXD UART2 数据发送
AA24	VIU1_VS	I_{PD}/O	4	3.3	功能 0：VIU1_VS VIU1 的场同步信号，高有效 功能 1：GPIO12_4 通用输入输出 功能 2：VIU1_CLKA VIU1 的时钟信号

2.2.19 VOU 管脚

VOU 管脚如表 2-29 所示。

表2-29 VOU 管脚

Pin	管脚名称	类型	驱动（mA)	电压（V）	描述
E2	LCD_DV	I_{SPU}/O	8	3.3	功能 0：LCD_DV LCD 接口数据有效输出，高有效 功能 1：NF_BOOT_PIN0 NAND 器件类型设置，只在上电时有效。NF_BOOT_PIN0/1/2/3/4 组合使用，用于设置对接 NAND 器件的 PAGE_SEIZE,ECC_TYPE,BLOCK_SIZE,ADDR_NUM 等参数。 具体对应的编码请参见 4.2.3.3 工作方式下的“NAND FLASH 类型映射方式”。
E9	VGA_HS	I/O	8	3.3	功能 0：GPIO13_0

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Pin	管脚名称	类型	驱动（mA）	电压（V）	描述
					通用输入输出 功能 1：VOU1120_HS BT.1120 行同步输出 功能 2：VGA_HS VGA 行同步输出
F9	VGA_VS	I/O	8	3.3	功能 0：GPIO13_1 通用输入输出 功能 1：VOU1120_VS BT.1120 场同步输出 功能 2：VGA_VS VGA 场同步输出
B6	VOU1120_CLK	I/O	可配置	3.3	功能 0：GPIO12_6 通用输入输出 功能 1：VOU1120_CLK BT.1120 接口时钟输出 功能 2：LCD_CLK LCD 接口时钟输出
E3	VOU1120_DATA0	I_{PD}/O	8	3.3	功能 0：GPIO5_7 通用输入输出 功能 1：VOU1120_DATA0 BT.1120 接口的数据信号输出 功能 2：LCD_DATA_B7 LCD 接口数据 B 分量输出
D2	VOU1120_DATA1	I_{PD}/O	8	3.3	功能 0：GPIO5_6 通用输入输出 功能 1：VOU1120_DATA1 BT.1120 接口的数据信号输出 功能 2：LCD_DATA_B6 LCD 接口数据 B 分量输出
D1	VOU1120_DATA2	I_{PD}/O	8	3.3	功能 0：GPIO5_5 通用输入输出 功能 1：VOU1120_DATA2 BT.1120 接口的数据信号输出 功能 2：LCD_DATA_B5

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Pin	管脚名称	类型	驱动（mA）	电压（V）	描述
					LCD 接口数据 B 分量输出
D3	VOU1120_DATA3	I_{PD}/O	8	3.3	功能 0：GPIO5_4 通用输入输出 功能 1：VOU1120_DATA3 BT.1120 接口的数据信号输出 功能 2：LCD_DATA_B4 LCD 接口数据 B 分量输出
C2	VOU1120_DATA4	I_{PD}/O	8	3.3	功能 0：GPIO5_3 通用输入输出 功能 1：VOU1120_DATA4 BT.1120 接口的数据信号输出 功能 2：LCD_DATA_B3 LCD 接口数据 B 分量输出
C3	VOU1120_DATA5	I_{PD}/O	8	3.3	功能 0：GPIO5_2 通用输入输出 功能 1：VOU1120_DATA5 BT.1120 接口的数据信号输出 功能 2：LCD_DATA_B2 LCD 接口数据 B 分量输出
B1	VOU1120_DATA6	I_{PD}/O	8	3.3	功能 0：GPIO5_1 通用输入输出 功能 1：VOU1120_DATA6 BT.1120 接口的数据信号输出 功能 2：LCD_DATA_B1 LCD 接口数据 B 分量输出
B2	VOU1120_DATA7	I_{PD}/O	8	3.3	功能 0：GPIO5_0 通用输入输出 功能 1：VOU1120_DATA7 BT.1120 接口的数据信号输出 功能 2：LCD_DATA_B0 LCD 接口数据 B 分量输出
A2	VOU1120_DATA8	I_{PD}/O	8	3.3	功能 0：GPIO4_7 通用输入输出

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Pin	管脚名称	类型	驱动（mA）	电压（V）	描述
					功能 1：VOU1120_DATA8 BT.1120 接口的数据信号输出 功能 2：LCD_DATA_G7 LCD 接口数据 G 分量输出
B3	VOU1120_DATA9	I_{PD}/O	8	3.3	功能 0：GPIO4_6 通用输入输出 功能 1：VOU1120_DATA9 BT.1120 接口的数据信号输出 功能 2：LCD_DATA_G6 LCD 接口数据 G 分量输出
A3	VOU1120_DATA10	I_{PD}/O	8	3.3	功能 0：GPIO4_5 通用输入输出 功能 1：VOU1120_DATA10 BT.1120 接口的数据信号输出 功能 2：LCD_DATA_G5 LCD 接口数据 G 分量输出
C4	VOU1120_DATA11	I_{PD}/O	8	3.3	功能 0：GPIO4_4 通用输入输出 功能 1：VOU1120_DATA11 BT.1120 接口的数据信号输出 功能 2：LCD_DATA_G4 LCD 接口数据 G 分量输出
B4	VOU1120_DATA12	I_{PD}/O	8	3.3	功能 0：GPIO4_3 通用输入输出 功能 1：VOU1120_DATA12 BT.1120 接口的数据信号输出 功能 2：LCD_DATA_G3 LCD 接口数据 G 分量输出
C5	VOU1120_DATA13	I_{PD}/O	8	3.3	功能 0：GPIO4_2 通用输入输出 功能 1：VOU1120_DATA13 BT.1120 接口的数据信号输出 功能 2：LCD_DATA_G2 LCD 接口数据 G 分量输出

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Pin	管脚名称	类型	驱动（mA）	电压（V）	描述
A5	VOU1120_DATA14	I_{PD}/O	8	3.3	功能 0：GPIO4_1 通用输入输出 功能 1：VOU1120_DATA14 BT.1120 接口的数据信号输出 功能 2：LCD_DATA_G1 LCD 接口数据 G 分量输出
B5	VOU1120_DATA15	I_{PD}/O	8	3.3	功能 0：GPIO4_0 通用输入输出 功能 1：VOU1120_DATA15 BT.1120 接口的数据信号输出 功能 2：LCD_DATA_G0 LCD 接口数据 G 分量输出
E8	VOU656_CLK	I_{PD}/O	12	3.3	功能 0：GPIO12_7 通用输入输出 功能 1：VOU656_CLK BT.656 接口时钟输出 功能 3：SDIO_CCLK_OUT SDIO 卡工作时钟输出
A7	VOU656_DATA0	I_{PU}/O	8	3.3	功能 0：GPIO6_7 通用输入输出 功能 1：VOU656_DATA0 BT.656 接口数据输出 功能 2：LCD_DATA_R7 LCD 接口数据 R 分量输出 功能 3：SDIO_CDATA0 SDIO 卡数据总线
B7	VOU656_DATA1	I_{PU}/O	8	3.3	功能 0：GPIO6_6 通用输入输出 功能 1：VOU656_DATA1 BT.656 接口数据输出 功能 2：LCD_DATA_R6 LCD 接口数据 R 分量输出 功能 3：SDIO_CDATA1 SDIO 卡数据总线

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Pin	管脚名称	类型	驱动（mA）	电压（V）	描述
C7	VOU656_DATA2	I_{PU}/O	8	3.3	功能 0：GPIO6_5 通用输入输出 功能 1：VOU656_DATA2 BT.656 接口数据输出 功能 2：LCD_DATA_R5 LCD 接口数据 R 分量输出 功能 3：SDIO_CDATA2 SDIO 卡数据总线
B8	VOU656_DATA3	I_{PU}/O	8	3.3	功能 0：GPIO6_4 通用输入输出 功能 1：VOU656_DATA3 BT.656 接口数据输出 功能 2：LCD_DATA_R4 LCD 接口数据 R 分量输出 功能 3：SDIO_CDATA3 SDIO 卡数据总线
C8	VOU656_DATA4	I_{PU}/O	8	3.3	功能 0：GPIO6_3 通用输入输出 功能 1：VOU656_DATA4 BT.656 接口数据输出 功能 2：LCD_DATA_R3 LCD 接口数据 R 分量输出 功能 3：SDIO_CCMD SDIO 卡命令信号
F8	VOU656_DATA5	I_{PU}/O	8	3.3	功能 0：GPIO6_2 通用输入输出 功能 1：VOU656_DATA5 BT.656 接口数据输出 功能 2：LCD_DATA_R2 LCD 接口数据 R 分量输出 功能 3：SDIO_CWPR SDIO 卡写保护信号输输入
B9	VOU656_DATA6	I_{PU}/O	8	3.3	功能 0：GPIO6_1 通用输入输出

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Pin	管脚名称	类型	驱动（mA）	电压（V）	描述
					功能 1：VOU656_DATA6 BT.656 接口数据输出 功能 2：LCD_DATA_R1 LCD 接口数据 R 分量输出 功能 3：SDIO_CARD_DETECT SDIO 卡检测信号输入，低电平有效
C9	VOU656_DATA7	I_{PD}/O	8	3.3	功能 0：GPIO6_0 通用输入输出 功能 1：VOU656_DATA7 BT.656 接口数据输出 功能 2：LCD_DATA_R0 LCD 接口数据 R 分量输出 功能 3：SDIO_CARD_POWER_EN SDIO 卡电源使能控制信号输出，为 1 时使能

2.2.20 OSC 管脚

OSC 管脚如表 2-30 所示。

表2-30 OSC 管脚

Pin	管脚名称	类型	驱动（mA）	电压（V）	描述
N3	XIN	CIN	-	3.3	晶体输入
N2	XOUT	COUT	-	3.3	晶体输出

2.2.21 EFUSE 管脚

EFUSE 管脚如表 2-31 所示。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

表2-31 EFUSE 管脚

Pin	管脚名称	类型	驱动（mA）	电压（V）	描述
U8	VDD25_EFUSE	P	-	2.5	EFUSE 2.5V 电源 **注意：禁止供电。硬件设计时请参见硬件设计用户指南。**

2.2.22 PLL 管脚

PLL 管脚如表 2-32 所示。

表2-32 PLL 管脚

Pin	管脚名称	类型	驱动（mA）	电压（V）	描述
M8	AVDD33_PLL1	P	-	3.3	PLL1 的模拟电源
N8	AVDD33_PLL234	P	-	3.3	PLL234 的模拟电源
L8	AVSS_PLL1	G	-	-	PLL1 的模拟地
P8	AVSS_PLL234	G	-	-	PLL234 的模拟地
M6	VDD10_PLL1	P	-	1.0	PLL1 数字电源
M5	VDD10_PLL234	P	-	1.0	PLL234 数字电源
L6	VDDREF10_PLL234	P	-	1.0	PLL234 数字参考电源

2.2.23 电源/地管脚

DVDD10 电源管脚

DVDD10 管脚如表 2-33 所示。

表2-33 DVDD10 管脚

Pin	管脚名称	类型	驱动（mA）	电压（V）	描述
M12、M14、M16、N11、N13、N15、N17、P12、P14、P16、R11、R13、R15、	DVDD10	P	-	1.0	Core 电压

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

R17、T12、T14、T16、U11、U13、U15、U17、V12、V14、V16					

DVDD33 电源管脚

DVDD33 管脚如表 2-34 所示。

表2-34 DVDD33 管脚

Pin	管脚名称	类型	驱动（mA）	电压（V）	描述
H8、H9、H10、H21、K8、M21、P21、R8、R21、U21、V21、Y21、AA8、AA9	DVDD33	P	-	3.3	数字 IO 电压

VSS 管脚

VSS 管脚如表 2-35 所示。

表2-35 VSS 管脚

Pin	管脚名称	类型	驱动（mA）	电压（V）	描述
A1、A19、B19、B25、C6、C16、C19、C24、E6、F3、F17、F23、G2、G3、H11、H18、H24、J2、J6、J8、K26、L23、M3、M11、M13、M15、M17、N12、N14、N16、N21、P2、P3、P11、P13、P15、P17、P26、R12、R14、R16、T8、T11、T13、T15、T17、T21、U2、U3、U6、U12、U14、U16、U26、V3、V11、V13、V15、V17、W21、Y1、Y2、Y3、Y8、AA15、AA21、AC26、AD6、AF7、AF10、AF13、AF19、AF22、AF26、AG7、AG10、AG13、AG19、AG22、AG26、AH1、AH28、	VSS	G	-	-	数字地

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

2.3 IO config 寄存器

2.3.1 复用寄存器概览

复用寄存器概览如表 2-36 所示。

表2-36 复用寄存器概览(基地址为 0x200F_0000)

偏移地址	名称	描述	页码
0x000	muxctrl_reg0	VIU0_CLK 管脚的复用控制寄存器	2-57
0x004	muxctrl_reg1	VIU0_VS 管脚的复用控制寄存器	2-57
0x008	muxctrl_reg2	VIU0_HS 管脚的复用控制寄存器	2-58
0x00C	muxctrl_reg3	VIU0_DAT15 管脚的复用控制寄存器	2-58
0x010	muxctrl_reg4	VIU0_DAT14 管脚的复用控制寄存器	2-59
0x014	muxctrl_reg5	VIU0_DAT13 管脚的复用控制寄存器	2-44
0x018	muxctrl_reg6	VIU0_DAT12 管脚的复用控制寄存器	2-60
0x01C	muxctrl_reg7	VIU0_DAT11 管脚的复用控制寄存器	2-60
0x020	muxctrl_reg8	VIU0_DAT10 管脚的复用控制寄存器	2-61
0x024	muxctrl_reg9	VIU0_DAT9 管脚的复用控制寄存器	2-61
0x028	muxctrl_reg10	VIU0_DAT8 管脚的复用控制寄存器	2-62
0x02C	muxctrl_reg11	VIU0_DAT7 管脚的复用控制寄存器	2-62
0x030	muxctrl_reg12	VIU0_DAT6 管脚的复用控制寄存器	2-63
0x034	muxctrl_reg13	VIU0_DAT5 管脚的复用控制寄存器	2-63
0x038	muxctrl_reg14	VIU0_DAT4 管脚的复用控制寄存器	2-64
0x03C	muxctrl_reg15	VIU0_DAT3 管脚的复用控制寄存器	2-64
0x040	muxctrl_reg16	VIU0_DAT2 管脚的复用控制寄存器	2-65
0x044	muxctrl_reg17	VIU0_DAT1 管脚的复用控制寄存器	2-65
0x048	muxctrl_reg18	VIU0_DAT0 管脚的复用控制寄存器	2-66
0x04C	muxctrl_reg19	VIU1_CLK 管脚的复用控制寄存器	2-66
0x050	muxctrl_reg20	VIU1_VS 管脚的复用控制寄存器	2-67
0x054	muxctrl_reg21	VIU1_HS 管脚的复用控制寄存器	2-50

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

偏移地址	名称	描述	页码
0x058	muxctrl_reg22	VIU1_DAT15 管脚的复用控制寄存器	2-68
0x05C	muxctrl_reg23	VIU1_DAT14 管脚的复用控制寄存器	2-68
0x060	muxctrl_reg24	VIU1_DAT13 管脚的复用控制寄存器	2-69
0x064	muxctrl_reg25	VIU1_DAT12 管脚的复用控制寄存器	2-69
0x068	muxctrl_reg26	VIU1_DAT11 管脚的复用控制寄存器	2-70
0x06C	muxctrl_reg27	VIU1_DAT10 管脚的复用控制寄存器	2-70
0x070	muxctrl_reg28	VIU1_DAT9 管脚的复用控制寄存器	2-71
0x074	muxctrl_reg29	VIU1_DAT8 管脚的复用控制寄存器	2-51
0x078	muxctrl_reg30	VIU1_DAT7 管脚的复用控制寄存器	2-72
0x07C	muxctrl_reg31	VIU1_DAT6 管脚的复用控制寄存器	2-72
0x080	muxctrl_reg32	VIU1_DAT5 管脚的复用控制寄存器	2-73
0x084	muxctrl_reg33	VIU1_DAT4 管脚的复用控制寄存器	2-73
0x088	muxctrl_reg34	VIU1_DAT3 管脚的复用控制寄存器	2-74
0x08C	muxctrl_reg35	VIU1_DAT2 管脚的复用控制寄存器	2-74
0x090	muxctrl_reg36	VIU1_DAT1 管脚的复用控制寄存器	2-51
0x094	muxctrl_reg37	VIU1_DAT0 管脚的复用控制寄存器	2-75
0x098	muxctrl_reg38	VOU1120_CLK 管脚的复用控制寄存器	2-76
0x09C	muxctrl_reg39	VOU1120_DATA15 管脚的复用控制寄存器	2-76
0x0A0	muxctrl_reg40	VOU1120_DATA14 管脚的复用控制寄存器	2-77
0x0A4	muxctrl_reg41	VOU1120_DATA13 管脚的复用控制寄存器	2-77
0x0A8	muxctrl_reg42	VOU1120_DATA12 管脚的复用控制寄存器	2-78
0x0AC	muxctrl_reg43	VOU1120_DATA11 管脚的复用控制寄存器	2-78
0x0B0	muxctrl_reg44	VOU1120_DATA10 管脚的复用控制寄存器	2-51
0x0B4	muxctrl_reg45	VOU1120_DATA9 管脚的复用控制寄存器	2-79
0x0B8	muxctrl_reg46	VOU1120_DATA8 管脚的复用控制寄存器	2-80
0x0BC	muxctrl_reg47	VOU1120_DATA7 管脚的复用控制寄存器	2-80
0x0C0	muxctrl_reg48	VOU1120_DATA6 管脚的复用控制寄存器	2-81
0x0C4	muxctrl_reg49	VOU1120_DATA5 管脚的复用控制寄存器	2-81
0x0C8	muxctrl_reg50	VOU1120_DATA4 管脚的复用控制寄存器	2-82

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

偏移地址	名称	描述	页码
0x0CC	muxctrl_reg51	VOU1120_DATA3 管脚的复用控制寄存器	2-82
0x0D0	muxctrl_reg52	VOU1120_DATA2 管脚的复用控制寄存器	2-52
0x0D4	muxctrl_reg53	VOU1120_DATA1 管脚的复用控制寄存器	2-83
0x0D8	muxctrl_reg54	VOU1120_DATA0 管脚的复用控制寄存器	2-84
0x0DC	muxctrl_reg55	VGA_HS 管脚的复用控制寄存器	2-84
0x0E0	muxctrl_reg56	VGA_VS 管脚的复用控制寄存器	2-85
0x0E4	muxctrl_reg57	VOU656_CLK 管脚的复用控制寄存器	2-85
0x0E8	muxctrl_reg58	VOU656_DATA7 管脚的复用控制寄存器	2-86
0x0EC	muxctrl_reg59	VOU656_DATA6 管脚的复用控制寄存器	2-86
0x0F0	muxctrl_reg60	VOU656_DATA5 管脚的复用控制寄存器	2-87
0x0F4	muxctrl_reg61	VOU656_DATA4 管脚的复用控制寄存器	2-87
0x0F8	muxctrl_reg62	VOU656_DATA3 管脚的复用控制寄存器	2-52
0x0FC	muxctrl_reg63	VOU656_DATA2 管脚的复用控制寄存器	2-88
0x100	muxctrl_reg64	VOU656_DATA1 管脚的复用控制寄存器	2-89
0x104	muxctrl_reg65	VOU656_DATA0 管脚的复用控制寄存器	2-89
0x108	muxctrl_reg66	SIO0_RCLK 管脚的复用控制寄存器	2-90
0x10C	muxctrl_reg67	SIO0_RFS 管脚的复用控制寄存器	2-90
0x110	muxctrl_reg68	SIO0_DIN 管脚的复用控制寄存器	2-91
0x114	muxctrl_reg69	SIO1_RCLK 管脚的复用控制寄存器	2-91
0x118	muxctrl_reg70	SIO1_RFS 管脚的复用控制寄存器	2-92
0x11C	muxctrl_reg71	SIO1_DIN 管脚的复用控制寄存器	2-92
0x120	muxctrl_reg72	SIO2_XCLK 管脚的复用控制寄存器	2-93
0x124	muxctrl_reg73	SIO2_XFS 管脚的复用控制寄存器	2-93
0x128	muxctrl_reg74	SIO2_RCLK 管脚的复用控制寄存器	2-94
0x12C	muxctrl_reg75	SIO2_RFS 管脚的复用控制寄存器	2-94
0x130	muxctrl_reg76	SIO2_DIN 管脚的复用控制寄存器	2-95
0x134	muxctrl_reg77	SPI_SCLK 管脚的复用控制寄存器	2-95
0x138	muxctrl_reg78	SPI_SDO 管脚的复用控制寄存器	2-96
0x13C	muxctrl_reg79	SPI_SDI 管脚的复用控制寄存器	2-96

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

偏移地址	名称	描述	页码
0x140	muxctrl_reg80	SPI_CSN0 管脚的复用控制寄存器	2-97
0x144	muxctrl_reg81	SPI_CSN3 管脚的复用控制寄存器	2-97
0x148	muxctrl_reg82	I2C_SDA 管脚的复用控制寄存器	2-98
0x14C	muxctrl_reg83	I2C_SCL 管脚的复用控制寄存器	2-98
0x150	muxctrl_reg84	UART1_RTSN 管脚的复用控制寄存器	2-99
0x154	muxctrl_reg85	UART1_RXD 管脚的复用控制寄存器	2-99
0x158	muxctrl_reg86	UART1_CTSN 管脚的复用控制寄存器	2-100
0x15C	muxctrl_reg87	UART1_TXD 管脚的复用控制寄存器	2-100
0x160	muxctrl_reg88	RGMII_TXD0 管脚的复用控制寄存器	2-101
0x164	muxctrl_reg89	RGMII_TXCK 管脚的复用控制寄存器	2-101
0x168	muxctrl_reg90	RGMII_CRS 管脚的复用控制寄存器	2-102
0x16C	muxctrl_reg91	RGMII_COL 管脚的复用控制寄存器	2-102
0x170	muxctrl_reg92	IR_IN 管脚的复用控制寄存器	2-103
0x174	muxctrl_reg93	NF_DQ0 管脚的复用控制寄存器	2-103
0x178	muxctrl_reg94	NF_DQ1 管脚的复用控制寄存器	2-104
0x17C	muxctrl_reg95	NF_DQ2 管脚的复用控制寄存器	2-104
0x180	muxctrl_reg96	NF_DQ3 管脚的复用控制寄存器	2-105
0x184	muxctrl_reg97	NF_DQ4 管脚的复用控制寄存器	2-105
0x188	muxctrl_reg98	NF_DQ5 管脚的复用控制寄存器	2-106
0x18C	muxctrl_reg99	NF_DQ6 管脚的复用控制寄存器	2-106
0x190	muxctrl_reg100	NF_DQ7 管脚的复用控制寄存器	2-107
0x194	muxctrl_reg101	NF_RDY0 管脚的复用控制寄存器	2-107
0x198	muxctrl_reg102	NF_RDY1 管脚的复用控制寄存器	2-108
0x19C	muxctrl_reg103	SFC_DIO 管脚的复用控制寄存器	2-108
0x1A0	muxctrl_reg104	SFC_WP_IO2 管脚的复用控制寄存器	2-109
0x1A4	muxctrl_reg105	SFC_DOI 管脚的复用控制寄存器	2-109
0x1A8	muxctrl_reg106	SFC_HOLD_IO3 管脚的复用控制寄存器	2-110
0x1AC	muxctrl_reg107	USB0_OVRCUR 管脚的复用控制寄存器	2-110
0x1B0	muxctrl_reg108	USB0_PWREN 管脚的复用控制寄存器	2-111

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

偏移地址	名称	描述	页码
0x1B4	muxctrl_reg109	USB1_OVRCUR 管脚的复用控制寄存器	2-111
0x1B8	muxctrl_reg110	USB1_PWREN 管脚的复用控制寄存器	2-112
0x1BC	muxctrl_reg111	GPIO11_0 管脚的复用控制寄存器	2-112
0x1C0	muxctrl_reg112	GPIO11_1 管脚的复用控制寄存器	2-113
0x1C4	muxctrl_reg113	SATA_LED_N0 管脚的复用控制寄存器	2-113
0x1C8	muxctrl_reg114	SATA_LED_N1 管脚的复用控制寄存器	2-114
0x1CC	muxctrl_reg115	HDMI_HOTPLUG 管脚的复用控制寄存器	2-114
0x1D0	muxctrl_reg116	HDMI_CEC 管脚的复用控制寄存器	2-115
0x1D4	muxctrl_reg117	HDMI_SDA 管脚的复用控制寄存器	2-115
0x1D8	muxctrl_reg118	HDMI_SCL 管脚的复用控制寄存器	2-116

2.3.2 复用寄存器描述

muxctrl_reg0

VIU0_CLK 管脚复用控制寄存器。

Offset Address	Register Name	Total Reset Value
0x000	muxctrl_reg0	0x00000000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved							muxctrl_reg0
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[0]	RW	muxctrl_reg0	VIU0_CLK 管脚的具体复用情况。 0：VIU0_CLK； 1：GPIO12_0。

muxctrl_reg1

VIU0_VS 管脚复用控制寄存器。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x004	muxctrl_reg1	0x00000000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved							muxctrl_reg1
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[1:0]	RW	muxctrl_reg1	VIU0_VS 管脚的具体复用情况。 00：VIU0_VS； 01：GPIO12_2； 10：VIU0_CLKA； 其它：保留。

muxctrl_reg2

VIU0_HS 管脚复用控制寄存器。

Offset Address	Register Name	Total Reset Value
0x008	muxctrl_reg2	0x00000000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved							muxctrl_reg2
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[1:0]	RW	muxctrl_reg2	VIU0_HS 管脚的具体复用情况。 00：VIU0_HS； 01：GPIO12_3； 10：UART2_RXD； 其它：保留。

muxctrl_reg3

VIU0_DAT15 管脚复用控制寄存器。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x00C	muxctrl_reg3	0x00000000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																															muxctrl_reg3
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[0]	RW	muxctrl_reg3	VIU0_DAT15 管脚的具体复用情况。 0：VIU0_DAT15； 1：GPIO0_0。

muxctrl_reg4

VIU0_DAT14 管脚复用控制寄存器。

Offset Address	Register Name	Total Reset Value
0x010	muxctrl_reg4	0x00000000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																															muxctrl_reg4
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[0]	RW	muxctrl_reg4	VIU0_DAT14 管脚的具体复用情况。 0：VIU0_DAT14； 1：GPIO0_1。

muxctrl_reg5

VIU0_DAT13 管脚复用控制寄存器。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x014	muxctrl_reg5	0x00000000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved							muxctrl_reg5
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[0]	RW	muxctrl_reg5	VIU0_DAT13 管脚的具体复用情况。 0：VIU0_DAT13； 1：GPIO0_2。

muxctrl_reg6

VIU0_DAT12 管脚复用控制寄存器。

Offset Address	Register Name	Total Reset Value
0x018	muxctrl_reg6	0x00000000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved							muxctrl_reg6
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[0]	RW	muxctrl_reg6	VIU0_DAT12 管脚的具体复用情况。 0：VIU0_DAT12； 1：GPIO0_3。

muxctrl_reg7

VIU0_DAT11 管脚复用控制寄存器。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x01C	muxctrl_reg7	0x00000000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved							muxctrl_reg7
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[0]	RW	muxctrl_reg7	VIU0_DAT11 管脚的具体复用情况。 0：VIU0_DAT11； 1：GPIO0_4。

muxctrl_reg8

VIU0_DAT10 管脚复用控制寄存器。

Offset Address	Register Name	Total Reset Value
0x020	muxctrl_reg8	0x00000000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved							muxctrl_reg8
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[0]	RW	muxctrl_reg8	VIU0_DAT10 管脚的具体复用情况。 0：VIU0_DAT10； 1：GPIO0_5。

muxctrl_reg9

VIU0_DAT9 管脚复用控制寄存器。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x024	muxctrl_reg9	0x00000000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved							muxctrl_reg9
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[0]	RW	muxctrl_reg9	VIU0_DAT9 管脚的具体复用情况。 0：VIU0_DAT9； 1：GPIO0_6。

muxctrl_reg10

VIU0_DAT8 管脚复用控制寄存器。

Offset Address	Register Name	Total Reset Value
0x028	muxctrl_reg10	0x00000000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved							muxctrl_reg10
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[0]	RW	muxctrl_reg10	VIU0_DAT8 管脚的具体复用情况。 0：VIU0_DAT8； 1：GPIO0_7。

muxctrl_reg11

VIU0_DAT7 管脚复用控制寄存器。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x02C	muxctrl_reg11	0x00000000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																															muxctrl_reg11
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[0]	RW	muxctrl_reg11	VIU0_DAT7 管脚的具体复用情况。 0：VIU0_DAT7； 1：GPIO1_0。

muxctrl_reg12

VIU0_DAT6 管脚复用控制寄存器。

Offset Address	Register Name	Total Reset Value
0x030	muxctrl_reg12	0x00000000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																															muxctrl_reg12
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[0]	RW	muxctrl_reg12	VIU0_DAT6 管脚的具体复用情况。 0：VIU0_DAT6； 1：GPIO1_1。

muxctrl_reg13

VIU0_DAT5 管脚复用控制寄存器。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x034	muxctrl_reg13	0x00000000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																															muxctrl_reg13
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[0]	RW	muxctrl_reg13	VIU0_DAT5 管脚的具体复用情况。 0：VIU0_DAT5； 1：GPIO1_2。

muxctrl_reg14

VIU0_DAT4 管脚复用控制寄存器。

Offset Address	Register Name	Total Reset Value
0x038	muxctrl_reg14	0x00000000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																															muxctrl_reg14
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[0]	RW	muxctrl_reg14	VIU0_DAT4 管脚的具体复用情况。 0：VIU0_DAT4； 1：GPIO1_3。

muxctrl_reg15

VIU0_DAT3 管脚复用控制寄存器。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x03C	muxctrl_reg15	0x00000000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																															muxctrl_reg15
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[0]	RW	muxctrl_reg15	VIU0_DAT3 管脚的具体复用情况。 0：VIU0_DAT3； 1：GPIO1_4。

muxctrl_reg16

VIU0_DAT2 管脚复用控制寄存器。

Offset Address	Register Name	Total Reset Value
0x040	muxctrl_reg16	0x00000000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																															muxctrl_reg16
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[0]	RW	muxctrl_reg16	VIU0_DAT2 管脚的具体复用情况。 0：VIU0_DAT2； 1：GPIO1_5。

muxctrl_reg17

VIU0_DAT1 管脚复用控制寄存器。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x044	muxctrl_reg17	0x00000000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved							muxctrl_reg17
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[0]	RW	muxctrl_reg17	VIU0_DAT1 管脚的具体复用情况。 0：VIU0_DAT1； 1：GPIO1_6。

muxctrl_reg18

VIU0_DAT0 管脚复用控制寄存器。

Offset Address	Register Name	Total Reset Value
0x048	muxctrl_reg18	0x00000000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved							muxctrl_reg18
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[0]	RW	muxctrl_reg18	VIU0_DAT0 管脚的具体复用情况。 0：VIU0_DAT0； 1：GPIO1_7。

muxctrl_reg19

VIU1_CLK 管脚复用控制寄存器。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x04C	muxctrl_reg19	0x00000000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																														muxctrl_reg19	
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[0]	RW	muxctrl_reg19	VIU1_CLK 管脚的具体复用情况。 0：VIU1_CLK； 1：GPIO12_1。

muxctrl_reg20

VIU1_VS 管脚复用控制寄存器。

Offset Address	Register Name	Total Reset Value
0x050	muxctrl_reg20	0x00000000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																														muxctrl_reg20	
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[1:0]	RW	muxctrl_reg20	VIU1_VS 管脚的具体复用情况。 00：VIU1_VS； 01：GPIO12_4； 10：VIU1_CLKA； 其它：保留。

muxctrl_reg21

VIU1_HS 管脚复用控制寄存器。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x054	muxctrl_reg21	0x00000000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																														muxctrl_reg21	
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[1:0]	RW	muxctrl_reg21	VIU1_HS 管脚的具体复用情况。 00：VIU1_HS； 01：GPIO12_5； 10：UART2_TXD； 其它：保留。

muxctrl_reg22

VIU1_DAT15 管脚复用控制寄存器。

Offset Address	Register Name	Total Reset Value
0x058	muxctrl_reg22	0x00000000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																															muxctrl_reg22
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[0]	RW	muxctrl_reg22	VIU1_DAT15 管脚的具体复用情况。 0：VIU1_DAT15； 1：GPIO2_0。

muxctrl_reg23

VIU1_DAT14 管脚复用控制寄存器。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x05C	muxctrl_reg23	0x00000000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																														muxctrl_reg23	
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[0]	RW	muxctrl_reg23	VIU1_DAT14 管脚的具体复用情况。 0：VIU1_DAT14； 1：GPIO2_1。

muxctrl_reg24

VIU1_DAT13 管脚复用控制寄存器。

Offset Address	Register Name	Total Reset Value
0x060	muxctrl_reg24	0x00000000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																														muxctrl_reg24	
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[0]	RW	muxctrl_reg24	VIU1_DAT13 管脚的具体复用情况。 0：VIU1_DAT13； 1：GPIO2_2。

muxctrl_reg25

VIU1_DAT12 管脚复用控制寄存器。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x064	muxctrl_reg25	0x00000000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																															muxctrl_reg25
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[0]	RW	muxctrl_reg25	VIU1_DAT12 管脚的具体复用情况。 0：VIU1_DAT12； 1：GPIO2_3。

muxctrl_reg26

VIU1_DAT11 管脚复用控制寄存器。

Offset Address	Register Name	Total Reset Value
0x068	muxctrl_reg26	0x00000000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																															muxctrl_reg26
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[0]	RW	muxctrl_reg26	VIU1_DAT11 管脚的具体复用情况。 0：VIU1_DAT11； 1：GPIO2_4。

muxctrl_reg27

VIU1_DAT10 管脚复用控制寄存器。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x06C	muxctrl_reg27	0x00000000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved							muxctrl_reg27
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[0]	RW	muxctrl_reg27	VIU1_DAT10 管脚的具体复用情况。 0：VIU1_DAT10； 1：GPIO2_5。

muxctrl_reg28

VIU1_DAT9 管脚复用控制寄存器。

Offset Address	Register Name	Total Reset Value
0x070	muxctrl_reg28	0x00000000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved							muxctrl_reg28
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[0]	RW	muxctrl_reg28	VIU1_DAT9 管脚的具体复用情况。 0：VIU1_DAT9； 1：GPIO2_6。

muxctrl_reg29

VIU1_DAT8 管脚复用控制寄存器。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x074	muxctrl_reg29	0x00000000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved							muxctrl_reg29
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[0]	RW	muxctrl_reg29	VIU1_DAT8 管脚的具体复用情况。 0：VIU1_DAT8； 1：GPIO2_7。

muxctrl_reg30

VIU1_DAT7 管脚复用控制寄存器。

Offset Address	Register Name	Total Reset Value
0x078	muxctrl_reg30	0x00000000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved							muxctrl_reg30
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[0]	RW	muxctrl_reg30	VIU1_DAT7 管脚的具体复用情况。 0：VIU1_DAT7； 1：GPIO3_0。

muxctrl_reg31

VIU1_DAT6 管脚复用控制寄存器。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x07C	muxctrl_reg31	0x00000000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																															muxctrl_reg31
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[0]	RW	muxctrl_reg31	VIU1_DAT6 管脚的具体复用情况。 0：VIU1_DAT6； 1：GPIO3_1。

muxctrl_reg32

VIU1_DAT5 管脚复用控制寄存器。

Offset Address	Register Name	Total Reset Value
0x080	muxctrl_reg32	0x00000000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																															muxctrl_reg32
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[0]	RW	muxctrl_reg32	VIU1_DAT5 管脚的具体复用情况。 0：VIU1_DAT5； 1：GPIO3_2。

muxctrl_reg33

VIU1_DAT4 管脚复用控制寄存器。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x084	muxctrl_reg33	0x00000000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																															muxctrl_reg33
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[0]	RW	muxctrl_reg33	VIU1_DAT4 管脚的具体复用情况。 0：VIU1_DAT4； 1：GPIO3_3。

muxctrl_reg34

VIU1_DAT3 管脚复用控制寄存器。

Offset Address	Register Name	Total Reset Value
0x088	muxctrl_reg34	0x00000000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																															muxctrl_reg34
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[0]	RW	muxctrl_reg34	VIU1_DAT3 管脚的具体复用情况。 0：VIU1_DAT3； 1：GPIO3_4。

muxctrl_reg35

VIU1_DAT2 管脚复用控制寄存器。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x08C	muxctrl_reg35	0x00000000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved							muxctrl_reg35
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[0]	RW	muxctrl_reg35	VIU1_DAT2 管脚的具体复用情况。 0：VIU1_DAT2； 1：GPIO3_5。

muxctrl_reg36

VIU1_DAT1 管脚复用控制寄存器。

Offset Address	Register Name	Total Reset Value
0x090	muxctrl_reg36	0x00000000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved							muxctrl_reg36
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[0]	RW	muxctrl_reg36	VIU1_DAT1 管脚的具体复用情况。 0：VIU1_DAT1； 1：GPIO3_6。

muxctrl_reg37

VIU1_DAT0 管脚复用控制寄存器。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x094	muxctrl_reg37	0x00000000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1	0
Name	reserved								muxctrl_reg37
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0	0

Bits	Access	Name	Description
[0]	RW	muxctrl_reg37	VIU1_DAT0 管脚的具体复用情况。 0：VIU1_DAT0； 1：GPIO3_7。

muxctrl_reg38

VOU1120_CLK 管脚复用控制寄存器。

Offset Address	Register Name	Total Reset Value
0x098	muxctrl_reg38	0x00000000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1	0
Name	reserved								muxctrl_reg38
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0	0

Bits	Access	Name	Description
[1:0]	RW	muxctrl_reg38	VOU1120_CLK 管脚的具体复用情况。 00：GPIO12_6； 01：VOU1120_CLK； 10：LCD_CLK； 其它：保留。

muxctrl_reg39

VOU1120_DATA15 管脚复用控制寄存器。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x09C	muxctrl_reg39	0x00000000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved							muxctrl_reg39
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[1:0]	RW	muxctrl_reg39	VOU1120_DATA15 管脚的具体复用情况。 00：GPIO4_0； 01：VOU1120_DATA15； 10：LCD_DATA_G0； 其它：保留。

muxctrl_reg40

VOU1120_DATA14 管脚复用控制寄存器。

Offset Address	Register Name	Total Reset Value
0x0A0	muxctrl_reg40	0x00000000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved							muxctrl_reg40
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[1:0]	RW	muxctrl_reg40	VOU1120_DATA14 管脚的具体复用情况。 00：GPIO4_1； 01：VOU1120_DATA14； 10：LCD_DATA_G1； 其它：保留。

muxctrl_reg41

VOU1120_DATA13 管脚复用控制寄存器。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x0A4	muxctrl_reg41	0x00000000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved							muxctrl_reg41
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[1:0]	RW	muxctrl_reg41	VOU1120_DATA13 管脚的具体复用情况。 00：GPIO4_2； 01：VOU1120_DATA13； 10：LCD_DATA_G2； 其它：保留。

muxctrl_reg42

VOU1120_DATA12 管脚复用控制寄存器。

Offset Address	Register Name	Total Reset Value
0x0A8	muxctrl_reg42	0x00000000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved							muxctrl_reg42
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[1:0]	RW	muxctrl_reg42	VOU1120_DATA12 管脚的具体复用情况。 00：GPIO4_3； 01：VOU1120_DATA12； 10：LCD_DATA_G3； 其它：保留。

muxctrl_reg43

VOU1120_DATA11 管脚复用控制寄存器。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x0AC	muxctrl_reg43	0x00000000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved							muxctrl_reg43
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[1:0]	RW	muxctrl_reg43	VOU1120_DATA11 管脚的具体复用情况。 00：GPIO4_4； 01：VOU1120_DATA11； 10：LCD_DATA_G4； 其它：保留。

muxctrl_reg44

VOU1120_DATA10 管脚复用控制寄存器。

Offset Address	Register Name	Total Reset Value
0x0B0	muxctrl_reg44	0x00000000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved							muxctrl_reg44
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[1:0]	RW	muxctrl_reg44	VOU1120_DATA10 管脚的具体复用情况。 00：GPIO4_5； 01：VOU1120_DATA10； 10：LCD_DATA_G5； 其它：保留。

muxctrl_reg45

VOU1120_DATA9 管脚复用控制寄存器。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x0B4	muxctrl_reg45	0x00000000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved							muxctrl_reg45
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[1:0]	RW	muxctrl_reg45	VOU1120_DATA9 管脚的具体复用情况。 00：GPIO4_6； 01：VOU1120_DATA9； 10：LCD_DATA_G6； 其它：保留。

muxctrl_reg46

VOU1120_DATA8 管脚复用控制寄存器。

Offset Address	Register Name	Total Reset Value
0x0B8	muxctrl_reg46	0x00000000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved							muxctrl_reg46
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[1:0]	RW	muxctrl_reg46	VOU1120_DATA8 管脚的具体复用情况。 00：GPIO4_7； 01：VOU1120_DATA8； 10：LCD_DATA_G7； 其它：保留。

muxctrl_reg47

VOU1120_DATA7 管脚复用控制寄存器。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x0BC	muxctrl_reg47	0x00000000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved							muxctrl_reg47
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[1:0]	RW	muxctrl_reg47	VOU1120_DATA7 管脚的具体复用情况。 00：GPIO5_0； 01：VOU1120_DATA7； 10：LCD_DATA_B0； 其它：保留。

muxctrl_reg48

VOU1120_DATA6 管脚复用控制寄存器。

Offset Address	Register Name	Total Reset Value
0x0C0	muxctrl_reg48	0x00000000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved							muxctrl_reg48
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[1:0]	RW	muxctrl_reg48	VOU1120_DATA6 管脚的具体复用情况。 00：GPIO5_1； 01：VOU1120_DATA6； 10：LCD_DATA_B1； 其它：保留。

muxctrl_reg49

VOU1120_DATA5 管脚复用控制寄存器。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x0C4	muxctrl_reg49	0x00000000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved							muxctrl_reg49
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[1:0]	RW	muxctrl_reg49	VOU1120_DATA5 管脚的具体复用情况。 00：GPIO5_2； 01：VOU1120_DATA5； 10：LCD_DATA_B2； 其它：保留。

muxctrl_reg50

VOU1120_DATA4 管脚复用控制寄存器。

Offset Address	Register Name	Total Reset Value
0x0C8	muxctrl_reg50	0x00000000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved							muxctrl_reg50
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[1:0]	RW	muxctrl_reg50	VOU1120_DATA4 管脚的具体复用情况。 00：GPIO5_3； 01：VOU1120_DATA4； 10：LCD_DATA_B3； 其它：保留。

muxctrl_reg51

VOU1120_DATA3 管脚复用控制寄存器。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x0CC	muxctrl_reg51	0x00000000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved							muxctrl_reg51
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[1:0]	RW	muxctrl_reg51	VOU1120_DATA3 管脚的具体复用情况。 00：GPIO5_4； 01：VOU1120_DATA3； 10：LCD_DATA_B4； 其它：保留。

muxctrl_reg52

VOU1120_DATA2 管脚复用控制寄存器。

Offset Address	Register Name	Total Reset Value
0x0D0	muxctrl_reg52	0x00000000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved							muxctrl_reg52
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[1:0]	RW	muxctrl_reg52	VOU1120_DATA2 管脚的具体复用情况。 00：GPIO5_5； 01：VOU1120_DATA2； 10：LCD_DATA_B5； 其它：保留。

muxctrl_reg53

VOU1120_DATA1 管脚复用控制寄存器。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x0D4	muxctrl_reg53	0x00000000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved							muxctrl_reg53
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[1:0]	RW	muxctrl_reg53	VOU1120_DATA1 管脚的具体复用情况。 00：GPIO5_6； 01：VOU1120_DATA1； 10：LCD_DATA_B6； 其它：保留。

muxctrl_reg54

VOU1120_DATA0 管脚复用控制寄存器。

Offset Address	Register Name	Total Reset Value
0x0D8	muxctrl_reg54	0x00000000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved							muxctrl_reg54
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[1:0]	RW	muxctrl_reg54	VOU1120_DATA0 管脚的具体复用情况。 00：GPIO5_7； 01：VOU1120_DATA0； 10：LCD_DATA_B7； 其它：保留。

muxctrl_reg55

VGA_HS 管脚复用控制寄存器。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x0DC	muxctrl_reg55	0x00000000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved							muxctrl_reg55
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[1:0]	RW	muxctrl_reg55	VGA_HS 管脚的具体复用情况。 00：GPIO13_0； 01：VOU1120_HS； 10：VGA_HS； 其它：保留。

muxctrl_reg56

VGA_VS 管脚复用控制寄存器。

Offset Address	Register Name	Total Reset Value
0x0E0	muxctrl_reg56	0x00000000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved							muxctrl_reg56
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[1:0]	RW	muxctrl_reg56	VGA_VS 管脚的具体复用情况。 00：GPIO13_1； 01：VOU1120_VS； 10：VGA_VS； 其它：保留。

muxctrl_reg57

VOU656_CLK 管脚复用控制寄存器。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x0E4	muxctrl_reg57	0x00000000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved							muxctrl_reg57
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[1:0]	RW	muxctrl_reg57	VOU656_CLK 管脚的具体复用情况。 00：GPIO12_7； 01：VOU656_CLK； 11：SDIO_CCLK_OUT； 其它：保留。

muxctrl_reg58

VOU656_DATA7 管脚复用控制寄存器。

Offset Address	Register Name	Total Reset Value
0x0E8	muxctrl_reg58	0x00000000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved							muxctrl_reg58
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[1:0]	RW	muxctrl_reg58	VOU656_DATA7 管脚的具体复用情况。 00：GPIO6_0； 01：VOU656_DATA7； 10：LCD_DATA_R0； 11：SDIO_CARD_POWER_EN。

muxctrl_reg59

VOU656_DATA6 管脚复用控制寄存器。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x0EC	muxctrl_reg59	0x00000000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved							muxctrl_reg59
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[1:0]	RW	muxctrl_reg59	VOU656_DATA6 管脚的具体复用情况。 00：GPIO6_1； 01：VOU656_DATA6； 10：LCD_DATA_R1； 11：SDIO_CARD_DETECT。

muxctrl_reg60

VOU656_DATA5 管脚复用控制寄存器。

Offset Address	Register Name	Total Reset Value
0x0F0	muxctrl_reg60	0x00000000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved							muxctrl_reg60
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[1:0]	RW	muxctrl_reg60	VOU656_DATA5 管脚的具体复用情况。 00：GPIO6_2； 01：VOU656_DATA5； 10：LCD_DATA_R2； 11：SDIO_CWPR。

muxctrl_reg61

VOU656_DATA4 管脚复用控制寄存器。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x0F4	muxctrl_reg61	0x00000000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved							muxctrl_reg61
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[1:0]	RW	muxctrl_reg61	VOU656_DATA4 管脚的具体复用情况。 00：GPIO6_3； 01：VOU656_DATA4； 10：LCD_DATA_R3； 11：SDIO_CCMD。

muxctrl_reg62

VOU656_DATA3 管脚复用控制寄存器。

Offset Address	Register Name	Total Reset Value
0x0F8	muxctrl_reg62	0x00000000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved							muxctrl_reg62
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[1:0]	RW	muxctrl_reg62	VOU656_DATA3 管脚的具体复用情况。 00：GPIO6_4； 01：VOU656_DATA3； 10：LCD_DATA_R4； 11：SDIO_CDATA3。

muxctrl_reg63

VOU656_DATA2 管脚复用控制寄存器。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x0FC	muxctrl_reg63	0x00000000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved							muxctrl_reg63
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[1:0]	RW	muxctrl_reg63	VOU656_DATA2 管脚的具体复用情况。 00：GPIO6_5； 01：VOU656_DATA2； 10：LCD_DATA_R5； 11：SDIO_CDATA2。

muxctrl_reg64

VOU656_DATA1 管脚复用控制寄存器。

Offset Address	Register Name	Total Reset Value
0x100	muxctrl_reg64	0x00000000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved							muxctrl_reg64
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[1:0]	RW	muxctrl_reg64	VOU656_DATA1 管脚的具体复用情况。 00：GPIO6_6； 01：VOU656_DATA1； 10：LCD_DATA_R6； 11：SDIO_CDATA1。

muxctrl_reg65

VOU656_DATA0 管脚复用控制寄存器。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x104	muxctrl_reg65	0x00000000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved							muxctrl_reg65
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[1:0]	RW	muxctrl_reg65	VOU656_DATA0 管脚的具体复用情况。 00：GPIO6_7； 01：VOU656_DATA0； 10：LCD_DATA_R7； 11：SDIO_CDATA0。

muxctrl_reg66

SIO0_RCLK 管脚复用控制寄存器。

Offset Address	Register Name	Total Reset Value
0x108	muxctrl_reg66	0x00000000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved							muxctrl_reg66
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[0]	RW	muxctrl_reg66	SIO0_RCLK 管脚的具体复用情况。 0：GPIO7_0； 1：SIO0_RCLK。

muxctrl_reg67

SIO0_RFS 管脚复用控制寄存器。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x10C	muxctrl_reg67	0x00000000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved							muxctrl_reg67
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[0]	RW	muxctrl_reg67	SIO0_RFS 管脚的具体复用情况。 0：GPIO7_1； 1：SIO0_RFS。

muxctrl_reg68

SIO0_DIN 管脚复用控制寄存器。

Offset Address	Register Name	Total Reset Value
0x110	muxctrl_reg68	0x00000000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved							muxctrl_reg68
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[0]	RW	muxctrl_reg68	SIO0_DIN 管脚的具体复用情况。 0：GPIO7_2； 1：SIO0_DIN。

muxctrl_reg69

SIO1_RCLK 管脚复用控制寄存器。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x114	muxctrl_reg69	0x00000000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																															muxctrl_reg69
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[0]	RW	muxctrl_reg69	SIO1_RCLK 管脚的具体复用情况。 0：GPIO7_3； 1：SIO1_RCLK。

muxctrl_reg70

SIO1_RFS 管脚复用控制寄存器。

Offset Address	Register Name	Total Reset Value
0x118	muxctrl_reg70	0x00000000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																															muxctrl_reg70
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[0]	RW	muxctrl_reg70	SIO1_RFS 管脚的具体复用情况。 0：GPIO7_4； 1：SIO1_RFS。

muxctrl_reg71

SIO1_DIN 管脚复用控制寄存器。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x11C	muxctrl_reg71	0x00000000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved							muxctrl_reg71
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[0]	RW	muxctrl_reg71	SIO1_DIN 管脚的具体复用情况。 0：GPIO7_5； 1：SIO1_DIN。

muxctrl_reg72

SIO2_XCLK 管脚复用控制寄存器。

Offset Address	Register Name	Total Reset Value
0x120	muxctrl_reg72	0x00000000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved							muxctrl_reg72
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[0]	RW	muxctrl_reg72	SIO2_XCLK 管脚的具体复用情况。 0：GPIO7_6； 1：SIO2_XCLK。

muxctrl_reg73

SIO2_XFS 管脚复用控制寄存器。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x124	muxctrl_reg73	0x00000000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved							muxctrl_reg73
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[0]	RW	muxctrl_reg73	SIO2_XFS 管脚的具体复用情况。 0：GPIO7_7； 1：SIO2_XFS。

muxctrl_reg74

SIO2_RCLK 管脚复用控制寄存器。

Offset Address	Register Name	Total Reset Value
0x128	muxctrl_reg74	0x00000000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved							muxctrl_reg74
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[0]	RW	muxctrl_reg74	SIO2_RCLK 管脚的具体复用情况。 0：GPIO8_0； 1：SIO2_RCLK。

muxctrl_reg75

SIO2_RFS 管脚复用控制寄存器。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x12C	muxctrl_reg75	0x00000000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																															muxctrl_reg75
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[0]	RW	muxctrl_reg75	SIO2_RFS 管脚的具体复用情况。 0：GPIO8_1； 1：SIO2_RFS。

muxctrl_reg76

SIO2_DIN 管脚复用控制寄存器。

Offset Address	Register Name	Total Reset Value
0x130	muxctrl_reg76	0x00000000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																															muxctrl_reg76
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[0]	RW	muxctrl_reg76	SIO2_DIN 管脚的具体复用情况。 0：GPIO8_2； 1：SIO2_DIN。

muxctrl_reg77

SPI_SCLK 管脚复用控制寄存器。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x134	muxctrl_reg77	0x00000000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved							muxctrl_reg77
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[0]	RW	muxctrl_reg77	SPI_SCLK 管脚的具体复用情况。 0：GPIO8_3； 1：SPI_SCLK。

muxctrl_reg78

SPI_SDO 管脚复用控制寄存器。

Offset Address	Register Name	Total Reset Value
0x138	muxctrl_reg78	0x00000000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved							muxctrl_reg78
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[0]	RW	muxctrl_reg78	SPI_SDO 管脚的具体复用情况。 0：GPIO8_4； 1：SPI_SDO。

muxctrl_reg79

SPI_SDI 管脚复用控制寄存器。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x13C	muxctrl_reg79	0x00000000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved							muxctrl_reg79
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[0]	RW	muxctrl_reg79	SPI_SDI 管脚的具体复用情况。 0：GPIO8_5； 1：SPI_SDI。

muxctrl_reg80

SPI_CSN0 管脚复用控制寄存器。

Offset Address	Register Name	Total Reset Value
0x140	muxctrl_reg80	0x00000000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved							muxctrl_reg80
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[0]	RW	muxctrl_reg80	SPI_CSN0 管脚的具体复用情况。 0：GPIO8_6； 1：SPI_CSN0。

muxctrl_reg81

SPI_CSN3 管脚复用控制寄存器。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x144	muxctrl_reg81	0x00000000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																														muxctrl_reg 81	
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[2:0]	RW	muxctrl_reg81	SPI_CSN3 管脚的具体复用情况。 000：SPI_CSN3； 001：NF_BOOT_PIN4； 010：CLK_TEST_OUT0； 011：CLK_TEST_OUT1； 100：CLK_TEST_OUT2； 101：CLK_TEST_OUT3； 其它：保留。

muxctrl_reg82

I2C_SDA 管脚复用控制寄存器。

Offset Address	Register Name	Total Reset Value
0x148	muxctrl_reg82	0x00000000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																															muxctrl_reg 82
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[0]	RW	muxctrl_reg82	I2C_SDA 管脚的具体复用情况。 0：GPIO13_2； 1：I2C_SDA。

muxctrl_reg83

I2C_SCL 管脚复用控制寄存器。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x14C	muxctrl_reg83	0x00000000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved							muxctrl_reg83
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[0]	RW	muxctrl_reg83	I2C_SCL 管脚的具体复用情况。 0：GPIO13_3； 1：I2C_SCL。

muxctrl_reg84

UART1_RTSN 管脚复用控制寄存器。

Offset Address	Register Name	Total Reset Value
0x150	muxctrl_reg84	0x00000000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved							muxctrl_reg84
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[0]	RW	muxctrl_reg84	UART1_RTSN 管脚的具体复用情况。 0：GPIO9_0； 1：UART1_RTSN。

muxctrl_reg85

UART1_RXD 管脚复用控制寄存器。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x154	muxctrl_reg85	0x00000000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved							muxctrl_reg85
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[0]	RW	muxctrl_reg85	UART1_RXD 管脚的具体复用情况。 0：GPIO9_1； 1：UART1_RXD。

muxctrl_reg86

UART1_CTSN 管脚复用控制寄存器。

Offset Address	Register Name	Total Reset Value
0x158	muxctrl_reg86	0x00000000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved							muxctrl_reg86
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[0]	RW	muxctrl_reg86	UART1_CTSN 管脚的具体复用情况。 0：GPIO9_2； 1：UART1_CTSN。

muxctrl_reg87

UART1_TXD 管脚复用控制寄存器。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x15C	muxctrl_reg87	0x00000000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved							muxctrl_reg87
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[0]	RW	muxctrl_reg87	UART1_TXD 管脚的具体复用情况。 0：GPIO9_3； 1：UART1_TXD。

muxctrl_reg88

RGMII_TXD0 管脚复用控制寄存器。

Offset Address	Register Name	Total Reset Value
0x160	muxctrl_reg88	0x00000000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved							muxctrl_reg88
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[2:0]	RW	muxctrl_reg88	RGMII_TXD0 管脚的具体复用情况。 000：PLL_TEST_OUT0； 001：RGMII_TXD0； 010：PLL_TEST_OUT1； 011：PLL_TEST_OUT2； 100：PLL_TEST_OUT3； 其它：保留。

muxctrl_reg89

RGMII_TXCK 管脚复用控制寄存器。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x164	muxctrl_reg89	0x00000000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1	0
Name	reserved								muxctrl_reg89
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0	0

Bits	Access	Name	Description
[0]	RW	muxctrl_reg89	RGMII_TXCK 管脚的具体复用情况。 0：RGMII_TXCK； 1：GPIO8_7。

muxctrl_reg90

RGMII_CRS 管脚复用控制寄存器。

Offset Address	Register Name	Total Reset Value
0x168	muxctrl_reg90	0x00000000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1	0
Name	reserved								muxctrl_reg90
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0	0

Bits	Access	Name	Description
[1:0]	RW	muxctrl_reg90	RGMII_CRS 管脚的具体复用情况。 00：GPIO13_4； 01：RGMII_CRS； 10：RGMII_RXER； 其它：保留。

muxctrl_reg91

RGMII_COL 管脚复用控制寄存器。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x16C	muxctrl_reg91	0x00000000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved							muxctrl_reg91
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[1:0]	RW	muxctrl_reg91	RGMII_COL 管脚的具体复用情况。 00：GPIO13_5； 01：RGMII_COL； 10：RGMII_TXER； 其它：保留。

muxctrl_reg92

IR_IN 管脚复用控制寄存器。

Offset Address	Register Name	Total Reset Value
0x170	muxctrl_reg92	0x00000000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved							muxctrl_reg92
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[0]	RW	muxctrl_reg92	IR_IN 管脚的具体复用情况。 0：IR_IN； 1：GPIO9_4。

muxctrl_reg93

NF_DQ0 管脚复用控制寄存器。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x174	muxctrl_reg93	0x00000000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																															muxctrl_reg93
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[0]	RW	muxctrl_reg93	NF_DQ0 管脚的具体复用情况。 0：NF_DQ0； 1：GPIO9_5。

muxctrl_reg94

NF_DQ1 管脚复用控制寄存器。

Offset Address	Register Name	Total Reset Value
0x178	muxctrl_reg94	0x00000000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																															muxctrl_reg94
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[0]	RW	muxctrl_reg94	NF_DQ1 管脚的具体复用情况。 0：NF_DQ1； 1：GPIO9_6。

muxctrl_reg95

NF_DQ2 管脚复用控制寄存器。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x17C	muxctrl_reg95	0x00000000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																															muxctrl_reg95
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[0]	RW	muxctrl_reg95	NF_DQ2 管脚的具体复用情况。 0：NF_DQ2； 1：GPIO9_7。

muxctrl_reg96

NF_DQ3 管脚复用控制寄存器。

Offset Address	Register Name	Total Reset Value
0x180	muxctrl_reg96	0x00000000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																															muxctrl_reg96
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[0]	RW	muxctrl_reg96	NF_DQ3 管脚的具体复用情况。 0：NF_DQ3； 1：GPIO10_0。

muxctrl_reg97

NF_DQ4 管脚复用控制寄存器。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x184	muxctrl_reg97	0x00000000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved							muxctrl_reg97
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[0]	RW	muxctrl_reg97	NF_DQ4 管脚的具体复用情况。 0：NF_DQ4； 1：GPIO10_1。

muxctrl_reg98

NF_DQ5 管脚复用控制寄存器。

Offset Address	Register Name	Total Reset Value
0x188	muxctrl_reg98	0x00000000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved							muxctrl_reg98
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[0]	RW	muxctrl_reg98	NF_DQ5 管脚的具体复用情况。 0：NF_DQ5； 1：GPIO10_2。

muxctrl_reg99

NF_DQ6 管脚复用控制寄存器。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x18C	muxctrl_reg99	0x00000000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved							muxctrl_reg99
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[0]	RW	muxctrl_reg99	NF_DQ6 管脚的具体复用情况。 0：NF_DQ6； 1：GPIO10_3。

muxctrl_reg100

NF_DQ7 管脚复用控制寄存器。

Offset Address	Register Name	Total Reset Value
0x190	muxctrl_reg100	0x00000000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved							muxctrl_reg100
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[0]	RW	muxctrl_reg100	NF_DQ7 管脚的具体复用情况。 0：NF_DQ7； 1：GPIO10_4。

muxctrl_reg101

NF_RDY0 管脚复用控制寄存器。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x194	muxctrl_reg101	0x00000000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved							muxctrl_reg101
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[0]	RW	muxctrl_reg101	NF_RDY0 管脚的具体复用情况。 0：NF_RDY0； 1：GPIO10_5。

muxctrl_reg102

NF_RDY1 管脚复用控制寄存器。

Offset Address	Register Name	Total Reset Value
0x198	muxctrl_reg102	0x00000000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved							muxctrl_reg102
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[0]	RW	muxctrl_reg102	NF_RDY1 管脚的具体复用情况。 0：NF_RDY1； 1：GPIO10_6。

muxctrl_reg103

SFC_DIO 管脚复用控制寄存器。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x19C	muxctrl_reg103	0x00000000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																															muxctrl_reg103
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[0]	RW	muxctrl_reg103	SFC_DIO 管脚的具体复用情况。 0：SFC_DIO； 1：GPIO13_6。

muxctrl_reg104

SFC_WP_IO2 管脚复用控制寄存器。

Offset Address	Register Name	Total Reset Value
0x1A0	muxctrl_reg104	0x00000000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																															muxctrl_reg104
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[0]	RW	muxctrl_reg104	SFC_WP_IO2 管脚的具体复用情况。 0：SFC_WP_IO2； 1：GPIO10_7。

muxctrl_reg105

SFC_DOI 管脚复用控制寄存器。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x1A4	muxctrl_reg105	0x00000000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																															muxctrl_reg105
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[0]	RW	muxctrl_reg105	SFC_DOI 管脚的具体复用情况。 0：SFC_DOI； 1：GPIO13_7。

muxctrl_reg106

SFC_HOLD_IO3 管脚复用控制寄存器。

Offset Address	Register Name	Total Reset Value
0x1A8	muxctrl_reg106	0x00000000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																															muxctrl_reg106
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[0]	RW	muxctrl_reg106	SFC_HOLD_IO3 管脚的具体复用情况。 0：SFC_HOLD_IO3； 1：GPIO14_4。

muxctrl_reg107

USB0_OVRCUR 管脚复用控制寄存器。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x1AC	muxctrl_reg107	0x00000000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved							muxctrl_reg107
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[0]	RW	muxctrl_reg107	USB0_OVRCUR 管脚的具体复用情况。 0：GPIO14_0； 1：USB0_OVRCUR。

muxctrl_reg108

USB0_PWREN 管脚复用控制寄存器。

Offset Address	Register Name	Total Reset Value
0x1B0	muxctrl_reg108	0x00000000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved							muxctrl_reg108
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[0]	RW	muxctrl_reg108	USB0_PWREN 管脚的具体复用情况。 0：GPIO14_1； 1：USB0_PWREN。

muxctrl_reg109

USB1_OVRCUR 管脚复用控制寄存器。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x1B4	muxctrl_reg109	0x00000000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved							muxctrl_reg100
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[0]	RW	muxctrl_reg109	USB1_OVRCUR 管脚的具体复用情况。 0：GPIO14_2； 1：USB1_OVRCUR。

muxctrl_reg110

USB1_PWREN 管脚复用控制寄存器。

Offset Address	Register Name	Total Reset Value
0x1B8	muxctrl_reg110	0x00000000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved							muxctrl_reg110
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[0]	RW	muxctrl_reg110	USB1_PWREN 管脚的具体复用情况。 0：GPIO14_3； 1：USB1_PWREN。

muxctrl_reg111

GPIO11_0 管脚复用控制寄存器。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x1BC	muxctrl_reg111	0x00000000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																															muxctrl_reg111
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[0]	RW	muxctrl_reg111	GPIO11_0 管脚的具体复用情况。 0：GPIO11_0； 1：UART3_RXD。

muxctrl_reg112

GPIO11_1 管脚复用控制寄存器。

Offset Address	Register Name	Total Reset Value
0x1C0	muxctrl_reg112	0x00000000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																															muxctrl_reg112
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[0]	RW	muxctrl_reg112	GPIO11_1 管脚的具体复用情况。 0：GPIO11_1； 1：UART3_TXD。

muxctrl_reg113

SATA_LED_N0 管脚复用控制寄存器。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x1C4	muxctrl_reg113	0x00000000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved							muxctrl_reg113
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[0]	RW	muxctrl_reg113	SATA_LED_N0 管脚的具体复用情况。 0：GPIO11_2； 1：SATA_LED_N0。

muxctrl_reg114

SATA_LED_N1 管脚复用控制寄存器。

Offset Address	Register Name	Total Reset Value
0x1C8	muxctrl_reg114	0x00000000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved							muxctrl_reg114
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[0]	RW	muxctrl_reg114	SATA_LED_N1 管脚的具体复用情况。 0：GPIO11_3； 1：SATA_LED_N1。

muxctrl_reg115

HDMI_HOTPLUG 管脚复用控制寄存器。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x1CC	muxctrl_reg115	0x00000000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved							muxctrl_reg115
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[0]	RW	muxctrl_reg115	HDMI_HOTPLUG 管脚的具体复用情况。 0：GPIO11_4； 1：HDMI_HOTPLUG。

muxctrl_reg116

HDMI_CEC 管脚复用控制寄存器。

Offset Address	Register Name	Total Reset Value
0x1D0	muxctrl_reg116	0x00000000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved							muxctrl_reg116
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[0]	RW	muxctrl_reg116	HDMI_CEC 管脚的具体复用情况。 0：GPIO11_5； 1：HDMI_CEC。

muxctrl_reg117

HDMI_SDA 管脚复用控制寄存器。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x1D4	muxctrl_reg117	0x00000000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved							muxctrl_reg117
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[0]	RW	muxctrl_reg117	HDMI_SDA 管脚的具体复用情况。 0：GPIO11_6； 1：HDMI_SDA。

muxctrl_reg118

HDMI_SCL 管脚复用控制寄存器。

Offset Address	Register Name	Total Reset Value
0x1D8	muxctrl_reg118	0x00000000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved							muxctrl_reg118
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[0]	RW	muxctrl_reg118	HDMI_SCL 管脚的具体复用情况。 0：GPIO11_7； 1：HDMI_SCL。

2.4 软件复用管脚描述

VIU0

VIU0 的软件复用管脚如表 2-37 所示。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

表2-37 VIU0 的软件复用管脚

Pin	Pad 信号	复用控制寄存器	复用信号 0	复用信号 1	复用信号 2
T26	VIU0_CLK	muxctrl_reg0	VIU0_CLK	GPIO12_0	-
U24	VIU0_VS	muxctrl_reg1	VIU0_VS	GPIO12_2	VIU0_CLKA
U23	VIU0_HS	muxctrl_reg2	VIU0_HS	GPIO12_3	UART2_RXD
L27	VIU0_DAT15	muxctrl_reg3	VIU0_DAT15	GPIO0_0	-
L28	VIU0_DAT14	muxctrl_reg4	VIU0_DAT14	GPIO0_1	-
M26	VIU0_DAT13	muxctrl_reg5	VIU0_DAT13	GPIO0_2	-
M27	VIU0_DAT12	muxctrl_reg6	VIU0_DAT12	GPIO0_3	-
N26	VIU0_DAT11	muxctrl_reg7	VIU0_DAT11	GPIO0_4	-
N28	VIU0_DAT10	muxctrl_reg8	VIU0_DAT10	GPIO0_5	-
N27	VIU0_DAT9	muxctrl_reg9	VIU0_DAT9	GPIO0_6	-
P27	VIU0_DAT8	muxctrl_reg10	VIU0_DAT8	GPIO0_7	-
P24	VIU0_DAT7	muxctrl_reg11	VIU0_DAT7	GPIO1_0	-
P23	VIU0_DAT6	muxctrl_reg12	VIU0_DAT6	GPIO1_1	-
R27	VIU0_DAT5	muxctrl_reg13	VIU0_DAT5	GPIO1_2	-
R28	VIU0_DAT4	muxctrl_reg14	VIU0_DAT4	GPIO1_3	-
R26	VIU0_DAT3	muxctrl_reg15	VIU0_DAT3	GPIO1_4	-
R24	VIU0_DAT2	muxctrl_reg16	VIU0_DAT2	GPIO1_5	-
R23	VIU0_DAT1	muxctrl_reg17	VIU0_DAT1	GPIO1_6	-
T27	VIU0_DAT0	muxctrl_reg18	VIU0_DAT0	GPIO1_7	-

VIU0 的软件复用管脚如表 2-38 所示。

表2-38 VIU0 的软件复用管脚描述

信号名	方向	说明
GPIO0_0	I/O	通用输入输出

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

信号名	方向	说明
GPIO0_1	I/O	通用输入输出
GPIO0_2	I/O	通用输入输出
GPIO0_3	I/O	通用输入输出
GPIO0_4	I/O	通用输入输出
GPIO0_5	I/O	通用输入输出
GPIO0_6	I/O	通用输入输出
GPIO0_7	I/O	通用输入输出
GPIO1_0	I/O	通用输入输出
GPIO1_1	I/O	通用输入输出
GPIO1_2	I/O	通用输入输出
GPIO1_3	I/O	通用输入输出
GPIO1_4	I/O	通用输入输出
GPIO1_5	I/O	通用输入输出
GPIO1_6	I/O	通用输入输出
GPIO1_7	I/O	通用输入输出
GPIO12_0	I/O	通用输入输出
GPIO12_2	I/O	通用输入输出
GPIO12_3	I/O	通用输入输出
UART2_RXD	I	UART2 数据接收
VIU0_CLK	I	VIU0 的时钟信号
VIU0_CLKA	I	VIU0 的时钟信号
VIU0_DAT0	I	VIU0 的数据输入
VIU0_DAT1	I	VIU0 的数据输入
VIU0_DAT10	I	VIU0 的数据输入
VIU0_DAT11	I	VIU0 的数据输入
VIU0_DAT12	I	VIU0 的数据输入
VIU0_DAT13	I	VIU0 的数据输入
VIU0_DAT14	I	VIU0 的数据输入
VIU0_DAT15	I	VIU0 的数据输入

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

信号名	方向	说明
VIU0_DAT2	I	VIU0 的数据输入
VIU0_DAT3	I	VIU0 的数据输入
VIU0_DAT4	I	VIU0 的数据输入
VIU0_DAT5	I	VIU0 的数据输入
VIU0_DAT6	I	VIU0 的数据输入
VIU0_DAT7	I	VIU0 的数据输入
VIU0_DAT8	I	VIU0 的数据输入
VIU0_DAT9	I	VIU0 的数据输入
VIU0_HS	I	VIU0 的行同步信号，高有效
VIU0_VS	I	VIU0 的场同步信号，高有效

VIU1

VIU1 的软件复用管脚如表 2-39 所示。

表2-39 VIU1 的软件复用管脚

Pin	Pad 信号	复用控制寄存器	复用信号 0	复用信号 1	复用信号 2
AB26	VIU1_CLK	muxctrl_reg19	VIU1_CLK	GPIO12_1	-
AA24	VIU1_VS	muxctrl_reg20	VIU1_VS	GPIO12_4	VIU1_CLKA
AA23	VIU1_HS	muxctrl_reg21	VIU1_HS	GPIO12_5	UART2_TXD
U27	VIU1_DAT15	muxctrl_reg22	VIU1_DAT15	GPIO2_0	-
U28	VIU1_DAT14	muxctrl_reg23	VIU1_DAT14	GPIO2_1	-
V26	VIU1_DAT13	muxctrl_reg24	VIU1_DAT13	GPIO2_2	-
V27	VIU1_DAT12	muxctrl_reg25	VIU1_DAT12	GPIO2_3	-
V24	VIU1_DAT11	muxctrl_reg26	VIU1_DAT11	GPIO2_4	-
V23	VIU1_DAT10	muxctrl_reg27	VIU1_DAT10	GPIO2_5	-
W26	VIU1_DAT9	muxctrl_reg28	VIU1_DAT9	GPIO2_6	-
W27	VIU1_DAT8	muxctrl_reg29	VIU1_DAT8	GPIO2_7	-

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

W28	VIU1_DAT7	muxctrl_reg30	VIU1_DAT7	GPIO3_0	-
Y26	VIU1_DAT6	muxctrl_reg31	VIU1_DAT6	GPIO3_1	-
Y27	VIU1_DAT5	muxctrl_reg32	VIU1_DAT5	GPIO3_2	-
Y24	VIU1_DAT4	muxctrl_reg33	VIU1_DAT4	GPIO3_3	-
Y23	VIU1_DAT3	muxctrl_reg34	VIU1_DAT3	GPIO3_4	-
AA26	VIU1_DAT2	muxctrl_reg35	VIU1_DAT2	GPIO3_5	-
AA27	VIU1_DAT1	muxctrl_reg36	VIU1_DAT1	GPIO3_6	-
AA28	VIU1_DAT0	muxctrl_reg37	VIU1_DAT0	GPIO3_7	-

VIU1 的软件复用管脚如表 2-40 所示。

表2-40 VIU1 的软件复用管脚描述

信号名	方向	说明
GPIO12_1	I/O	通用输入输出
GPIO12_4	I/O	通用输入输出
GPIO12_5	I/O	通用输入输出
GPIO2_0	I/O	通用输入输出
GPIO2_1	I/O	通用输入输出
GPIO2_2	I/O	通用输入输出
GPIO2_3	I/O	通用输入输出
GPIO2_4	I/O	通用输入输出
GPIO2_5	I/O	通用输入输出
GPIO2_6	I/O	通用输入输出
GPIO2_7	I/O	通用输入输出
GPIO3_0	I/O	通用输入输出
GPIO3_1	I/O	通用输入输出
GPIO3_2	I/O	通用输入输出
GPIO3_3	I/O	通用输入输出
GPIO3_4	I/O	通用输入输出

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

信号名	方向	说明
GPIO3_5	I/O	通用输入输出
GPIO3_6	I/O	通用输入输出
GPIO3_7	I/O	通用输入输出
UART2_TXD	O	UART2 数据发送
VIU1_CLK	I	VIU1 的时钟信号
VIU1_CLKA	I	VIU1 的时钟信号
VIU1_DAT0	I	VIU1 的数据输入
VIU1_DAT1	I	VIU1 的数据输入
VIU1_DAT10	I	VIU1 的数据输入
VIU1_DAT11	I	VIU1 的数据输入
VIU1_DAT12	I	VIU1 的数据输入
VIU1_DAT13	I	VIU1 的数据输入
VIU1_DAT14	I	VIU1 的数据输入
VIU1_DAT15	I	VIU1 的数据输入
VIU1_DAT2	I	VIU1 的数据输入
VIU1_DAT3	I	VIU1 的数据输入
VIU1_DAT4	I	VIU1 的数据输入
VIU1_DAT5	I	VIU1 的数据输入
VIU1_DAT6	I	VIU1 的数据输入
VIU1_DAT7	I	VIU1 的数据输入
VIU1_DAT8	I	VIU1 的数据输入
VIU1_DAT9	I	VIU1 的数据输入
VIU1_HS	I	VIU1 的行同步，高有效
VIU1_VS	I	VIU1 的场同步信号，高有效

VOU

VOU 的软件复用管脚如表 2-41 所示。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

表2-41 VOU 的软件复用管脚

Pin	Pad 信号	复用控制寄存器	复用信号 0	复用信号 1	复用信号 2	复 用 信号 3
B6	VOU1120_CLK	muxctrl_reg38	GPIO12_6	VOU1120_CLK	LCD_CLK	-
B5	VOU1120_DATA15	muxctrl_reg39	GPIO4_0	VOU1120_DATA15	LCD_DATA_G0	-
A5	VOU1120_DATA14	muxctrl_reg40	GPIO4_1	VOU1120_DATA14	LCD_DATA_G1	-
C5	VOU1120_DATA13	muxctrl_reg41	GPIO4_2	VOU1120_DATA13	LCD_DATA_G2	-
B4	VOU1120_DATA12	muxctrl_reg42	GPIO4_3	VOU1120_DATA12	LCD_DATA_G3	-
C4	VOU1120_DATA11	muxctrl_reg43	GPIO4_4	VOU1120_DATA11	LCD_DATA_G4	-
A3	VOU1120_DATA10	muxctrl_reg44	GPIO4_5	VOU1120_DATA10	LCD_DATA_G5	-
B3	VOU1120_DATA9	muxctrl_reg45	GPIO4_6	VOU1120_DATA9	LCD_DATA_G6	-
A2	VOU1120_DATA8	muxctrl_reg46	GPIO4_7	VOU1120_DATA8	LCD_DATA_G7	-
B2	VOU1120_DATA7	muxctrl_reg47	GPIO5_0	VOU1120_DATA7	LCD_DATA_B0	-
B1	VOU1120_DATA6	muxctrl_reg48	GPIO5_1	VOU1120_DATA6	LCD_DATA_B1	-
C3	VOU1120_DATA5	muxctrl_reg49	GPIO5_2	VOU1120_DATA5	LCD_DATA_B2	-
C2	VOU1120_DATA4	muxctrl_reg50	GPIO5_3	VOU1120_DATA4	LCD_DATA_B3	-
D3	VOU1120_DATA3	muxctrl_reg51	GPIO5_4	VOU1120_DATA3	LCD_DATA_B4	-
D1	VOU1120_DATA2	muxctrl_reg52	GPIO5_5	VOU1120_DATA2	LCD_DATA_B5	-
D2	VOU1120_DATA1	muxctrl_reg53	GPIO5_6	VOU1120_DATA1	LCD_DATA_B6	-
E3	VOU1120_DATA0	muxctrl_reg54	GPIO5_7	VOU1120_DATA0	LCD_DATA_B7	-
E9	VGA_HS	muxctrl_reg55	GPIO13_0	VOU1120_HS	VGA_HS	-
F9	VGA_VS	muxctrl_reg56	GPIO13_1	VOU1120_VS	VGA_VS	-

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Pin	Pad 信号	复用控制寄存器	复用信号 0	复用信号 1	复用信号 2	复 用 信号 3
E8	VOU656_CLK	muxctrl_reg57	GPIO12_7	VOU656_CLK	SDIO_CCLK_OUT	-
C9	VOU656_DATA7	muxctrl_reg58	GPIO6_0	VOU656_DATA7	LCD_DATA_R0	SDIO_CARD_POWER_EN
B9	VOU656_DATA6	muxctrl_reg59	GPIO6_1	VOU656_DATA6	LCD_DATA_R1	SDIO_CARD_DETECT
F8	VOU656_DATA5	muxctrl_reg60	GPIO6_2	VOU656_DATA5	LCD_DATA_R2	SDIO_CWPR
C8	VOU656_DATA4	muxctrl_reg61	GPIO6_3	VOU656_DATA4	LCD_DATA_R3	SDIO_CCMD
B8	VOU656_DATA3	muxctrl_reg62	GPIO6_4	VOU656_DATA3	LCD_DATA_R4	SDIO_CDATA3
C7	VOU656_DATA2	muxctrl_reg63	GPIO6_5	VOU656_DATA2	LCD_DATA_R5	SDIO_CDATA2
B7	VOU656_DATA1	muxctrl_reg64	GPIO6_6	VOU656_DATA1	LCD_DATA_R6	SDIO_CDATA1
A7	VOU656_DATA0	muxctrl_reg65	GPIO6_7	VOU656_DATA0	LCD_DATA_R7	SDIO_CDATA0

VOU 的软件复用管脚如表 2-42 所示。

表2-42 VOU 的软件复用管脚描述

信号名	方向	说明
GPIO12_6	I/O	通用输入输出
GPIO12_7	I/O	通用输入输出
GPIO13_0	I/O	通用输入输出
GPIO13_1	I/O	通用输入输出
GPIO4_0	I/O	通用输入输出
GPIO4_1	I/O	通用输入输出
GPIO4_2	I/O	通用输入输出
GPIO4_3	I/O	通用输入输出
GPIO4_4	I/O	通用输入输出

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

信号名	方向	说明
GPIO4_5	I/O	通用输入输出
GPIO4_6	I/O	通用输入输出
GPIO4_7	I/O	通用输入输出
GPIO5_0	I/O	通用输入输出
GPIO5_1	I/O	通用输入输出
GPIO5_2	I/O	通用输入输出
GPIO5_3	I/O	通用输入输出
GPIO5_4	I/O	通用输入输出
GPIO5_5	I/O	通用输入输出
GPIO5_6	I/O	通用输入输出
GPIO5_7	I/O	通用输入输出
GPIO6_0	I/O	通用输入输出
GPIO6_1	I/O	通用输入输出
GPIO6_2	I/O	通用输入输出
GPIO6_3	I/O	通用输入输出
GPIO6_4	I/O	通用输入输出
GPIO6_5	I/O	通用输入输出
GPIO6_6	I/O	通用输入输出
GPIO6_7	I/O	通用输入输出
LCD_CLK	O	LCD 接口时钟输出
LCD_DATA_B0	O	LCD 接口数据 B 分量输出
LCD_DATA_B1	O	LCD 接口数据 B 分量输出
LCD_DATA_B2	O	LCD 接口数据 B 分量输出
LCD_DATA_B3	O	LCD 接口数据 B 分量输出
LCD_DATA_B4	O	LCD 接口数据 B 分量输出
LCD_DATA_B5	O	LCD 接口数据 B 分量输出
LCD_DATA_B6	O	LCD 接口数据 B 分量输出
LCD_DATA_B7	O	LCD 接口数据 B 分量输出
LCD_DATA_G0	O	LCD 接口数据 G 分量输出

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

信号名	方向	说明
LCD_DATA_G1	O	LCD 接口数据 G 分量输出
LCD_DATA_G2	O	LCD 接口数据 G 分量输出
LCD_DATA_G3	O	LCD 接口数据 G 分量输出
LCD_DATA_G4	O	LCD 接口数据 G 分量输出
LCD_DATA_G5	O	LCD 接口数据 G 分量输出
LCD_DATA_G6	O	LCD 接口数据 G 分量输出
LCD_DATA_G7	O	LCD 接口数据 G 分量输出
LCD_DATA_R0	O	LCD 接口数据 R 分量输出
LCD_DATA_R1	O	LCD 接口数据 R 分量输出
LCD_DATA_R2	O	LCD 接口数据 R 分量输出
LCD_DATA_R3	O	LCD 接口数据 R 分量输出
LCD_DATA_R4	O	LCD 接口数据 R 分量输出
LCD_DATA_R5	O	LCD 接口数据 R 分量输出
LCD_DATA_R6	O	LCD 接口数据 R 分量输出
LCD_DATA_R7	O	LCD 接口数据 R 分量输出
SDIO_CARD_DETECT	I	SDIO 卡检测信号输入，低电平有效
SDIO_CARD_POWER_EN	O	SDIO 卡电源使能控制信号输出，为 1 时 power on
SDIO_CCLK_OUT	O	SDIO 卡工作时钟输出
SDIO_CCMD	I/O	SDIO 卡命令信号
SDIO_CDATA0	I/O	SDIO 卡数据总线
SDIO_CDATA1	I/O	SDIO 卡数据总线
SDIO_CDATA2	I/O	SDIO 卡数据总线
SDIO_CDATA3	I/O	SDIO 卡数据总线
SDIO_CWPR	I	SDIO 卡写保护信号输出
VGA_HS	O	VGA 行同步输出
VGA_VS	O	VGA 场同步输出
VOU1120_CLK	O	BT.1120 接口时钟输出
VOU1120_DATA0	O	BT.1120 接口的数据信号输出

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

信号名	方向	说明
VOU1120_DATA1	O	BT.1120 接口的数据信号输出
VOU1120_DATA10	O	BT.1120 接口的数据信号输出
VOU1120_DATA11	O	BT.1120 接口的数据信号输出
VOU1120_DATA12	O	BT.1120 接口的数据信号输出
VOU1120_DATA13	O	BT.1120 接口的数据信号输出
VOU1120_DATA14	O	BT.1120 接口的数据信号输出
VOU1120_DATA15	O	BT.1120 接口的数据信号输出
VOU1120_DATA2	O	BT.1120 接口的数据信号输出
VOU1120_DATA3	O	BT.1120 接口的数据信号输出
VOU1120_DATA4	O	BT.1120 接口的数据信号输出
VOU1120_DATA5	O	BT.1120 接口的数据信号输出
VOU1120_DATA6	O	BT.1120 接口的数据信号输出
VOU1120_DATA7	O	BT.1120 接口的数据信号输出
VOU1120_DATA8	O	BT.1120 接口的数据信号输出
VOU1120_DATA9	O	BT.1120 接口的数据信号输出
VOU1120_HS	O	BT.1120 行同步输出
VOU1120_VS	O	BT.1120 场同步输出
VOU656_CLK	O	BT.656 接口时钟输出
VOU656_DATA0	O	BT.656 接口数据输出
VOU656_DATA1	O	BT.656 接口数据输出
VOU656_DATA2	O	BT.656 接口数据输出
VOU656_DATA3	O	BT.656 接口数据输出
VOU656_DATA4	O	BT.656 接口数据输出
VOU656_DATA5	O	BT.656 接口数据输出
VOU656_DATA6	O	BT.656 接口数据输出
VOU656_DATA7	O	BT.656 接口数据输出

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

SIO0

SIO0 的软件复用管脚如表 2-43 所示。

表2-43 SIO0 的软件复用管脚

Pin	Pad 信号	复用控制寄存器	复用信号 0	复用信号 1
J24	SIO0_RCLK	muxctrl_reg66	GPIO7_0	SIO0_RCLK
J26	SIO0_RFS	muxctrl_reg67	GPIO7_1	SIO0_RFS
J28	SIO0_DIN	muxctrl_reg68	GPIO7_2	SIO0_DIN

SIO0 的软件复用管脚如表 2-44 所示。

表2-44 SIO0 的软件复用管脚描述

信号名	方向	说明
GPIO7_0	I/O	通用输入输出
GPIO7_1	I/O	通用输入输出
GPIO7_2	I/O	通用输入输出
SIO0_DIN	I	I2S 或 PCM 接口数据输入
SIO0_RCLK	I/O	I2S 或 PCM 接口位流时钟
SIO0_RFS	I/O	I2S 接收左右声道选择信号（与 ADC 接口），或 PCM 帧同步信号

SIO1

SIO1 的软件复用管脚如表 2-45 所示。

表2-45 SIO1 的软件复用管脚

Pin	Pad 信号	复用控制寄存器	复用信号 0	复用信号 1
K27	SIO1_RCLK	muxctrl_reg69	GPIO7_3	SIO1_RCLK
L24	SIO1_RFS	muxctrl_reg70	GPIO7_4	SIO1_RFS
L26	SIO1_DIN	muxctrl_reg71	GPIO7_5	SIO1_DIN

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

SIO1 的软件复用管脚如表 2-46 所示。

表2-46 SIO1 的软件复用管脚描述

信号名	方向	说明
GPIO7_3	I/O	通用输入输出
GPIO7_4	I/O	通用输入输出
GPIO7_5	I/O	通用输入输出
SIO1_DIN	I	I2S 或 PCM 接口数据输入。
SIO1_RCLK	I/O	I2S 或 PCM 接口位流时钟
SIO1_RFS	I/O	I2S 接收左右声道选择信号（与 ADC 接口），或 PCM 帧同步信号

SIO2

SIO2 的软件复用管脚如表 2-47 所示。

表2-47 SIO2 的软件复用管脚

Pin	Pad 信号	复用控制寄存器	复用信号 0	复用信号 1
B24	SIO2_XCLK	muxctrl_reg72	GPIO7_6	SIO2_XCLK
E23	SIO2_XFS	muxctrl_reg73	GPIO7_7	SIO2_XFS
A25	SIO2_RCLK	muxctrl_reg74	GPIO8_0	SIO2_RCLK
C25	SIO2_RFS	muxctrl_reg75	GPIO8_1	SIO2_RFS
F24	SIO2_DIN	muxctrl_reg76	GPIO8_2	SIO2_DIN

SIO2 的软件复用管脚如表 2-48 所示。

表2-48 SIO2 的软件复用管脚描述

信号名	方向	说明
GPIO7_6	I/O	通用输入输出
GPIO7_7	I/O	通用输入输出
GPIO8_0	I/O	通用输入输出
GPIO8_1	I/O	通用输入输出

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

GPIO8_2	I/O	通用输入输出
SIO2_DIN	I	I2S 或 PCM 接口数据输入。
SIO2_RCLK	I/O	I2S 或 PCM 接口位流时钟
SIO2_RFS	I/O	I2S 接收左右声道选择信号（与 ADC 接口），或 PCM 帧同步信号
SIO2_XCLK	I/O	I2S 或 PCM 接口位流时钟
SIO2_XFS	I/O	I2S 发送左右声道选择信号（与 DAC 接口），或 PCM 帧同步信号

SPI

SPI 的软件复用管脚如表 2-49 所示。

表2-49 SPI 的软件复用管脚

Pin	Pad 信号	复用控制寄存器	复用信号 0	复用信号 1	复用信号 2	复用信号 3	复用信号 4	复用信号 5
AC27	SPI_SCLK	muxctrl_reg77	GPIO8_3	SPI_SCLK	-	-	-	-
AB27	SPI_SDO	muxctrl_reg78	GPIO8_4	SPI_SDO	-	-	-	-
AC28	SPI_SDI	muxctrl_reg79	GPIO8_5	SPI_SDI	-	-	-	-
AE28	SPI_CSN0	muxctrl_reg80	GPIO8_6	SPI_CSN0	-	-	-	-
AD26	SPI_CSN3	muxctrl_reg81	SPI_CSN3	NF_BOOT_PIN4	CLK_TEST_OUT0	CLK_TEST_OUT1	CLK_TEST_OUT2	CLK_TEST_OUT3

SPI 的软件复用管脚如表 2-50 所示。

表2-50 SPI 的软件复用管脚描述

信号名	方向	说明
CLK_TEST_OUT0	O	主测试时钟输出
CLK_TEST_OUT1	O	主测试时钟输出
CLK_TEST_OUT2	O	主测试时钟输出
CLK_TEST_OUT3	O	主测试时钟输出
GPIO8_3	I/O	通用输入输出

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

GPIO8_4	I/O	通用输入输出
GPIO8_5	I/O	通用输入输出
GPIO8_6	I/O	通用输入输出
NF_BOOT_PIN4	I	NAND 器件类型设置，只在上电时有效。参考 NF_BOOT_PIN0 的说明。
SPI_CSN0	I/O	SPI 的片选 0 输出
SPI_CSN3	O	SPI 的片选 1 输出
SPI_SCLK	I/O	SPI 时钟信号
SPI_SDI	I	SPI 数据输入
SPI_SDO	O	SPI 数据输出

I2C

I2C 的软件复用管脚如表 2-51 所示。

表2-51 I2C 的软件复用管脚

Pin	Pad 信号	复用控制寄存器	复用信号 0	复用信号 1
M24	I2C_SDA	muxctrl_reg82	GPIO13_2	I2C_SDA
M23	I2C_SCL	muxctrl_reg83	GPIO13_3	I2C_SCL

I2C 的软件复用管脚如表 2-52 所示。

表2-52 I2C 的软件复用管脚描述

信号名	方向	说明
GPIO13_2	I/O	通用输入输出
GPIO13_3	I/O	通用输入输出
I2C_SCL	I/O	I2C 总线时钟，OD 输出
I2C_SDA	I/O	I2C 总线数据/地址，OD 输出

UART1

UART1 的软件复用管脚如表 2-53 所示。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

表2-53 UART1 的软件复用管脚

Pin	Pad 信号	复用控制寄存器	复用信号 0	复用信号 1
P1	UART1_RTSN	muxctrl_reg84	GPIO9_0	UART1_RTSN
R3	UART1_RXD	muxctrl_reg85	GPIO9_1	UART1_RXD
P5	UART1_CTSN	muxctrl_reg86	GPIO9_2	UART1_CTSN
P6	UART1_TXD	muxctrl_reg87	GPIO9_3	UART1_TXD

UART1 的软件复用管脚如表 2-54 所示。

表2-54 UART1 的软件复用管脚描述

信号名	方向	说明
GPIO9_0	I/O	通用输入输出
GPIO9_1	I/O	通用输入输出
GPIO9_2	I/O	通用输入输出
GPIO9_3	I/O	通用输入输出
UART1_CTSN	I	Modem 状态输入：Clear To Send.低有效
UART1_RTSN	O	Modem 状态输出：request to send，低有效。复位值为 0
UART1_RXD	I	UART1 数据接收
UART1_TXD	O	UART1 数据发送

GMAC

GMAC 的软件复用管脚如表 2-55 所示。

表2-55 GMAC 的软件复用管脚

Pin	Pad 信号	复用控制寄存器	复用信号 0	复用信号 1	复用信号 2	复用信号 3	复用信号 4
B16	RGMII_TXD0	muxctrl_reg88	PLL_TEST_OUT0	RGMII_TXD0	PLL_TEST_OUT1	PLL_TEST_OUT2	PLL_TEST_OUT3
C17	RGMII_TXCK	muxctrl_reg89	RGMII_TXCK	GPIO8_7	-	-	-

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

E18	RGMII_CRS	muxctrl_reg90	GPIO13_4	RGMII_CRS	RGMII_RXER	-	-
F18	RGMII_COL	muxctrl_reg91	GPIO13_5	RGMII_COL	RGMII_TXER	-	-

GMAC 的软件复用管脚如表 2-56 所示。

表2-56 GMAC 的软件复用管脚描述

信号名	方向	说明
GPIO13_4	I/O	通用输入输出
GPIO13_5	I/O	通用输入输出
GPIO8_7	I/O	通用输入输出
PLL_TEST_OUT0	O	PLL 测试时钟输出
PLL_TEST_OUT1	O	PLL 测试时钟输出
PLL_TEST_OUT2	O	PLL 测试时钟输出
PLL_TEST_OUT3	O	PLL 测试时钟输出
RGMII_COL	I	RGMII 碰撞指示信号
RGMII_CRS	I	RGMII 载波侦听信号
RGMII_RXER	I	RGMII 接收错误信号
RGMII_TXCK	I	RGMII 发送时钟，双沿有效，或 MII 发送时钟
RGMII_TXD0	O	RGMII 接口发送数据，或 MII 发送数据
RGMII_TXER	O	RGMII 发送错误信号

IR

IR 的软件复用管脚如表 2-57 所示。

表2-57 IR 的软件复用管脚

Pin	Pad 信号	复用控制寄存器	复用信号 0	复用信号 1
L2	IR_IN	muxctrl_reg92	IR_IN	GPIO9_4

IR 的软件复用管脚如表 2-58 所示。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

表2-58 IR 的软件复用管脚描述

信号名	方向	说明
GPIO9_4	I/O	通用输入输出
IR_IN	I	红外接口输入

NFC

NFC 的软件复用管脚如表 2-59 所示。

表2-59 NFC 的软件复用管脚

Pin	Pad 信号	复用控制寄存器	复用信号 0	复用信号 1
AC5	NF_DQ0	muxctrl_reg93	NF_DQ0	GPIO9_5
AF1	NF_DQ1	muxctrl_reg94	NF_DQ1	GPIO9_6
AE3	NF_DQ2	muxctrl_reg95	NF_DQ2	GPIO9_7
AE2	NF_DQ3	muxctrl_reg96	NF_DQ3	GPIO10_0
AD3	NF_DQ4	muxctrl_reg97	NF_DQ4	GPIO10_1
AD2	NF_DQ5	muxctrl_reg98	NF_DQ5	GPIO10_2
AD1	NF_DQ6	muxctrl_reg99	NF_DQ6	GPIO10_3
AC3	NF_DQ7	muxctrl_reg100	NF_DQ7	GPIO10_4
AC2	NF_RDY0	muxctrl_reg101	NF_RDY0	GPIO10_5
AB3	NF_RDY1	muxctrl_reg102	NF_RDY1	GPIO10_6

NFC 的软件复用管脚如表 2-60 所示。

表2-60 NFC 的软件复用管脚描述

信号名	方向	说明
GPIO10_0	I/O	通用输入输出
GPIO10_1	I/O	通用输入输出
GPIO10_2	I/O	通用输入输出
GPIO10_3	I/O	通用输入输出

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

信号名	方向	说明
GPIO10_4	I/O	通用输入输出
GPIO10_5	I/O	通用输入输出
GPIO10_6	I/O	通用输入输出
GPIO9_5	I/O	通用输入输出
GPIO9_6	I/O	通用输入输出
GPIO9_7	I/O	通用输入输出
NF_DQ0	I/O	NANDFLASH 数据总线
NF_DQ1	I/O	NANDFLASH 数据总线
NF_DQ2	I/O	NANDFLASH 数据总线
NF_DQ3	I/O	NANDFLASH 数据总线
NF_DQ4	I/O	NANDFLASH 数据总线
NF_DQ5	I/O	NANDFLASH 数据总线
NF_DQ6	I/O	NANDFLASH 数据总线
NF_DQ7	I/O	NANDFLASH 数据总线
NF_RDY0	I	NandFlash 忙/空闲指示。1：空闲；0：忙
NF_RDY1	I	NandFlash 忙/空闲指示。1：空闲；0：忙

SFC

SFC 的软件复用管脚如表 2-61 所示。

表2-61 SFC 的软件复用管脚

Pin	Pad 信号	复用控制寄存器	复用信号 0	复用信号 1
AG3	SFC_DIO	muxctrl_reg103	SFC_DIO	GPIO13_6
AH2	SFC_WP_IO2	muxctrl_reg104	SFC_WP_IO2	GPIO10_7
AF3	SFC_DOI	muxctrl_reg105	SFC_DOI	GPIO13_7
AG2	SFC_HOLD_IO3	muxctrl_reg106	SFC_HOLD_IO3	GPIO14_4

SFC 的软件复用管脚如表 2-62 所示。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

表2-62 SFC 的软件复用管脚描述

信号名	方向	说明
GPIO10_7	I/O	通用输入输出
GPIO13_6	I/O	通用输入输出
GPIO13_7	I/O	通用输入输出
GPIO14_4	I/O	通用输入输出
SFC_DIO	I/O	在 Standard SPI 模式，为数据的输出信号； 在 Dual SPI 模式下，为数据的输入输出信号； 在 Quad SPI 模式下，为数据的输入输出信号。
SFC_DOI	I/O	在 Standard SPI 模式，为数据的输入信号； 在 Dual SPI 模式下，为数据的输入输出信号； 在 Quad SPI 模式下，为数据的输入输出信号。
SFC_HOLD_IO3	I/O	在 Standard SPI 模式，作为 hold 功能，低有效； 在 Dual SPI 模式下，作为 hold 功能，低有效； 在 Quad SPI 模式下，为数据的输入输出信号。
SFC_WP_IO2	I/O	在 Standard SPI 模式，作为 write protect 功能，低有效； 在 Dual SPI 模式下，作为 write protect 功能，低有效； 在 Quad SPI 模式下，为数据的输入输出信号。

USB

USB 的软件复用管脚如表 2-63 所示。

表2-63 USB 的软件复用管脚

Pin	Pad 信号	复用控制寄存器	复用信号 0	复用信号 1
A9	USB0_OVRCUR	muxctrl_reg107	GPIO14_0	USB0_OVRCUR
C10	USB0_PWREN	muxctrl_reg108	GPIO14_1	USB0_PWREN
B10	USB1_OVRCUR	muxctrl_reg109	GPIO14_2	USB1_OVRCUR
E11	USB1_PWREN	muxctrl_reg110	GPIO14_3	USB1_PWREN

USB 的软件复用管脚如表 2-64 所示。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

表2-64 USB 的软件复用管脚描述

信号名	方向	说明
GPIO14_0	I/O	通用输入输出
GPIO14_1	I/O	通用输入输出
GPIO14_2	I/O	通用输入输出
GPIO14_3	I/O	通用输入输出
USB0_OVRCUR	I	USB 端口 0 的端口过流指示信号,高低电平可配，默认为高电平有效
USB0_PWREN	O	USB 端口 0 电源控制输出管脚，高低电平可配，默认为低电平有效
USB1_OVRCUR	I	USB 端口 1 的端口过流指示信号,高低电平可配，默认为高电平有效
USB1_PWREN	O	USB 端口 1 电源控制输出管脚，高低电平可配，默认为低电平有效

GPIO

GPIO 的软件复用管脚如表 2-65 所示。

表2-65 GPIO 的软件复用管脚

Pin	Pad 信号	复用控制寄存器	复用信号 0	复用信号 1
M1	GPIO11_0	muxctrl_reg111	GPIO11_0	UART3_RXD
M2	GPIO11_1	muxctrl_reg112	GPIO11_1	UART3_TXD

GPIO 的软件复用管脚如表 2-66 所示。

表2-66 GPIO 的软件复用管脚描述

信号名	方向	说明
GPIO11_0	I/O	通用输入输出
GPIO11_1	I/O	通用输入输出
UART3_RXD	I	UART3 数据接收
UART3_TXD	O	UART3 数据发送

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

SATA

SATA 的软件复用管脚如表 2-67 所示。

表2-67 SATA 的软件复用管脚

Pin	Pad 信号	复用控制寄存器	复用信号 0	复用信号 1
T3	SATA_LED_N0	muxctrl_reg113	GPIO11_2	SATA_LED_N0
R2	SATA_LED_N1	muxctrl_reg114	GPIO11_3	SATA_LED_N1

SATA 的软件复用管脚如表 2-68 所示。

表2-68 SATA 的软件复用管脚描述

信号名	方向	说明
GPIO11_2	I/O	通用输入输出
GPIO11_3	I/O	通用输入输出
SATA_LED_N0	O	SATA0 端口 LED 指示，低有效
SATA_LED_N1	O	SATA1 端口 LED 指示，低有效

HDMI

HDMI 的软件复用管脚如表 2-69 所示。

表2-69 HDMI 的软件复用管脚

Pin	Pad 信号	复用控制寄存器	复用信号 0	复用信号 1
J27	HDMI_HOTPLUG	muxctrl_reg115	GPIO11_4	HDMI_HOTPLUG
G28	HDMI_CEC	muxctrl_reg116	GPIO11_5	HDMI_CEC
H27	HDMI_SDA	muxctrl_reg117	GPIO11_6	HDMI_SDA
H26	HDMI_SCL	muxctrl_reg118	GPIO11_7	HDMI_SCL

HDMI 的软件复用管脚如表 2-70 所示。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

表2-70 HDMI 的软件复用管脚描述

信号名	方向	说明
GPIO11_4	I/O	通用输入输出
GPIO11_5	I/O	通用输入输出
GPIO11_6	I/O	通用输入输出
GPIO11_7	I/O	通用输入输出
HDMI_CEC	I/O	HDMI 接口的控制通道信号
HDMI_HOTPLUG	I	HDMI 接口的热插拔信号
HDMI_SCL	I/O	HDMI 接口专用 I2C 总线时钟，OD 输出
HDMI_SDA	I/O	HDMI 接口专用 I2C 总线数据/地址，OD 输出

2.5 硬件复用管脚

VOU 管脚复用

VOU 管脚复用如表 2-71 所示。

表2-71 VOU 硬件管脚复用

Pin	Pad 信号	复用信号 1 (power_on == 1'b1)
E2	LCD_DV	NF_BOOT_PIN0

VOU 的硬件复用管脚如表 2-72 所示。

表2-72 与 VOU 复用的管脚描述

信号名	方向	说明
NF_BOOT_PIN0	I	NAND 器件类型设置，只在上电时有效。 NF_BOOT_PIN0/1/2/3/4 组合使用，用于设置对接 NAND 器件的 PAGE_SEIZE,ECC_TYPE,BLOCK_SIZE,ADDR_NUM 等参数。 具体对应的编码请参见 4.2.3.3 工作方式下的“NAND FLASH 类型编码方式”。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

SIO2 管脚复用

SIO2 管脚复用如表 2-73 所示。

表2-73 SIO2 硬件管脚复用

Pin	Pad 信号	复用信号 1(power_on == 1'b1)
E24	SIO2_DOUT	NF_BOOT_PIN1

SIO2 的硬件复用管脚如表 2-74 所示。

表2-74 与 SIO2 复用的管脚描述

信号名	方向	说明
NF_BOOT_PIN1	I	NAND 器件类型设置，只在上电时有效。参考 NF_BOOT_PIN0 的说明。

SPI 管脚复用

SPI 管脚复用如表 2-75 所示。

表2-75 SPI 硬件管脚复用

Pin	Pad 信号	复用信号 1(power_on == 1'b1)
AD27	SPI_CSN1	NF_BOOT_PIN2
AC24	SPI_CSN2	NF_BOOT_PIN3
AD26	SPI_CSN3	NF_BOOT_PIN4

SPI 的硬件复用管脚如表 2-76 所示。

表2-76 与 SPI 复用的管脚描述

信号名	方向	说明
NF_BOOT_PIN2	I	NAND 器件类型设置，只在上电时有效。参考 NF_BOOT_PIN0 的说明。
NF_BOOT_PIN3	I	NAND 器件类型设置，只在上电时有效。参考 NF_BOOT_PIN0 的说明。
NF_BOOT_PIN4	I	NAND 器件类型设置，只在上电时有效。参考

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

		NF_BOOT_PIN0 的说明。

MDIO 管脚复用

MDIO 管脚复用如表 2-77 所示。

表2-77 MDIO 硬件管脚复用

Pin	Pad 信号	复用信号 1(power_on == 1'b1)
B18	MDCK	JTAG_SEL0

MDIO 的硬件复用管脚如表 2-78 所示。

表2-78 与 MDIO 复用的管脚描述

信号名	方向	说明
JTAG_SEL0	I	JTAG 功能选择 {JTAG_SEL1,JTAG_SEL0}： 00：A9； 01：保留； 10：SATA； 11：保留。

NFC 管脚复用

NFC 管脚复用如表 2-79 所示。

表2-79 NFC 硬件管脚复用

Pin	Pad 信号	复用信号 1(power_on == 1'b1)
AA6	NF_REN	JTAG_SEL1
AA5	NF_CLE	BOOT_SEL0
Y6	NF_ALE	BOOT_SEL1
Y5	NF_WEN	BOOTROM_SEL

NFC 的硬件复用管脚如表 2-80 所示。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

表2-80 与 NFC 复用的管脚描述

信号名	方向	说明
JTAG_SEL1	I	JTAG 功能选择 {JTAG_SEL1,JTAG_SEL0}： 00：A9； 01：保留； 10：SATA； 11：保留。
BOOT_SEL0	I	启动模式选择信号，BOOT_SEL0 和 BOOT_SEL1 组合使用，用于选择启动模式： {BOOT_SEL1,BOOT_SEL0}: 00：SPI FLASH 存储空间 01：保留 10：NAND FLASH 存储空间 11：保留
BOOT_SEL1	I	启动模式选择信号，参看 BOOT_SEL0 的说明
BOOTROM_SEL	I	BOOTROM 启动。为 1 时选择从 BOOTROM 启动；如果从 BOOTROM 启动时发现串口通讯不成功，超时等待后根据 BOOT_SEL1/0 将程序入口指向相应的空间

2.6 电性能参数

2.6.1 功耗参数

Hi3521 的功耗参数如表 2-81 所示。

注意

- 功耗参数基于芯片典型工作场景
- 单板电源设计必须参照硬件设计指南

表2-81 功耗参数

符号	参数	典型值	最大值	单位
内核电源	内核电源	2500	3900	mA

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

符号	参数	典型值	最大值	单位
3.3V 电源	接口电源	300	350	mA
2.5V 电源	接口电源	30	50	mA
DVDD1518 电源	DDR 接口电源	400	460	mA

Hi3520A 的功耗参数如表 2-82 所示。

表2-82 功耗参数

符号	参数	典型值	最大值	单位
内核电源	内核电源	2000	2900	mA
3.3V 电源	接口电源	300	350	mA
2.5V 电源	接口电源	30	50	mA
DVDD1518 电源	DDR 接口电源	370	400	mA

2.6.2 温度和热阻参数

温度和热阻参数如表 2-83 所示。

说明

- 热阻基于 JEDEC JESD51-2 标准给出，应用时的系统设计及环境可能与 JEDEC JESD51-2 标准不同，需要根据应用条件作出分析。
- 芯片结温和芯片功耗成正比关系，需要考虑将芯片结温控制在合理范围内，以匹配供电电源规格。
- 散热设计请参考硬件设计指南

表2-83 温度和热阻参数

参数	符号	最小值	典型值	最大值	单位
环境温度	T_A	0	-	70	℃
极限结温	T_{JMAX}	–20	-	105	℃
Junction-to-ambient thermal resistance	θ_{JA}	-	17.8	-	℃/W
Junction-to-board thermal resistance	θ_{JB}	-	4.1	-	℃/W
Junction-to-case thermal resistance	θ_{JC}	-	0.37	-	℃/W

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

2.6.3 工作条件

Hi3521 的工作条件如表 2-84 所示。

表2-84 工作条件

管脚名	描述	Min	Typ	Max
DVDD10	内核电源	0.95V	1.0V	1.05V
DVDD33	I/O 电源	3.0V	3.3V	3.6V
DVDD1518	DDR2 I/O 电源	1.7V	1.8V	1.9V
	DDR 3 I/O 电源	1.425V	1.5V	1.575V
	DDR3L I/O 电源	1.2825V	1.35V	1.4175V
DDR_REF	DDR2 参考电压	0.49 x DVDD1518	0.5 x DVDD1518	0.51 x DVDD1518
	DDR3 参考电压	0.49 x DVDD1518	0.5 x DVDD1518	0.51 x DVDD1518
DVDD10_USB	USB 数字电源	-7%	1.0V	+10%
AVDD33_USB	USB 模拟电源	-7%	3.3V	+10%
VDD10_PLL1	PLL1 数字电源	-10%	1.0V	+10%
AVDD33_PLL1	PLL1 模拟电源	-10%	3.3V	+10%
VDDREF10_PLL234	PLL234 数字电源	-10%	1.0V	+10%
VDD10_PLL234	PLL234 数字电源	-10%	1.0V	+10%
AVDD33_PLL234	PLL234 模拟电源	-10%	3.3V	+10%
SATA_VP10	SATA 1.0V 电源	-10%	1.0V	+10%
SATA_VP25	SATA 2.5V 电源	-10%	2.5V	+10%
VDD25_EFUSE	EFUSE 2.5V 电源	-10%	2.5V	+10%
AVCC10_HDMI	HDMI 1.0V 模拟电源	-5%	1.0V	+5%
DVDD2533	ETH IO 数字电源	-10%	3.3/2.5V	+10%
AVDD33_VDAC0	VDAC0 模拟电源	-10%	3.3V	+10%
AVDD33_VDAC1	VDAC1 模拟电源	-10%	3.3V	+10%

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

2.6.4 上下电顺序

为避免 IO 在上电过程中产生大电流，推荐先上 DVDD33，后上 DVDD10。对下电顺序没有要求。

2.6.5 DC/AC 电气参数

Hi3521 DC 电气参数如表 2-85 所示。

表2-85 DC 电气参数表（DVDD33＝3.3V，5V 输入兼容，部分接口不支持 5V 输入兼容）

符号	参数	最小值	典型值	最大值	单位	说明
DVDD33	接口电压	3.0	3.3	3.6	V	-
V_{IH}	高电平输入电压	2.0	-	5.5	V	兼容 5V 输入，部分接口不支持 5V 输入，最大输入要求不高于 DVDD33+0.3V，这些信号有 ETH 所有信号，VOU1120_CLK
V_{IL}	低电平输入电压	–0.3	-	0.8	V	-
I_L	输入漏电流	-	-	±10	μA	-
I_{OZ}	三态输出漏电流	-	-	±10	μA	-
V_{OH}	高电平输出电压	2.4	-	-	V	-
V_{OL}	低电平输出电压	-	-	0.4	V	-
R_{PU}	内部上拉电阻	27	38	59	kΩ	-
R_{PD}	内部下拉电阻	31	46	80	kΩ	-

DDR2 模式下，DC 电气参数如表 2-86 所示。

表2-86 DC 电气参数表（DVDD1518 =1.8V，DDR2 SSTL18 模式）

符号	参数	最小值	典型值	最大值	单位	说明
DVDD1518	接口电压	1.7	1.8	1.9	V	-
Vref	参考电压	833	900	969	mV	（0.49~0.51）DVDD1518
VTT	端接电压	Vref-40	Vref	Vref+40	mV	-
$V_{IH(DC)}$	高电平输入电压	Vref+0.125	-	DVDD1518+0.3	V	-
$V_{IL(DC)}$	低电平输入电压	–0.3	-	Vref-0.125	V	-
I_{OH}	高电平输出电流	8.1	-	-	mA	-

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

符号	参数	最小值	典型值	最大值	单位	说明
I_{OL}	低电平输出电流	|–8.1|	-	-	mA	-
V_{OH}	高电平输出	DVDD1518 –0.28	-	DVDD1518(1+10%)	V	-
V_{OL}	低电平输出	0	-	0.28	V	I_{OH}=13.4mA

DDR2 模式下，AC 电气参数如表 2-87 所示。

表2-87 AC 电气参数表（DVDD1518 =1.8V，DDR2 模式）

符号	参数	400～533 Mbps		667～800 Mbps		单位	说明
		最小值	最大值	最小值	最大值		
$V_{IH(AC)}$	AC 高电平输入电压	Vref + 0.25	-	Vref+0.2	-	V	-
$V_{IL(AC)}$	AC 低电平输入电压	-	Vref–0.25	-	Vref–0.2	V	-

DDR3 模式下，DC 电气参数如表 2-88 所示。

表2-88 DC 电气参数表（DVDD1518 =1.5V，DDR3 模式）

符号	参数	最小值	典型值	最大值	单位	说明
DVDD1518	接口电压	1.425	1.5	1.575	V	-
Vref	参考电压	698	750	803	mV	（0.49~0.51）xDVDD1518
VTT	端接电压	698	750	803	mV	-
$V_{IH(DC)}$	高电平输入电压	Vref+0.1	-	DVDD1518+0.3	V	-
$V_{IL(DC)}$	低电平输入电压	–0.3	-	Vref–0.1	V	-
V_{OH}	高电平输出电压	0.8xDVDD1518	-	(1+0.1) xDVDD1518	V	-
V_{OL}	低电平输出电压	0	-	0.2xDVDD1518	V	-
I_{OH}	高电平输出电流	|8|	-	-	mA	
I_{OL}	低电平输出电流	|–8|	-	-	mA	

DDR3 模式下，AC 电气参数如表 2-89 所示。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

表2-89 AC 电气参数表（DVDD1518 =1.5V，DDR3 模式）

符号	参数	最小值	最大值	单位	说明
$V_{IH(AC)}$	高电平输入电压	Vref + 0.175	DVDD1518+0.3	V	-
$V_{IL(AC)}$	低电平输入电压	-	Vref–0.175	V	-
V_{OH}	高电平输出电压	VTT+0.1xDVDD1518	-	V	-
V_{OL}	低电平输出电压	-	VTT–0.1xDVDD1518	V	-

2.7 PCB 设计建议

PCB 设计的详细内容请参见《Hi3521 硬件设计 用户指南》。

2.8 接口时序

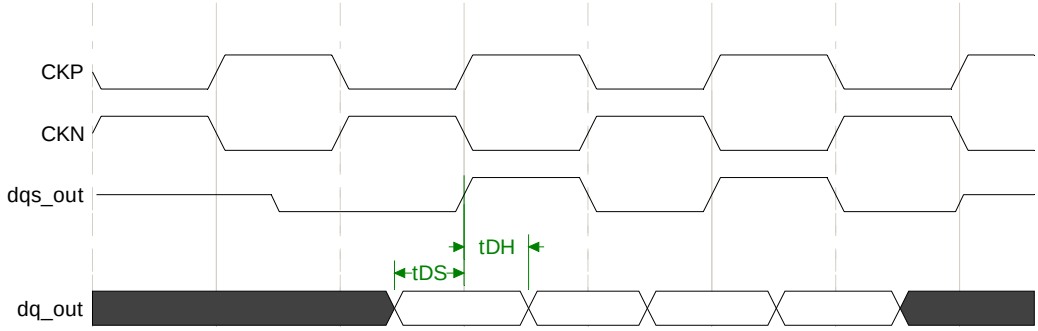
2.8.1 DDR 接口时序

2.8.1.1 写操作时序

dqs_out 相对于 dq_out 的写操作时序

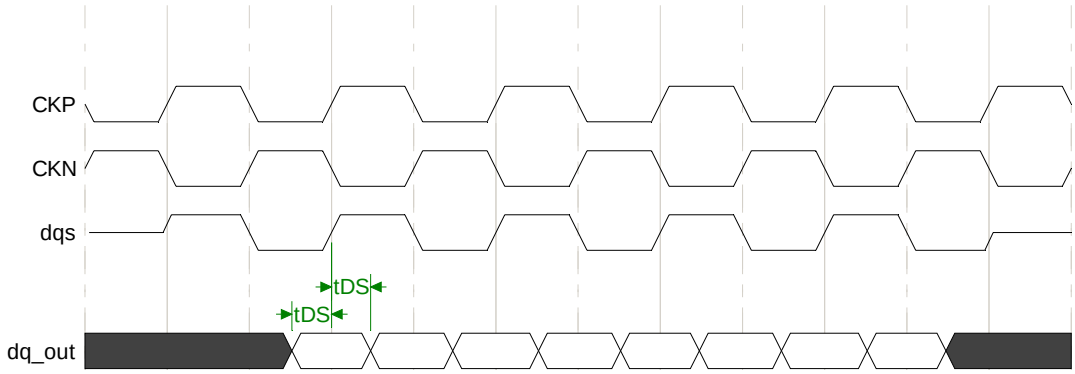
dqs_out 相对于 dq_out 的写操作时序的主要时序参数是 tDS 和 tDH。在 DDR2-800 中，tDS 和 tDH 分别为 0.05ns 和 0.125ns。

图2-9 DDR2 中 dqs_out 相对于 dq_out 的写操作时序图



海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

图2-10 DDR3 中 dqs_out 相对于 dq_out 的写操作时序图



dqs_out 相对于 ck 的写操作时序

dqs_out 相对于 ck 的写操作时序。DDR2、DDR3 的时序如图 2-11 和图 2-12 所示。

图2-11 DDR2 中 dqs_out 相对于 ck 的写操作时序图

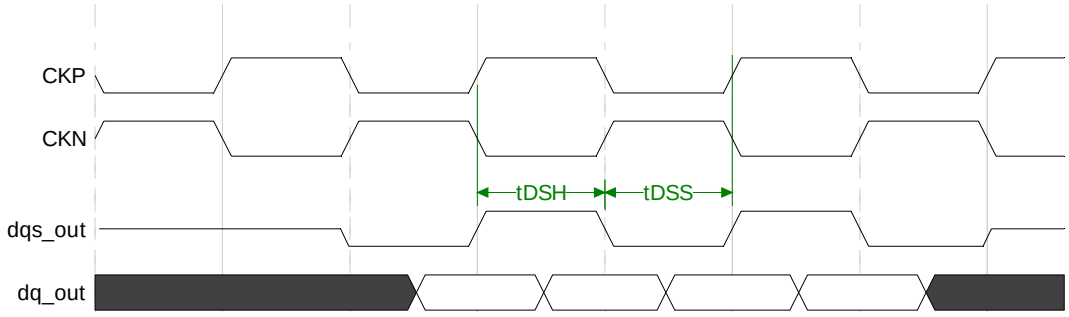
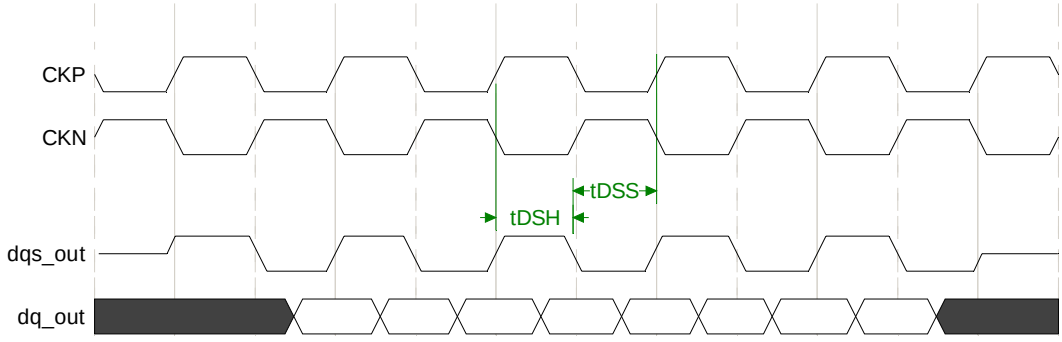


图2-12 DDR3 中 dqs_out 相对于 ck 的写操作时序图

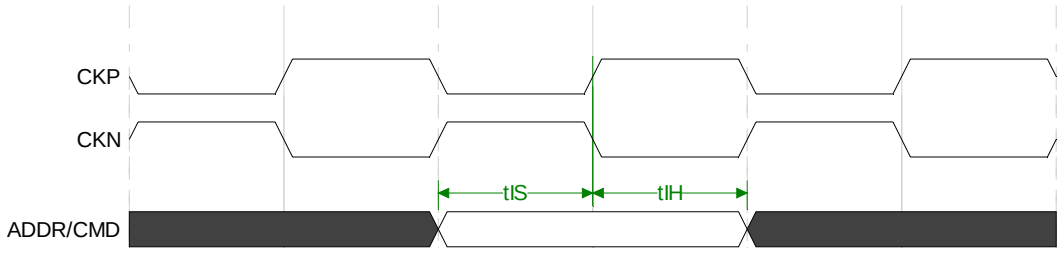


命令和地址相对于 ck 的写操作时序

命令和地址相对于 ck 的写操作时序如图 2-13 所示。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

图2-13 命令和地址相对于 ck 的写操作时序图



2.8.1.2 读操作时序

命令和地址相对于 ck 的读操作时序

“命令和地址相对于 ck 的读操作时序”与“命令和地址相对于 ck 的写操作时序”相同。

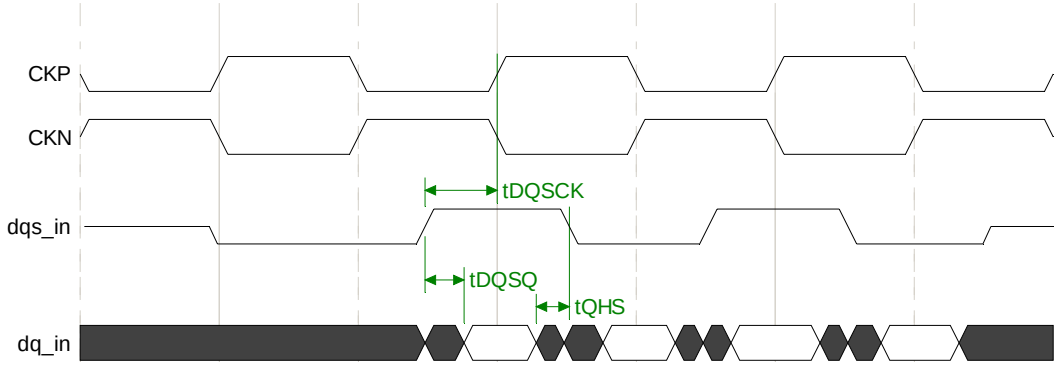
dqs_in 相对于 dq_in 的读操作时序

dqs_in 相对于 dq_in 的读操作时序分为 DDRn SDRAM 输出时序和 DDRPHY 端 dqs_in 和 dq_in 时序。

对于 DDR SDRAM 输出时序，理想情况下，DQS 和 ck 是同相位的，实际情况下，DQS 相对于 CK 有 tDQSCK 的偏斜。tDQSCK 为 0.35ns。tDQSQ 是 dq 和 dqs 之间的抖动，是最晚有效的 dq 相对于 dqs 的抖动，该值为 0.2ns，tQHS 是最早有效的 dq 相对于 dqs 的抖动，其值为 0.3ns。

DDRn SDRAM 输出时序如图 2-14 所示。

图2-14 DDRn SDRAM 输出时序图



2.8.1.3 时序参数

DDR 接口时序满足 JEDEC（JESD79-2E 和 JESD79-3B）标准协议，本文中描述的时序都是 DDR PHY 侧输出的时序。

对于 Hi3521，以 DDR2-800 和 DDR3-1066 的时序参数为依据。

DDR2-800 SDRAM 时钟参数如表 2-90 和表 2-91 所示。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

DDR3-1066 SDRAM 时钟参数如表 2-92 和表 2-93 所示。

表2-90 DDR2 时钟参数表

参数	典型值	单位
存储器时钟频率	400.00	MHz
锁相环抖动	0.200	ns
锁相环占空比	48.000	%
时钟偏斜	0.100	ns

DDR2 SDRAM 存储器参数如表 2-91 所示。

表2-91 DDR2 SDRAM 存储器参数表（DDR2-800）

参数	符号	典型值	单位
DQS 下降沿相对 DDR 时钟的建立时间	tDSS	0.2	tCK
DQS 下降沿相对 DDR 时钟的保持时间	tDSH	0.2	tCK
DQ/DM 相对于 DQS 的建立时间	tDS	0.050	ns
DQ/DM 相对于 DQS 的保持时间	tDH	0.125	ns
DQS 与 DQ 的偏斜	tDQSQ	0.200	ns
数据保持的偏斜	tQHS	0.300	ns
地址和命令相对 DDR 时钟的建立时间	tIS	0.175	ns
地址和命令相对 DDR 时钟的保持时间	tIH	0.250	ns
DQS 输出时相对 DDR 时钟的偏斜	tDQSCK	0.350	ns

注：部分时序参数可参见后面的时序图。

表2-92 DDR3 时钟参数表

参数	典型值	单位
存储器时钟频率	620.00	MHz
锁相环抖动	0.200	ns
锁相环占空比	47.000	%
时钟偏斜	0.100	ns

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

表2-93 DDR3 SDRAM 存储器参数表（DDR3-1066）

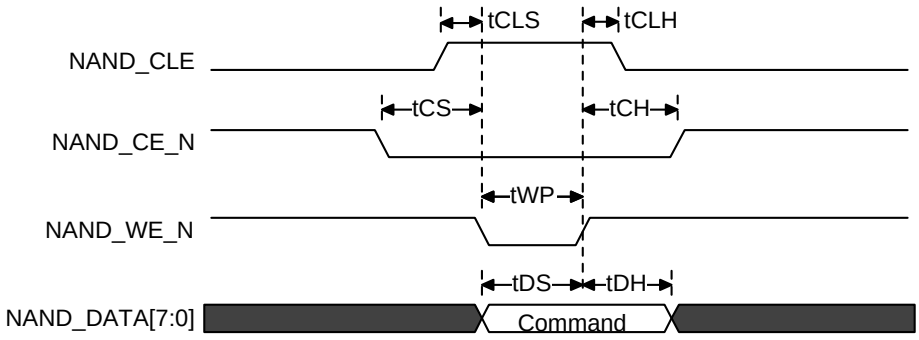
参数	符号	典型值	单位
DQS 下降沿相对 DDR 时钟的建立时间	tDSS	0.2	tCK
DQS 下降沿相对 DDR 时钟的保持时间	tDSH	0.2	tCK
DQ/DM 相对于 DQS 的建立时间	tDS	0.025	ns
DQ/DM 相对于 DQS 的保持时间	tDH	0.100	ns
DQS 与 DQ 的偏斜	tDQSQ	0.150	ns
地址和命令相对 DDR 时钟的建立时间	tIS	0.125	ns
地址和命令相对 DDR 时钟的保持时间	tIH	0.200	ns
DQS 输出时相对 DDR 时钟的偏斜	tDQSCK	0.300	ns

2.8.2 NANDC 接口时序

2.8.2.1 命令周期时序

NANDC 命令周期时序如图 2-15 所示。

图2-15 NANDC 命令周期时序图



说明

NAND_WE_N 和 NAND_RE_N 的高电平宽度和低电平宽度是可以通过 NAND Flash 控制器的 NF_PULSE_WIDTH 寄存器设置的，因此，NANDC 接口时序图中的部分参数会随着该寄存器的设置不同而改变。在本节的参数表中，统一以“可以配置”表示。

NANDC 命令周期时序参数如表 2-94 所示。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

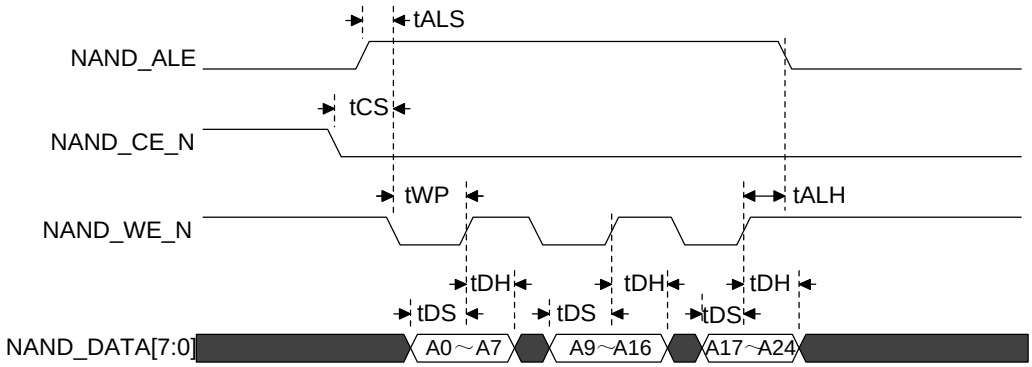
表2-94 NANDC 命令周期时序参数表

参数	符号	最小值	最大值	单位	说明
NAND_CLE 建立时间	tCLS	0	-	ns	-
NAND_CLE 保持时间	tCLH	10	-	ns	可以配置
NAND_CE_N 建立时间	tCS	0	-	ns	-
NAND_CE_N 保持时间	tCH	10	-	ns	可以配置
NAND_WE_N 脉冲宽度	tWP	15	-	ns	可以配置
数据建立时间	tDS	10	-	ns	可以配置
数据保持时间	tDH	10	-	ns	可以配置

2.8.2.2 地址周期时序

NANDC 地址周期时序如图 2-16 所示。

图2-16 NANDC 地址周期时序图



NANDC 地址周期时序参数如表 2-95 所示。

表2-95 NANDC 地址周期时序参数表

参数	符号	最小值	最大值	单位	说明
NAND_CE_N 建立时间	tCS	0	-	ns	-
NAND_WE_N 脉冲宽度	tWP	15	-	ns	可以配置
NAND_ALE 建立时间	tALS	0	-	ns	-
NAND_ALE 保持时间	tALH	10	-	ns	可以配置
数据建立时间	tDS	10	-	ns	可以配置

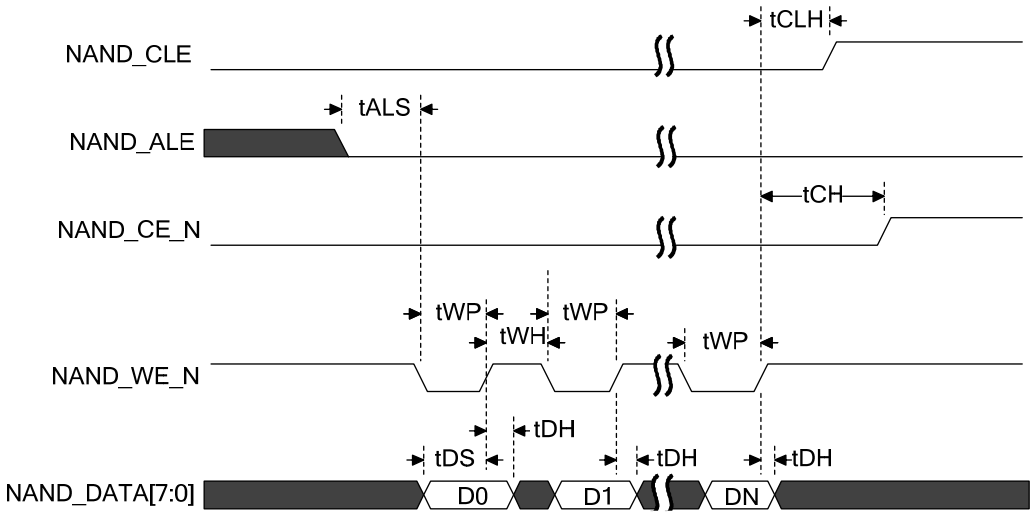
海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

参数	符号	最小值	最大值	单位	说明
数据保持时间	tDH	10	-	ns	可以配置

2.8.2.3 写数据时序

NANDC 写数据时序如图 2-17 所示。

图2-17 NANDC 写数据时序图



NANDC 写数据时序参数如表 2-96 所示。

表2-96 NANDC 写数据时序参数表

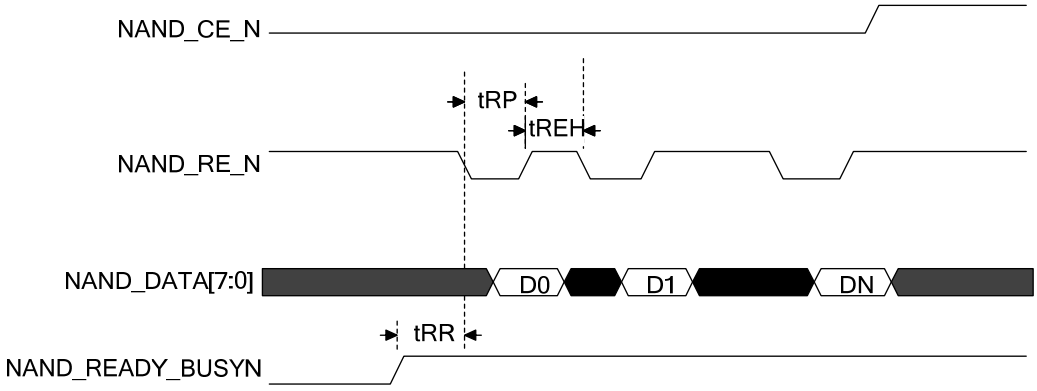
参数	符号	最小值	最大值	单位	说明
NAND_CLE 保持时间	tCLH	10	-	ns	可以配置
NAND_CE_N 保持时间	tCH	10	-	ns	可以配置
NAND_WE_N 脉冲宽度	tWP	15	-	ns	可以配置
NAND_ALE 建立时间	tALS	0	-	ns	可以配置
数据建立时间	tDS	10	-	ns	可以配置
数据保持时间	tDH	10	-	ns	可以配置
NAND_WE_N 高电平保持时间	tWH	15	-	ns	可以配置

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

2.8.2.4 读数据时序

NANDC 读数据时序如图 2-18 所示。

图2-18 NANDC 读数据时序图



NANDC 读数据时序参数如表 2-97 所示。

表2-97 NANDC 读数据时序参数表

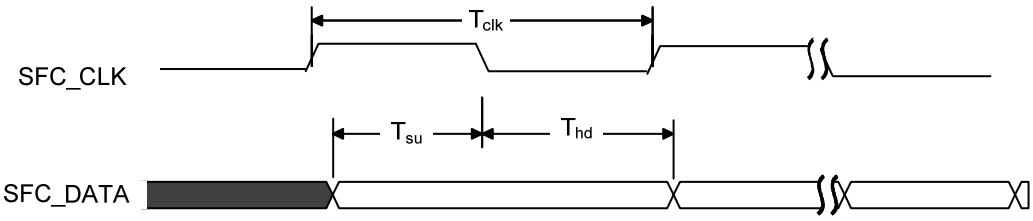
参数	符号	最小值	最大值	单位	说明
NAND_RE_N 变低等待时间	tRR	15	-	ns	可以配置
NAND_RE_N 脉冲宽度	tRP	15	-	ns	可以配置
NAND_RE_N 高电平宽度	tREH	15	-	ns	可以配置

注：tRR 延时是可以配置的。

2.8.3 SFC 接口时序

SFC 输入方向时序如图 2-19 所示。

图2-19 SFC 输入方向时序图



SFC 输入方向时序参数如表 2-98 所示。

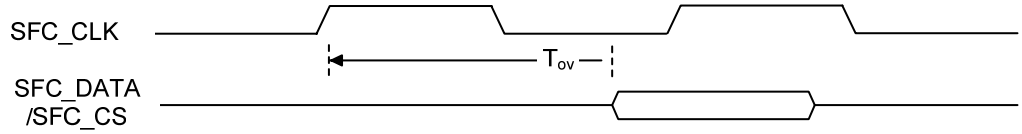
海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

表2-98 SFC 输入方向时序参数表

参数	符号	最小值	典型值	最大值	单位
SFC_CLK 时钟周期	T_{clk}	16	-	83.2	ns
输入信号建立时间要求	T_{su}	8	-	-	ns
输入信号保持时间要求	T_{hd}	1.2	-	-	ns

SFC 输出方向时序如图 2-20 所示。

图2-20 SFC 输出方向时序图



SFC 输出方向时序参数如表 2-99 所示。

表2-99 SFC 输出方向时序参数表

参数	符号	最小值	典型值	最大值	单位
SFCCLK 时钟周期	T	16	-	83.2	ns
输出数据信号延时	T_{ov}	-5	-	3.0	ns
输出片选信号延时	T_{ov}	-5	-	3.0	ns

2.8.4 Ethernet MAC 接口时序

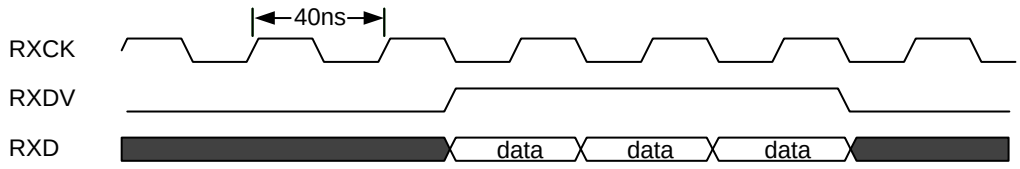
2.8.4.1 MII 接口时序

芯片提供标准的 MII 接口，连接 PHY（Physical Layer Etity Sublayer）芯片，符合 MII 接口时序标准。

MII 接口 100Mbit/s 接收时序如图 2-21 所示。

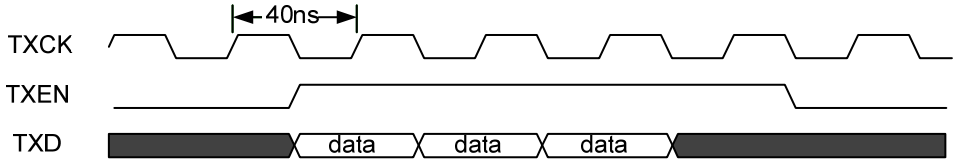
海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

图2-21 MII 接口 100Mbit/s 接收时序



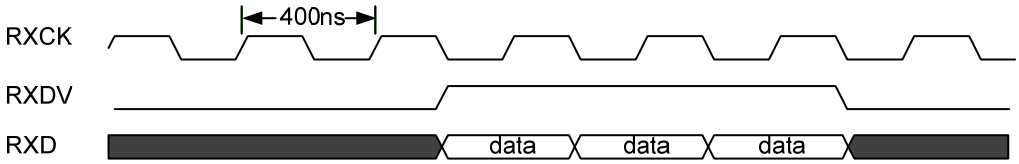
MII 接口 100Mbit/s 发送时序如图 2-22 所示。

图2-22 MII 接口 100Mbit/s 发送时序



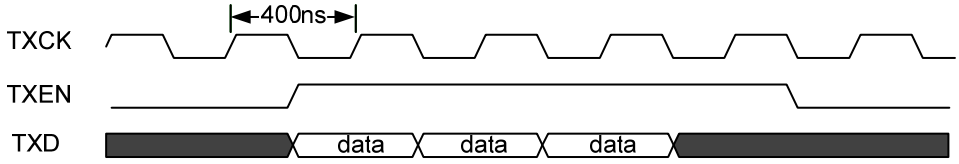
MII 接口 10Mbit/s 接收时序如图 2-23 所示。

图2-23 MII 接口 10Mbit/s 接收时序



MII 接口 10Mbit/s 发送时序如图 2-24 所示。

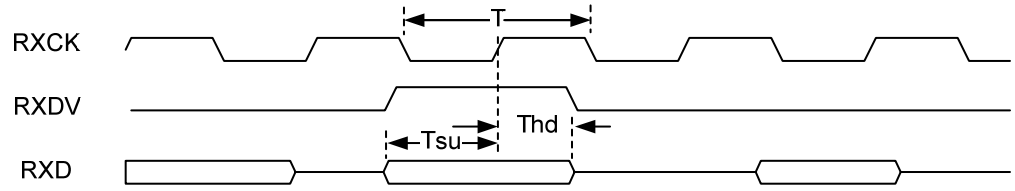
图2-24 MII 接口 10Mbit/s 发送时序



MII 接口接收时序参数如图 2-25 所示。

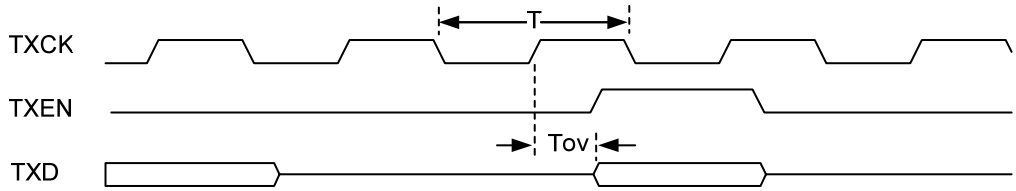
海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

图2-25 MII 接口接收时序参数



MII 接口发送时序参数如图 2-26 所示。

图2-26 MII 接口发送时序参数



MII 接口时序参数说明如表 2-100 所示。

表2-100 MII 接口时序参数说明

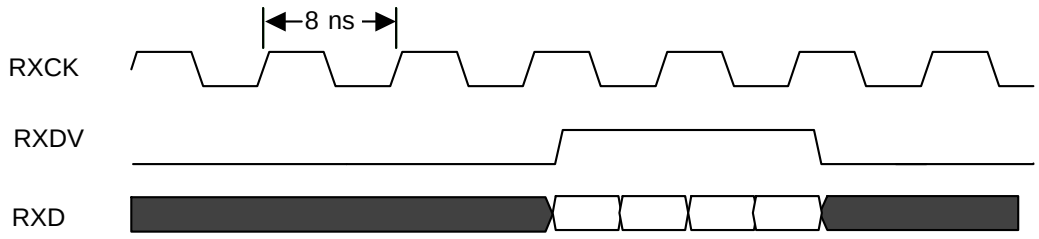
参数	符号	信号	最小值	最大值	单位
MII 时钟周期	T	ETH_RXCK、ETH_TXCK	400(10Mbit/s)	400	ns
			40(100Mbit/s)	40	ns
MII 信号建立时间	Tsu（RX）	ETH_RXER、ETH_RXDV、ETH_RXD[3:0]	10	-	ns
MII 信号保持时间	Thd（RX）	ETH_RXER、ETH_RXDV、ETH_RXD[3:0]	10	-	ns
MII 输出信号延时	Tov（TX）	ETH_TXD[3:0]、ETH_TXEN	0	25	ns

2.8.4.2 RGMII 接口时序

RGMII 接口 1000Mbit/s 接收时序如图 2-21 所示。

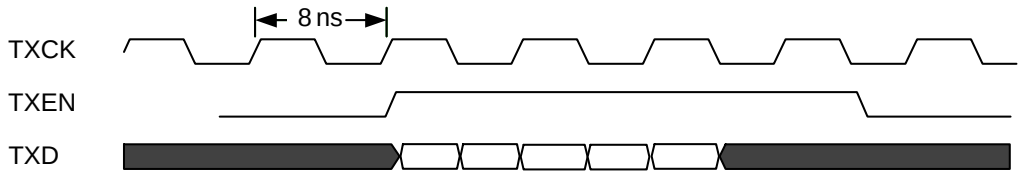
海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

图2-27 RGMII 接口 1000Mbit/s 接收时序



RGMII 接口 1000Mbit/s 发送时序如图 2-22 所示。

图2-28 RGMII 接口 1000Mbit/s 发送时序



RGMII 接口时序参数说明如表 2-101 所示。

表2-101 RGMII 接口时序参数说明

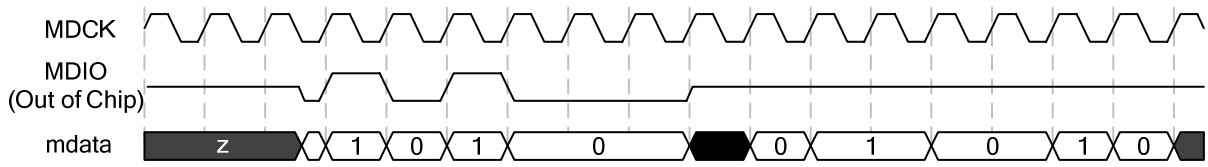
参数	符号	信号	最小值	最大值	单位
RGMII 时钟周期	T	RXCK、TXCK	8	8	ns
RGMII 信号建立时间	Tsu（RX）	RXER、RXDV、RXD[3:0]	1	-	ns
RGMII 信号保持时间	Thd（RX）	RXER、RXDV、RXD[3:0]	1	-	ns
RGMII 输出信号延时	Tov（TX）	TXD[3:0]、TXEN	-0.5	0.5	ns

2.8.4.3 MDIO 接口时序

MDIO 接口读时序如图 2-29 所示。

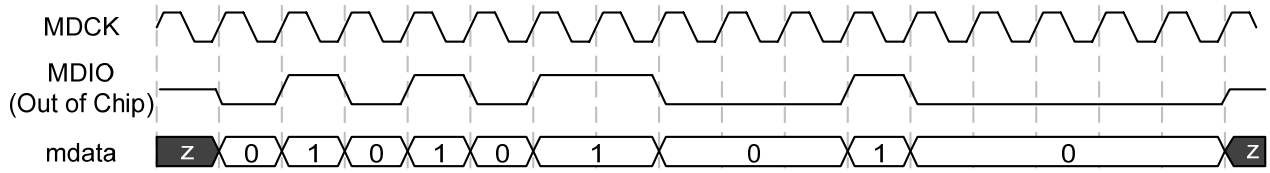
海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

图2-29 MDIO 接口读时序



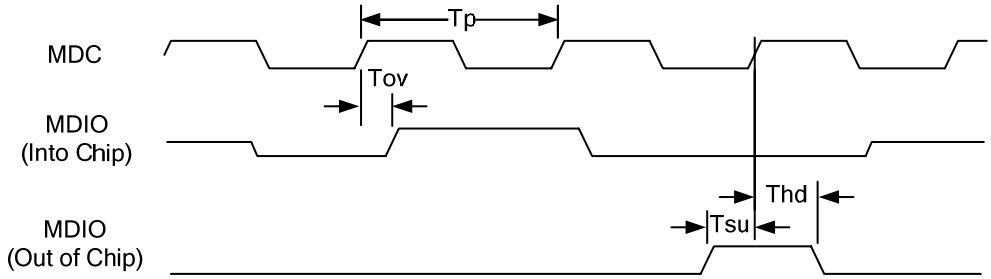
MDIO 接口写时序如图 2-30 所示。

图2-30 MDIO 接口写时序



MDIO 接口时序参数如图 2-31 所示。

图2-31 MDIO 接口接收时序参数



MDIO 接口时序参数说明如表 2-102 所示。

表2-102 MDIO 接口时序参数

参数	符号	信号	最小值	最大值	单位
MDIO 接收数据延迟时间	Tov	MDIO	0	300	ns
MDIO 时钟周期	Tp	MDCK	400	1240	ns
MDIO 发送数据建立时间	Tsu	MDIO	10	-	ns
MDIO 发送数据保持时间	Thd	MDIO	10	-	ns

注：MDC 时钟周期 Tp 可通过调整 MDC 频率（MDIO_RWCTRL[frq_dv]）进行改变，选择 Ethernet 工作时钟的 102 分频、62 分频或者其他分频。Tov 与 MDC 时钟周期 Tp 相关，约为 Tmdc/2。

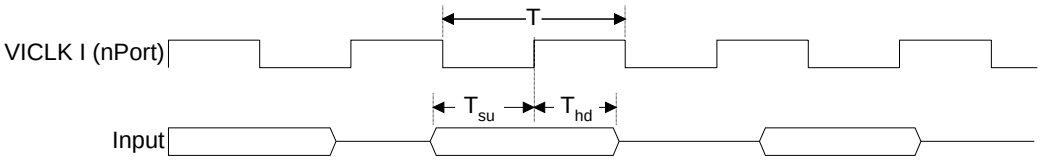
海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

2.8.5 VI 接口时序

外部提供 VI 时钟。当 VI 工作于从模式时，全部为输入接口。

VI 接口时序如图 2-32 所示。

图2-32 VI 接口时序图



VI 接口时序参数如表 2-103 所示。

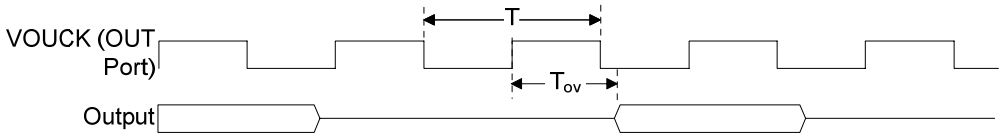
表2-103 VI 接口时序参数表

参数	符号	最小值	典型值	最大值	单位
VICLK 时钟周期	T	6.74	-	-	ns
输入信号建立时间要求	T_{su}	1.5	-	-	ns
输入信号保持时间要求	T_{hd}	1.0	-	-	ns

2.8.6 VO 接口时序

VO 接口时序如图 2-33 所示。

图2-33 VO 接口时序



VO 接口时序参数如表 2-104 所示。

表2-104 VO 接口时序参数表

参数	符号	最小值	典型值	最大值	单位
工作频率一					
VO1CLK 时钟周期	T	-	37	-	ns
输出信号延时	T_{ov}	17	-	22	ns

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

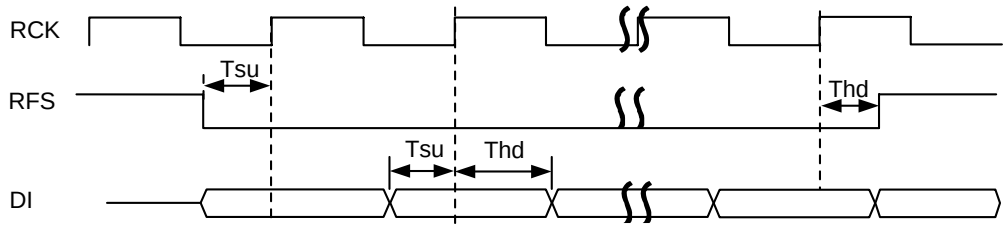
参数	符号	最小值	典型值	最大值	单位
工作频率二					
VO0CLK 时钟周期	T	-	6.74	-	ns
输出信号延时	T_{ov}	2.5	-	4.8	ns

2.8.7 SIO 接口时序

2.8.7.1 I²S 模式接口时序

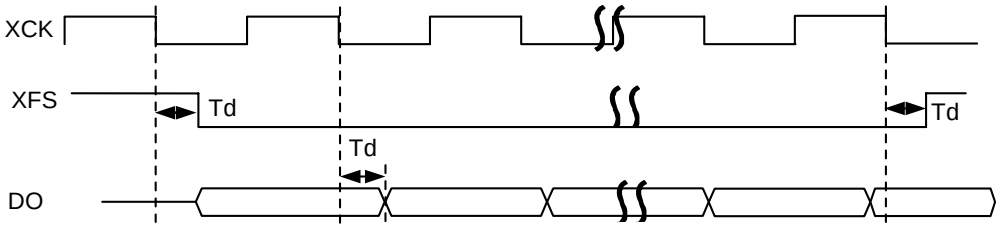
I²S 接口接收时序如图 2-34 所示。

图2-34 I²S 接口接收时序图



I²S 接口发送时序如图 2-35 所示。

图2-35 I²S 接口发送时序图



I²S 接口时序参数如表 2-105 所示。

表2-105 I²S 接口时序参数表

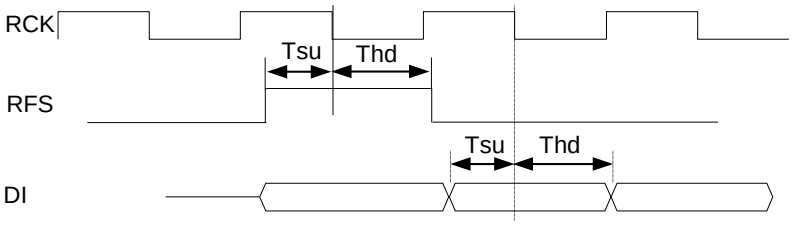
参数	符号	最小值	典型值	最大值	单位
输入信号建立时间	T_{su}	10	-	-	ns
输入信号保持时间	T_{hd}	10	-	-	ns
输出信号延时	T_d	0	-	8	ns

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

2.8.7.2 PCM 模式接口时序

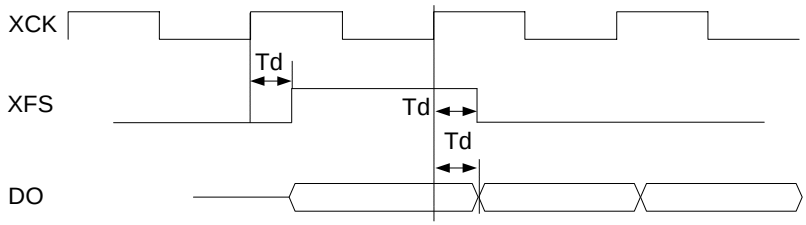
PCM 接口接收时序如图 2-36 所示。

图2-36 PCM 接口接收时序图



PCM 接口发送时序如图 2-37 所示。

图2-37 PCM 接口发送时序图



PCM 接口时序参数如表 2-106 所示。

表2-106 PCM 接口时序参数表

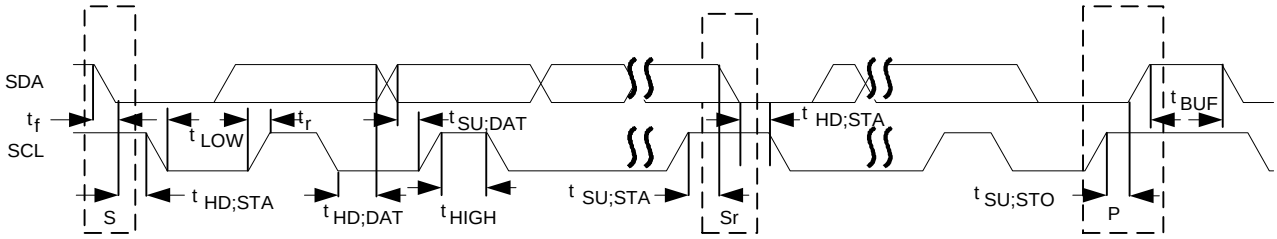
参数	符号	最小值	典型值	最大值	单位
输入信号建立时间	T_{su}	10	-	-	ns
输入信号保持时间	T_{hd}	10	-	-	ns
输出信号延时	T_d	0	-	8	ns

2.8.8 I²C 时序

I²C 传输时序如图 2-38 所示。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

图2-38 I²C 传输时序图



I²C 接口时序参数如表 2-107 所示。

表2-107 I²C 接口时序参数表

参数	符号	标准模式		快速模式		单位
		最小值	最大值	最小值	最大值	
SCL 时钟频率	f_{SCL}	0	100	0	400	kHz
启动保持时间	$t_{HD;STA}$	4.0	-	0.6	-	μs
SCL 低电平周期	t_{LOW}	4.7	-	1.3	-	μs
SCL 高电平周期	t_{HIGH}	4.0	-	0.6	-	μs
启动建立时间	$t_{SU;STA}$	4.7	-	0.6	-	μs
数据保持时间	$t_{HD;DAT}$	0	3.45	0	0.9	μs
数据建立时间	$t_{SU;DAT}$	250	-	100	-	ns
SDA、SCL 上升时间	t_r	-	1000	$20+0.1C_b$	300	ns
SDA、SCL 下降时间	t_f	-	300	$20+0.1C_b$	300	ns
结束建立时间	$t_{SU;STO}$	4.0	-	0.6	-	μs
开始与结束之间的总线释放时间	t_{BUF}	4.7	-	1.3	-	μs
总线负载	C_b	-	400	-	400	pF
低电平噪声容限	V_{nL}	$0.1V_{DD}$	-	$0.1V_{DD}$	-	V
高电平噪声容限	V_{nH}	$0.2V_{DD}$	-	$0.2V_{DD}$	-	V

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

2.8.9 SPI 接口时序

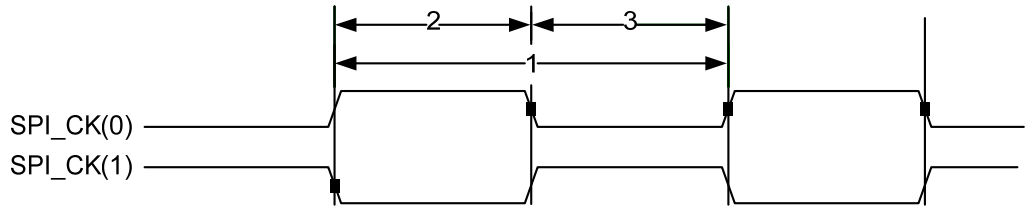
说明

图 2-39～图 2-41 中，以下缩略语或字母意义不变：

- MSB:Most Significant Bit
- LSB:Least Significant Bit
- SPI_CK(0):spo=0
- SPI_CK(1):spo=1

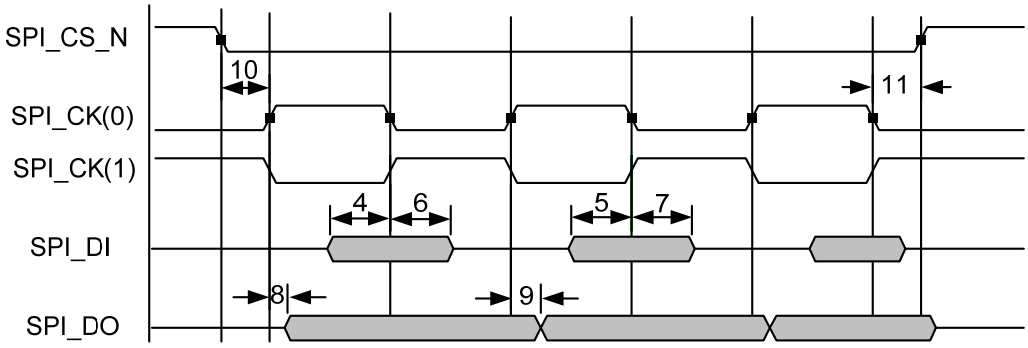
SPI 接口时钟时序如图 2-39 所示。

图2-39 SPICK 时序



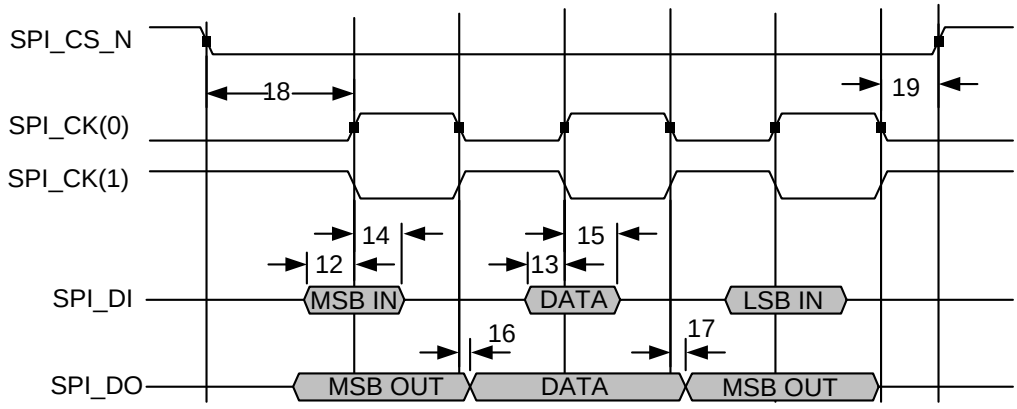
SPI 主模式下接口时序分别如图 2-40 和图 2-41 所示。

图2-40 SPI 主模式下接口时序（sph=0）



海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

图2-41 SPI 主模式下接口时序（sph=1）



SPI 接口时序参数如表 2-108 所示。

表2-108 SPI 接口时序参数

No	参数	符号	最小值	典型值	最大值	单位
1	Cycle time, SPI_CK	tc	-	-	-	ns
2	Pulse duration, SPI_CK high (All Master Modes)	tw1	-	-	-	ns
3	Pulse duration. SPI_CK low (All Master Modes)	tw2	-	-	-	ns
4	Setup time, SPI_DI (input) valid before SPI_CK (output) falling edge	tsu1	-	-	-	ns
5	Setup time, SPI_DI (in put) valid before SPICK (output) rising edge	tsu2	-	-	-	ns
6	Hold time, SPI_DI (input) valid after SPI_CK (output) falling edge	th1	-	-	-	ns
7	Hold time, SPI_DI (input) valid after SPI_CK (output) rising edge	th2	-	-	-	ns
8	Delay time, SPI_CK (output) rising edge to SPI_DO (output) transition	td1	-	-	-	ns
9	Delay time, SPI_CK (output) falling edge to SPI_DO (output) transition	td2	-	-	-	ns
10	Delay time, SPI_CS_N (output) falling edge to first SPI_CK (output) rising or falling edge	td3	-	-	-	ns

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

No	参数	符号	最小值	典型值	最大值	单位
11	Delay time, SPI_CK (output) rising or falling edge to SPI_CS_N (output) rising edge	td4	-	-	-	ns
12	Setup time, SPI_DI (input) valid before SPI_CK (output) rising edge	tsu3	-	-	-	ns
13	Setup time, SPI_DI (in put) valid before SPI_CK (output) falling edge	tsu4	-	-	-	ns
14	Hold time, SPI_DI (input) valid after SPI_CK (output) rising edge	th3	-	-	-	ns
15	Hold time, SPI_DI (input) valid after SPI_CK (output) falling edge	th4	-	-	-	ns
16	Delay time, SPI_CK (output) falling edge to SPI_DO (output) transition	td5	-	-	-	ns
17	Delay time, SPI_CK (output) rising edge to SPI_DO (output) transition	td6	-	-	-	ns
18	Delay time, SPI_CS_N (output) falling edge to first SPI_CK (output) rising or falling edge	td7	-	-	-	ns
19	Delay time, SPI_CK (output) rising or falling edge to SPI_CS_N (output) rising edge	td8	-	-	-	ns

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

目 录

3 系统.....3-1
3.1 复位.....3-1
3.1.1 概述.....3-1
3.1.2 复位控制.....3-1
3.1.3 复位配置.....3-2
3.2 时钟.....3-3
3.2.1 概述.....3-3
3.2.2 时钟控制框图.....3-3
3.2.3 时钟配置.....3-4
3.2.4 寄存器概览.....3-21
3.2.5 寄存器描述.....3-23
3.3 中断系统.....3-73
3.4 系统控制器.....3-75
3.4.1 概述.....3-75
3.4.2 特点.....3-75
3.4.3 功能描述.....3-75
3.4.4 寄存器概览.....3-78
3.4.5 寄存器描述.....3-80
3.5 直接存储器访问控制器.....3-126
3.5.1 概述.....3-126
3.5.2 特点.....3-126
3.5.3 功能描述.....3-127
3.5.4 工作方式.....3-131
3.5.5 寄存器概览.....3-136
3.5.6 寄存器描述.....3-137
3.6 CIPHER.....3-150
3.6.1 概述.....3-150
3.6.2 特点.....3-151
3.6.3 功能描述.....3-152
3.6.4 工作方式.....3-162

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

3.6.5 寄存器概览 3-164
3.6.6 寄存器描述 3-166
3.7 定时器 3-186
3.7.1 概述 3-186
3.7.2 特点 3-186
3.7.3 功能描述 3-186
3.7.4 工作方式 3-187
3.7.5 寄存器概览 3-188
3.7.6 寄存器描述 3-189
3.8 看门狗 3-194
3.8.1 概述 3-194
3.8.2 特点 3-194
3.8.3 功能描述 3-194
3.8.4 工作方式 3-195
3.8.5 寄存器概览 3-196
3.8.6 寄存器描述 3-197
3.9 实时时钟 3-200
3.9.1 概述 3-200
3.9.2 特点 3-200
3.9.3 功能描述 3-200
3.9.4 工作方式 3-201
3.9.5 寄存器概览 3-202
3.9.6 寄存器描述 3-202
3.10 电源管理与低功耗模式控制 3-206
3.10.1 概述 3-206
3.10.2 系统工作模式 3-207
3.10.3 时钟门控和时钟频率调整 3-207
3.10.4 模块级低功耗控制 3-208
3.10.5 DDR 低功耗控制 3-209
3.11 处理器子系统 3-209
3.11.1 ARMCortex-A9 处理器 3-209
3.11.2 L2 Cache 3-210

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

插图目录

图 3-1 复位信号控制图 3-1
图 3-2 时钟管理模块功能框图 3-3
图 3-3 系统模式切换图 3-77
图 3-4 芯片 ID 寄存器位分配图 3-78
图 3-5 DMAC 功能框图 3-127
图 3-6 LLI 更新通道寄存器示意图 3-129
图 3-7 DMAC 链表结构示例 3-131
图 3-8 3 个密钥和 2 个密钥的 3DES 加密操作 3-152
图 3-9 3 个密钥和 2 个密钥的 3DES 解密操作 3-153
图 3-10 AES/DES 的电子密码本（ECB）模式 3-153
图 3-11 3DES 的电子密码本（ECB）模式 3-154
图 3-12 AES/DES 的密码分组链接（CBC）模式 3-155
图 3-13 3DES 的密码分组链接（CBC）模式 3-156
图 3-14 AES/DES 的 s 位密码反馈（CFB）模式 3-157
图 3-15 3DES 的 s 位密码反馈（CFB）模式 3-158
图 3-16 AES 的输出反馈（OFB）模式 3-159
图 3-17 DES 的 s 位输出反馈（OFB）模式 3-160
图 3-18 3DES 的 s 位输出反馈（OFB）模式 3-161
图 3-19 AES 的 CTR 模式 3-162
图 3-20 多分组加解密通道链表头结构如下： 3-163
图 3-21 CAS 各个 bit 标志 3-163
图 3-22 WatchDog 应用框图 3-194

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

表格目录

表 3-1 复位信号分类表 3-2
表 3-2 Hi3521 PLL 对应的配置寄存器 3-4
表 3-3 Hi3521 PLL 与各功能模块对应关系 3-4
表 3-4 Hi3521 PLL 频率计算方法 3-5
表 3-5 A9 频率配置 3-6
表 3-6 系统控制器状态和时钟切换对应关系 3-6
表 3-7 VICAP 时钟频率配置 3-7
表 3-8 VDP 模块时钟频率配置 3-8
表 3-9 HDMI 管脚输出时钟频率配置 3-9
表 3-10 GMAC 时钟模式配置 3-10
表 3-11 VEDU 时钟频率配置 3-10
表 3-12 VPSS 时钟频率配置 3-11
表 3-13 VDH 时钟频率配置 3-11
表 3-14 TDE 时钟频率配置 3-12
表 3-15 JPGE 时钟频率配置 3-12
表 3-16 JPGD 时钟频率配置 3-13
表 3-17 MDU 时钟频率配置 3-13
表 3-18 VAPU 时钟频率配置 3-14
表 3-19 SATA 时钟频率配置 3-15
表 3-20 TOE 时钟频率配置 3-15
表 3-21 SDIO 时钟频率配置 3-15
表 3-22 SFC 时钟频率配置 3-16
表 3-23 NFC 时钟频率配置 3-16
表 3-24 SIO0/SIO1/SIO2/SIO3 时钟频率配置 3-16
表 3-25 peri_ctrl_reg 寄存器概览（基址是 0x2003_0000） 3-21

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

表 3-26 A9 中断源分配表 3-74
表 3-27 系统控制器寄存器概览（基址是 0x2005_0000） 3-79
表 3-28 DMA 的外设请求分配定义 3-129
表 3-29 DBSize 及 SBSize 的值与其对应的 burst 长度 3-133
表 3-30 DWidth 和 SWidth 的值与其对应传输位宽 3-133
表 3-31 DMAC_Cn_CONTROL 寄存器 Prot 段属性及定义 3-134
表 3-32 流控制器及传输类型位定义 3-135
表 3-33 DMAC 寄存器概览（基址是 0x100D_0000） 3-136
表 3-34 CIPHER 寄存器概览（基址是 0x100C_0000） 3-164
表 3-35 CIPHER 寄存器偏移地址变量表 3-166
表 3-36 Timer 寄存器概览 3-188
表 3-37 WatchDog 寄存器概览（基址是 0x2004_0000） 3-196
表 3-38 RTC 寄存器概览（基址是 0x2006_0000） 3-202
表 3-39 CPU 与 AXI 总线之间的工作频率关系 3-209

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

3 系统

3.1 复位

3.1.1 概述

复位管理模块对整个芯片的复位、各功能模块的复位进行统一的管理，包括：

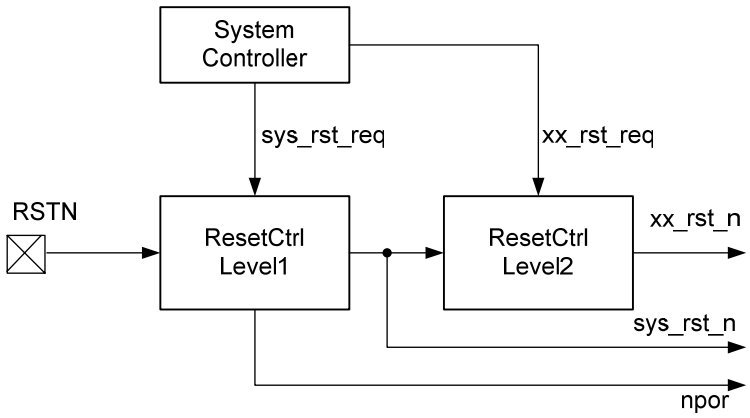
- 上电复位的管理和控制
- 系统软复位、功能模块单独软复位控制
- 复位信号同步到各模块对应时钟域

复位管理模块生成芯片内部各功能模块的复位信号。

3.1.2 复位控制

复位信号控制如图 3-1 所示。

图3-1 复位信号控制图



RSTN	上电复位信号，源自芯片管脚 RSTN 输入。
sys_rst_req	全局软复位请求信号，源自系统控制器。
xx_rst_req	子模块单独软复位请求信号，源自 CRG 控制寄存器。
xx_rst_n、sys_rst_n、npor	复位信号。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

复位信号分类如表 3-1 所示。

表3-1 复位信号分类表

复位信号类型	产生方式	用途
全局硬复位 npor	来自复位管脚 RSTN	对整芯片进行全局复位。
全局软复位 sys_rst_n	软件配置系统控制器的全局软复位寄存器	对整芯片中除了时钟复位电路和测试电路的所有模块进行全局复位。
子模块复位 xx_rst_n	软件配置 CRG 控制寄存器的子模块复位控制寄存器	芯片各子模块的单独复位。

3.1.3 复位配置

上电复位

RSTN 是 Hi3521 芯片的功能复位输入 IO，完成上电复位过程必须同时满足以下条件：

- 上电复位 IO 输入一个低电平脉冲。
- 晶振时钟输入管脚 XIN 输入的时钟稳定。
- 输入的上电复位信号低电平维持时间大于 12 个 XIN 晶振时钟周期。

系统复位

实现系统复位有两种途径：

- 上电复位。
- 全局软复位，通过系统控制器控制。

软复位

软复位控制通过配置相应的系统控制器来实现，具体配置请参见每个模块的复位寄存器描述。

注意

- **系统软复位请求发出后，电路必须等待至少 360 个系统时钟周期才完成复位撤消。**
- **各模块单独软复位不会自动撤消，例如某模块的复位是配置 1 时，模块处于复位状态，必须再配置为 0，该模块复位才会撤消。**

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

3.2 时钟

3.2.1 概述

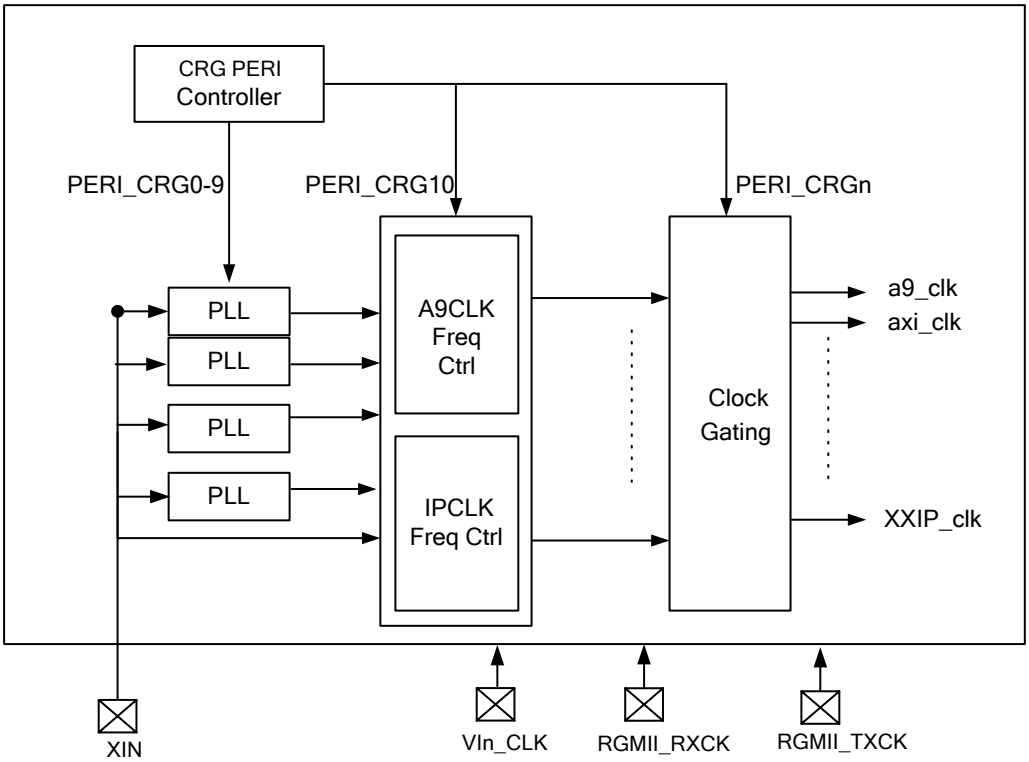
时钟管理模块对芯片时钟输入、时钟生成和控制进行统一的管理，包括：

- 时钟输入的管理和控制
- 时钟分频和控制
- 生成各模块的工作时钟

3.2.2 时钟控制框图

时钟管理模块功能框图如图 3-2 所示。

图3-2 时钟管理模块功能框图



注：图中的 Vin_CLK 中的 n 取值范围为 0～3。

时钟管理模块有以下两部分输入：

- 源自芯片管脚的时钟输入：XIN、VIUn_CLK、RGMII_RXCK、RGMII_TXCK。
  - XIN 为 PLL 输入时钟，固定连接 24MHz 晶体
  - VIUn_CLK 为视频输入时钟
  - RGMII_RXCK、RGMII_TXCK 为 GMAC 模块接口时钟
- 源自 CRG 系统控制器的时钟控制寄存器。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

- PLL 频率配置
- IP 时钟频率配置
- 时钟门控配置

时钟管理模块功能主体主要包括三部分：

- PLL 单元，用于产生 A9 和总线时钟，以及其它外设所需时钟。
- A9 频率控制单元 A9 Freq Ctrl 和模块时钟频率控制单元 IPCLK Freq Ctrl。
- 时钟门控管理单元 Clock Gating。

3.2.3 时钟配置

PLL 配置

Hi3521 内部使用了 4 个 PLL，每个 PLL 使用两组配置寄存器，对应关系如表 3-2 所示。

表3-2 Hi3521 PLL 对应的配置寄存器

PLL	配置寄存器 1	配置寄存器 0
APLL	PERI_CRG0	PERI_CRG1
VPLL0	PERI_CRG2	PERI_CRG3
VPLL2	PERI_CRG6	PERI_CRG7
EPLL	PERI_CRG8	PERI_CRG9

PLL 与功能模块对应关系如表 3-3 所示。

表3-3 Hi3521 PLL 与各功能模块对应关系

PLL	PLL 输出 Pin	用途
APLL	FOUTPOSTDIV	• 产生 CPU 工作时钟 • 产生 DDR 工作时钟 • DDR 时钟二分频后产生 AXI 总线时钟 • DDR 时钟四分频后产生 APB 总线时钟
VPLL0	FOUTPOSTDIV	默认配置 268.5MHz，作为 VDP HD/HDMI 源时钟之一
VPLL2	FOUT2	配置为 405MHz，作为 VEDU/VPSS/TDE 工作时钟
	FOUT3	配置为 270MHz，5 分频后作为 VDP SD 工作时钟
	FOUT4	配置为 202.5MHz，作为 CIPHER 模块工作时钟
EPLL	FOUTVCO	配置为 1500MHz，五分频后得到 300MHz，作为 MDU/JPGE/JPGD/IVE 工作时钟

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

PLL	PLL 输出 Pin	用途
	FOUTPOSTDIV	• 配置为 500MHz，作为 SIO 源时钟 • 五分频后得到 100MHz，作为 NFC/SDIO/SFC，TOE 模块工作时钟或源时钟
	FOUT1	配置为 250MHz，作为 VDH/JPGD 工作时钟
	FOUT2	配置为 125MHz，作为 GMAC/SATA/SFC 的参考接口时钟或参考时钟

所有 PLL 采用管脚 XIN 输入的晶振时钟作为输入时钟，PLL 输出频率配置方法如表 3-4 所示。

表3-4 Hi3521 PLL 频率计算方法

PLL Pin	计算方法描述	注意事项
FREF	PLL 输入参考时钟	Hi3521 要求固定输入 24MHz
FOUTVCO	FREF x (fbdiv + frac/2^24) / refdiv	PLL 工作频率，要求大于等于 800MHz，且小于等于 2.4GHz
FOUTPOSTDIV	FOUTVCO / pstdiv1 x pstdiv2	-
FOUT1ph0	FOUTVCO / (pstdiv1 x pstdiv2 x 2)	-
FOUT2	FOUTVCO / (pstdiv1 x pstdiv2 x 4)	-
FOUT3	FOUTVCO / (pstdiv1 x pstdiv2 x 6)	-
FOUT4	FOUTVCO / (pstdiv1 x pstdiv2 x 8)	-

以配置 VPLL0 为例，VPLL0 输出 FOUTPOSTDIV 给 VDP 模块，VDP 模块需要工作时钟 268.5MHz，计算配置寄存器的值如下：

取 postdiv2＝4，postdiv1＝1，根据 FOUTPOSTDIV= FOUTVCO / pstdiv1 x pstdiv2，则 FOUTVCO=1074MHz。

取 refdiv＝4，则 24 x (fbdiv + frac/2^24)/4=1074MHz。

由上面的条件推出：fbdiv＝179，frac=000000。

A9 频率模式配置

A9 频率配置方法如表 3-5 所示。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

表3-5 A9 频率配置

信号名	描述
freqmode_a9_sys	A9 时钟降频配置。 通过 Mask A9 时钟脉冲可实现 A9 降频使用，调节其与 AXI 时钟之间的频比。 00：A9:AXI = 3:1； 01：A9:AXI = 3:1； 10：A9:AXI = 2:1； 11：A9:AXI = 1:1。 可通过配置 PERI_CRG10 bit[3:2]控制该信号。

系统控制器的状态和时钟切换的对应关系如表 3-6 所示。

表3-6 系统控制器状态和时钟切换对应关系

系统控制器状态	46.875kHz 时钟使能状态	24MHz 晶振使能状态	APLL 使能状态	系统时钟状态
NORMAL	使能	使能	使能	ARM 子系统的工作时钟都来自 PLL 输出。
SLOW	使能	使能	不使能	ARM 子系统的工作时钟都来自 24MHz 晶振输入。
DOZE	使能	使能	不使能	ARM 子系统的工作时钟都来自 24MHz 晶振时钟分频得到的 46.875KHz 时钟。

模块时钟频率配置

VICAP 时钟配置方式如表 3-7 所示。

VICAP 共支持 4 端口 16 通道，每个端口对应四个通道。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

表3-7 VICAP 时钟频率配置

信号名	描述
vi0div_sel	VI0 div ch 时钟选择。VI0 div ch 接通道 0、1、2、3。 00：div2； 01：div4； 10：div1； 11：保留。 可通过配 PERI_CRG12 bit[19:18]控制该信号。
vi1div_sel	VI1 div ch 时钟选择。VI1 div ch 接通道 4、5、6、7。 00：div2； 01：div4； 10：div1； 11：保留。 可通过配 PERI_CRG12 bit[17:16]控制该信号。
vi2div_sel	VI2 div ch 时钟选择。VI2 div ch 接通道 8、9、10、11。 00：div2； 01：div4； 10：div1； 11：保留。 可通过配 PERI_CRG12 bit[15:14]控制该信号。
vi3div_sel	VI3 div ch 时钟选择。VI3 div ch 接通道 12、13、14、15。 00：div2； 01：div4； 10：div1； 11：保留。 可通过配 PERI_CRG12 bit[13:12]控制该信号。
vi0_sc_sel	VI0 ch 时钟源选择。 00：选择 vi0 pad 输入时钟； 01：选择 vi1 pad 输入时钟； 10：选择 vi2 pad 输入时钟； 11：选择 vi3 pad 输入时钟。 可通过配 PERI_CRG12 bit[25:24]控制该信号。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

信号名	描述
vi1_sc_sel	VI1 ch 时钟源选择。 00：选择 vi0 pad 输入时钟； 01：选择 vi1 pad 输入时钟。 10：选择 vi2 pad 输入时钟； 11：选择 vi3 pad 输入时钟。 可通过配 PERI_CRG12 bit[27:26]控制该信号。
vi2_sc_sel	VI2 ch 时钟源选择。 00：选择 vi0 pad 输入时钟； 01：选择 vi1 pad 输入时钟。 10：选择 vi2 pad 输入时钟； 11：选择 vi3 pad 输入时钟。 可通过配 PERI_CRG12 bit[29:28]控制该信号。
vi3_sc_sel	VI3 ch 时钟源选择。 00：选择 vi0 pad 输入时钟； 01：选择 vi1 pad 输入时钟。 10：选择 vi2 pad 输入时钟； 11：选择 vi3 pad 输入时钟。 可通过配 PERI_CRG12 bit[31:30]控制该信号。
vi_selftest	所有 VI ch 自测试时的时钟源选择。 可通过配 PERI_CRG12 bit[22]控制该信号。
vi*n*_pctrl	Vi*n*（n=0～3）输入随路时钟相位控制。默认正向。 0：正向时钟； 1：反向时钟。 可通过配 PERI_CRG11 bit[15:12]控制该信号。

VDP 模块时钟配置方式如表 3-8 所示。

表3-8 VDP 模块时钟频率配置

信号名	描述
vohd_out_cksel	VO HD 输出随路时钟源选择。 0：HD1120 时钟/LCD 时钟； 1：SD656 时钟。 可通过配 PERI_CRG13 bit[12]控制该信号。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

信号名	描述
vosd_out_pctrl	VOU SD 输出随路时钟相位控制。 0：正向时钟； 1：反向时钟。 可通过配 PERI_CRG13 bit[5]控制该信号。
vohd_out_pctrl	VOU HD 输出随路时钟相位控制。 0：正向时钟； 1：反向时钟。 可通过配 PERI_CRG13 bit[4]控制该信号。

HDMI 时钟配置方式如表 3-9 所示。

表3-9 HDMI 管脚输出时钟频率配置

信号名	描述
hdmi_test_sel	HDMI 测试时钟选择。 0：asclk 时钟； 1：cec_clk 时钟。 可通过配置 PERI_CRG15 bit[7]控制该信号。
hdmi_cec_clk_sel	HDMI CEC CLK 时钟门选择。 0：XTAL div12 时钟； 1：PLL 分频 2.04MHz 时钟。 可通过配置 PERI_CRG15 bit[6]控制该信号。
hdmi_asclk_sel	HDMI ASCLK 时钟选择。 0：HDMI PHY 时钟； 1：PLL 时钟。 可通过配置 PERI_CRG15 bit[5]控制该信号。
hdmi_osclk_sel	HDMI OSCLK 时钟选择。 0：HDMI PHY 时钟； 1：PLL 时钟 可通过配置 PERI_CRG15 bit[4]控制该信号。

GMAC 配置方式如表 3-10 所示。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

表3-10 GMAC 时钟模式配置

信号名	描述
macif_mac_speed	MACIF 的 10/100Mbps 模式配置。 0：10Mbps； 1：100Mbps。 通过配置 PERI_CRG59 bit[1]控制该信号。
macif_port_select	MACIF 的 1000Mbps 模式使能配置。 0：1000Mbps； 1：10/100Mbps。 通过配置 PERI_CRG59 bit[0]控制该信号。

VEDU 时钟配置方式如表 3-11 所示。

表3-11 VEDU 时钟频率配置

信号名	描述
veduclk_loaden	VEDU 时钟分频配置使能。 每次改变分频配置时，分下面三步： 1.写入新的分频配置值。 2.将 veduclk_loaden 写为 0。 3.将 veduclk_loaden 写为 1。 可通过配置 PERI_CRG16 bit[9]控制该信号。
veduclk_skipcfg	VEDU 时钟分频配置。 N：每 32 拍 VEDU 时钟中关掉 N 拍时钟。 可通过配置 PERI_CRG16 bit[8:4]控制该信号。 VEDU 工作源时钟为 405MHz： 如果 veduclk_skipcfg 配置 00，VEDU 处在 full_speed 模式； 如果 veduclk_skipcfg 配置 01，VEDU 工作在降速模式，其实际有效的工作频率为：405x31/32 = 392MHz。其它配置依次类推。

VPSS 时钟配置方式如表 3-12 所示。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

表3-12 VPSS 时钟频率配置

信号名	描述
vpssclk_loaden	VPSS 时钟分频配置使能。 每次改变分频配置时，分下面三步： 1.写入新的分频配置值。 2.将 vpssclk_loaden 写为 0。 3.将 vpssclk_loaden 写为 1。 可通过配置 PERI_CRG18 bit[9]控制该信号。
vpssclk_skipcfg	VPSS 时钟分频配置。 N：每 32 拍 VPSS 时钟中关掉 N 拍时钟。 可通过配置 PERI_CRG18 bit[8:4]控制该信号。 VPSS 工作源时钟为 405MHz： 如果 vpssclk_skipcfg 配置 00，VPSS 处在 full_speed 模式； 如果 vpssclk_skipcfg 配置 01，VPSS 工作在降速模式，其实际有效的工作频率为：405x31/32 = 392MHz。其它配置依次类推。

VDH 时钟配置方式如表 3-13 所示。

表3-13 VDH 时钟频率配置

信号名	描述
vdhclk_loaden	VDH 时钟分频配置使能。 每次改变分频配置时，分下面三步： 1.写入新的分频配置值。 2.将 vdhclk_loaden 写为 0。 3.将 vdhclk_loaden 写为 1。 可通过配置 PERI_CRG20 bit[9]控制该信号。
vdhclk_skipcfg	VPSS 时钟分频配置。 N：每 32 拍 VDH 时钟中关掉 N 拍时钟。 可通过配置 PERI_CRG18 bit[8:4]控制该信号。 VDH 工作源时钟为 250MHz： 如果 vdhclk_skipcfg 配置 00，VDH 处在 full_speed 模式； 如果 vdhclk_skipcfg 配置 01，VDH 工作在降速模式，其实际有效的工作频率为：250x31/32 = 242MHz。其它配置依次类推。

TDE 时钟配置方式如表 3-14 所示。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

表3-14 TDE 时钟频率配置

信号名	描述
tdeclk_loaden	TDE 时钟分频配置使能。 每次改变分频配置时，分下面三步： 1.写入新的分频配置值。 2.将 tdeclk_loaden 写为 0。 3.将 tdeclk_loaden 写为 1。 可通过配置 PERI_CRG22 bit[9]控制该信号。
tdeclk_skipcfg	TDE 时钟分频配置。 N：每 32 拍 TDE 时钟中关掉 N 拍时钟。 可通过配置 PERI_CRG22 bit[8:4]控制该信号。 TDE 工作源时钟为 405MHz： 如果 tdeclk_skipcfg 配置 00，TDE 处在 full_speed 模式； 如果 tdeclk_skipcfg 配置 01，TDE 工作在降速模式，其实际有效的工作频率为：405x31/32 = 392MHz。其它配置依次类推。

JPGE 模块时钟配置方式如下表 3-15 所示。

表3-15 JPGE 时钟频率配置

信号名	描述
jpgeclk_loaden	JPGE 时钟分频配置使能。 每次改变分频配置时，分下面三步： 1.写入新的分频配置值。 2.将 jpgeclk_loaden 写为 0。 3.将 jpgeclk_loaden 写为 1。 可通过配置 PERI_CRG24 bit[9]控制该信号。
jpgeclk_skipcfg	JPGE 时钟分频配置。 N：每 32 拍 JPGE 时钟中关掉 N 拍时钟。 可通过配置 PERI_CRG24 bit[8:4]控制该信号。 JPGE 工作源时钟为 300MHz： 如果 jpgeclk_skipcfg 配置 00，JPGE 处在 full_speed 模式； 如果 jpgeclk_skipcfg 配置 01，JPGE 工作在降速模式，其实际有效的工作频率为：300x31/32 = 290MHz。其它配置依次类推。

JPGD 模块时钟配置方式如下表 3-16 所示。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

表3-16 JPGD 时钟频率配置

信号名	描述
jpgd_cksel	JPGD 时钟源选择。 0：选择 300M 时钟； 1：选择 250M 时钟。 可通过配置 PERI_CRG25 bit[10]控制该信号。
jpgdclk_loaden	JPGD 时钟分频配置使能。 每次改变分频配置时，分下面三步： 1.写入新的分频配置值。 2.将 jpgdclk_loaden 写为 0。 3.将 jpgdclk_loaden 写为 1。 可通过配置 PERI_CRG25 bit[9]控制该信号。
jpgdclk_skipcfg	JPGD 时钟分频配置。 N：每 32 拍 JPGE 时钟中关掉 N 拍时钟。 可通过配置 PERI_CRG25 bit[8:4]控制该信号。 JPGD 工作源时钟为 300MHz： 如果 jpgdclk_skipcfg 配置 00，JPGD 处在 full_speed 模式； 如果 jpgdclk_skipcfg 配置 01，JPGD 工作在降速模式，其实际有效的工作频率为：300x31/32 = 290MHz。其它配置依次类推。

MDU 模块时钟配置方式如表 3-17 所示。

表3-17 MDU 时钟频率配置

信号名	描述
mduclk_loaden	MDU 时钟分频配置使能。 每次改变分频配置时，分下面三步： 1.写入新的分频配置值。 2.将 mduclk_loaden 写为 0。 3.将 mduclk_loaden 写为 1。 可通过配置 PERI_CRG26 bit[9]控制该信号。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

信号名	描述
mduclk_skipcfg	MDU 时钟分频配置。 N：每 32 拍 MDU 时钟中关掉 N 拍时钟。 可通过配置 PERI_CRG26 bit[8:4]控制该信号。 MDU 工作源时钟为 300MHz： 如果 mduclk_skipcfg 配置 00，MDU 处在 full_speed 模式； 如果 mduclk_skipcfg 配置 01，MDU 工作在降速模式，其实际有效的工作频率为：300x31/32 = 290MHz。其它配置依次类推。

VAPU 模块时钟配置方式如表 3-18 所示。

表3-18 VAPU 时钟频率配置

信号名	描述
vapuclk_loaden	VAPU 时钟分频配置使能。 每次改变分频配置时，分下面三步： 1.写入新的分频配置值。 2.将 vapuclk_loaden 写为 0。 3.将 vapuclk_loaden 写为 1。 可通过配置 PERI_CRG27 bit[9]控制该信号。
vapuclk_skipcfg	VAPU 时钟分频配置。 N：每 32 拍 VAPU 时钟中关掉 N 拍时钟。 可通过配置 PERI_CRG27 bit[8:4]控制该信号。 VAPU 工作源时钟为 300MHz： 如果 vapuclk_skipcfg 配置 00，VAPU 处在 full_speed 模式； 如果 vapuclk_skipcfg 配置 01，VAPU 工作在降速模式，其实际有效的工作频率为：300x31/32 = 290MHz。其它配置依次类推。

SATA 模块时钟配置方式如表 3-19 所示。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

表3-19 SATA 时钟频率配置

信号名	描述
sata_clk_sel	SATA phy 参考时钟选择。 0：125MHz 时钟； 1：100MHz 时钟。 可通过配置 PERI_CRG45 bit[11]控制该信号。

TOE 模块时钟配置方式如表 3-20 所示。

表3-20 TOE 时钟频率配置

信号名	描述
toe_cksel	TOE 工作时钟选择。 0：选择 APB 时钟； 1：选择 100MHz 时钟。 可通过配置 PERI_CRG51 bit[4]控制该信号。

SDIO 模块时钟配置方式如表 3-21 所示。

表3-21 SDIO 时钟频率配置

信号名	描述
sdioclk_pctrl	SDIO SAP 时钟极性控制。 0：正向； 1：反向。 可通过配置 PERI_CRG49 bit[3]控制该信号。
sdioclk_sel	SDIO 工作时钟选择。 0：24MHz； 1：50MHz。 可通过配置 PERI_CRG49 bit[2]控制该信号。

SFC 模块时钟配置方式如表 3-22 所示。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

表3-22 SFC 时钟频率配置

信号名	描述
sfc_cksel	SFC2X 时钟源选择。默认选择 24MHz。 X0：24MHz 时钟； 01：100MHz 时钟； 11：125MHz 时钟。 可通过配置 PERI_CRG48 bit[3:2]控制该信号。

NFC 模块时钟配置方式如表 3-23 所示。

表3-23 NFC 时钟频率配置

信号名	描述
nfc_cksel	NFC 时钟源选择。默认选择 24MHz。 0：24MHz 时钟； 1：100MHz 时钟。 可通过配置 PERI_CRG52 bit[2]控制该信号。

SIO0/SIO1/SIO2/SIO3 时钟频率配置方法如表 3-24 所示。

表3-24 SIO0/SIO1/SIO2/SIO3 时钟频率配置

信号名	描述
sio0_ckcfg[23:0]	sio0/sio1/sio2/sio3 mclk 的分频时钟配置值，配置值为(MCLK0/SIO 时钟源头频率)　x2^27。时钟源头频率为 500MHz。Mclk 最大支持 62.5MHz，可通过配置 PERI_CRG32 bit[23:0]控制该信号。 **注意：SIO0、SIO1 共享了一个 mclk。**
sio2_ckcfg[23:0]	sio2 mclk 的分频时钟配置值，配置值为(MCLK2/SIO 时钟源头频率)　x2^27。时钟源头频率为 500MHz。Mclk 最大支持 62.5MHz，可通过配置 PERI_CRG33 bit[23:0]控制该信号。
sio3_ckcfg[23:0]	sio3mclk 的分频时钟配置值，配置值为(MCLK3/SIO 时钟源头频率)　x2^27。时钟源头频率为 500MHz。Mclk 最大支持 62.5MHz，可通过配置 PERI_CRG34 bit[23:0]控制该信号。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

信号名	描述
sio0_fsclk_div	SIO0 位时钟 BCLK 与采样时钟 FS 的分频关系。 000：FS 是 BCLK 的 16 分频； 001：FS 是 BCLK 的 32 分频； 010：FS 是 BCLK 的 48 分频； 011：FS 是 BCLK 的 64 分频； 100：FS 是 BCLK 的 128 分频； 101：FS 是 BCLK 的 256 分频； 其他：FS 是 BCLK 的 8 分频。 可通过配置 PERI_CRG35 bit[14:12]控制该信号。
sio0_bclk_div	SIO0 主时钟 MCLK 与位时钟 BCLK 分频关系。 0000：BCLK 是 MCLK 的 1 分频； 0001：BCLK 是 MCLK 的 3 分频； 0010：BCLK 是 MCLK 的 2 分频； 0011：BCLK 是 MCLK 的 4 分频； 0100：BCLK 是 MCLK 的 6 分频； 0101：BCLK 是 MCLK 的 8 分频； 0110：BCLK 是 MCLK 的 12 分频； 0111：BCLK 是 MCLK 的 16 分频； 1000：BCLK 是 MCLK 的 24 分频； 1001：BCLK 是 MCLK 的 32 分频； 1010：BCLK 是 MCLK 的 48 分频； 1011：BCLK 是 MCLK 的 64 分频； 其他：BCLK 是 MCLK 的 8 分频。 可通过配置 PERI_CRG35 bit[11:8]控制该信号。
sio0_bclk_sel	SIO0 BCLK 时钟源头的选择： 0：选择 3521 芯片外部产生的 bclk； 1：选择 3521 芯片内部产生的 bclk。 可通过配置 PERI_CRG35 bit[4]控制该信号。 **注意：若 BCLK 选择 3521 内部产生的 BCLK，则 FS CLK 也相应由 Hi3521 内部产生。**

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

信号名	描述
sio1_fsclk_div	SIO1 位时钟 BCLK 与采样时钟 FS 的分频关系。 000：FS 是 BCLK 的 16 分频； 001：FS 是 BCLK 的 32 分频； 010：FS 是 BCLK 的 48 分频； 011：FS 是 BCLK 的 64 分频； 100：FS 是 BCLK 的 128 分频； 101：FS 是 BCLK 的 256 分频； 其他：FS 是 BCLK 的 8 分频。 可通过配置 PERI_CRG36 bit[14:12]控制该信号。
sio1_bclk_div	SIO1 主时钟 MCLK 与位时钟 BCLK 分频关系。 0000：BCLK 是 MCLK 的 1 分频； 0001：BCLK 是 MCLK 的 3 分频； 0010：BCLK 是 MCLK 的 2 分频； 0011：BCLK 是 MCLK 的 4 分频； 0100：BCLK 是 MCLK 的 6 分频； 0101：BCLK 是 MCLK 的 8 分频； 0110：BCLK 是 MCLK 的 12 分频； 0111：BCLK 是 MCLK 的 16 分频； 1000：BCLK 是 MCLK 的 24 分频； 1001：BCLK 是 MCLK 的 32 分频； 1010：BCLK 是 MCLK 的 48 分频； 1011：BCLK 是 MCLK 的 64 分频； 其他：BCLK 是 MCLK 的 8 分频。 可通过配置 PERI_CRG36 bit[11:8]控制该信号。
sio1_bclk_sel	SIO1 BCLK 时钟源头的选择： 0：选择 3521 芯片外部产生的 BCLK； 1：选择 3521 芯片内部产生的 BCLK。 可通过配置 PERI_CRG36 bit[4]控制该信号。 **注意：若 BCLK 选择 Hi3521 内部产生的 BCLK，则 FS CLK 也相应由 Hi3521 内部产生。**

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

信号名	描述
sio2_fsclk_div	SIO2 位时钟 BCLK 与采样时钟 FS 的分频关系。 000：FS 是 BCLK 的 16 分频； 001：FS 是 BCLK 的 32 分频； 010：FS 是 BCLK 的 48 分频； 011：FS 是 BCLK 的 64 分频； 100：FS 是 BCLK 的 128 分频； 101：FS 是 BCLK 的 256 分频； 其他：FS 是 BCLK 的 8 分频。 可通过配置 PERI_CRG37 bit[14:12]控制该信号。
sio2_bclk_div	SIO2 主时钟 MCLK 与位时钟 BCLK 分频关系。 0000：BCLK 是 MCLK 的 1 分频； 0001：BCLK 是 MCLK 的 3 分频； 0010：BCLK 是 MCLK 的 2 分频； 0011：BCLK 是 MCLK 的 4 分频； 0100：BCLK 是 MCLK 的 6 分频； 0101：BCLK 是 MCLK 的 8 分频； 0110：BCLK 是 MCLK 的 12 分频； 0111：BCLK 是 MCLK 的 16 分频； 1000：BCLK 是 MCLK 的 24 分频； 1001：BCLK 是 MCLK 的 32 分频； 1010：BCLK 是 MCLK 的 48 分频； 1011：BCLK 是 MCLK 的 64 分频； 其他：BCLK 是 MCLK 的 8 分频。 可通过配置 PERI_CRG37 bit[11:8]控制该信号。
sio2_bclk_sel	SIO2 BCLK 时钟源头的选择： 0：选择 3521 芯片外部产生的 bclk； 1：选择 3521 芯片内部产生的 bclk。 可通过配置 PERI_CRG37 bit[4]控制该信号。 **注意：若 BCLK 选择 Hi3521 内部产生的 BCLK，则 FS CLK 也相应由 Hi3521 内部产生。**

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

信号名	描述
sio3_fsclk_div	SIO2 位时钟 BCLK 与采样时钟 FS 的分频关系。 000：FS 是 BCLK 的 16 分频； 001：FS 是 BCLK 的 32 分频； 010：FS 是 BCLK 的 48 分频； 011：FS 是 BCLK 的 64 分频； 100：FS 是 BCLK 的 128 分频； 101：FS 是 BCLK 的 256 分频； 其他：FS 是 BCLK 的 8 分频。 可通过配置 PERI_CRG38 bit[14:12]控制该信号。
sio3_bclk_div	SIO2 主时钟 MCLK 与位时钟 BCLK 分频关系。 0000：BCLK 是 MCLK 的 1 分频； 0001：BCLK 是 MCLK 的 3 分频； 0010：BCLK 是 MCLK 的 2 分频； 0011：BCLK 是 MCLK 的 4 分频； 0100：BCLK 是 MCLK 的 6 分频； 0101：BCLK 是 MCLK 的 8 分频； 0110：BCLK 是 MCLK 的 12 分频； 0111：BCLK 是 MCLK 的 16 分频； 1000：BCLK 是 MCLK 的 24 分频； 1001：BCLK 是 MCLK 的 32 分频； 1010：BCLK 是 MCLK 的 48 分频； 1011：BCLK 是 MCLK 的 64 分频； 其他：BCLK 是 MCLK 的 8 分频。 可通过配置 PERI_CRG38 bit[11:8]控制该信号。
sio3_bclk_sel	SIO2 BCLK 时钟源头的选择： 0：选择 3521 芯片外部产生的 bclk； 1：选择 3521 芯片内部产生的 bclk。 可通过配置 PERI_CRG38 bit[4]控制该信号。 **注意：若 BCLK 选择 Hi3521 内部产生的 BCLK，则 FS CLK 也相应由 Hi3521 内部产生。**

一般的应用场景会给定采样率时钟频率 FSCLK，而比特时钟 BCLK 和主时钟 MCLK 相对于 FSCLK 分别具有可变的倍数关系，时钟频率配置方法示例如下：

SIO0 小数分频的时钟源为固定 500MHz，此时要求配置出 SIO0 工作时钟频率为 FSCLK=48kHz、MCLK=256FSCLK=12.288MHz、BCLK=16FSCLK=768KHz。配置方法如下：

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

- 500MHz 到 MCLK 分频比计算为：N=12.288/500，则 sioclk_sel[23:0]= $N \times 2^{27}$，根据四舍五入取整原则计算为 3298535，因此配置 sioclk_sel=0x0032_54E7，即可得到 MCLK 的正确频率。
- BCLK 由 MCLK 分频获得，分频比为 BCLK/MCLK=16/256=1/16，因此根据配置表中的对应关系，配置 sio0_bclk_div[3:0]=0b0111（对应 16 分频）便可得到 BCLK 的正确频率。
- FSCLK 由 BCLK 分频得到，分频比为 1/16，因此根据配置表中的对应关系，配置 sio0_fsclk_div=0b000（对应 16 分频）便可得到 FSCLK 的正确频率。

注意事项

时钟配置需要注意以下事项：

- A9 工作时钟上电默认为晶振模式，即选择 XIN 输入的晶振时钟。
- PLL 在变更频率配置时，需要等待 0.1ms 才能输出稳定的时钟。更改 PLL 频率配置只能在系统处于 SLOW 模式下进行。
- 在 PLL 输出时钟未稳定的情况下，不能执行系统切换到 PLL 模式,可通过观测 PLL LOCK 指示位判断 PLL 是否 LOCK。PLL LOCK 指示位可通过读 PERI_CRG58 bit[4:0]状态获取。

3.2.4 寄存器概览

peri_ctrl_reg 寄存器概览如表 3-1 所示。

表3-25 peri_ctrl_reg 寄存器概览（基址是 0x2003_0000）

偏移地址	名称	描述	页码
0x0000	PERI_CRG0	APLL 配置寄存器 0	3-23
0x0004	PERI_CRG1	APLL 配置寄存器 1	3-24
0x0008	PERI_CRG2	VPLL0 配置寄存器 0	3-25
0x000C	PERI_CRG3	VPLL0 配置寄存器 1	3-25
0x0018	PERI_CRG6	VPLL2 配置寄存器 0	3-27
0x001C	PERI_CRG7	VPLL2 配置寄存器 1	3-27
0x0020	PERI_CRG8	EPLL 配置寄存器 0	3-29
0x0024	PERI_CRG9	EPLL 配置寄存器 1	3-29
0x0028	PERI_CRG10	A9 频率模式及复位配置寄存器	3-31
0x002C	PERI_CRG11	VICAP 时钟及复位配置寄存器 A	3-32
0x0030	PERI_CRG12	VICAP 时钟及复位配置寄存器 B	3-34
0x0034	PERI_CRG13	VOU 时钟及复位控制寄存器	3-36
0x003C	PERI_CRG15	HDMI 时钟及复位控制寄存器	3-37

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

偏移地址	名称	描述	页码
0x0040	PERI_CRG16	VEDU 时钟及软复位控制寄存器	3-39
0x0048	PERI_CRG18	VPSS 时钟及软复位控制寄存器	3-40
0x0050	PERI_CRG20	VDH 时钟及软复位控制寄存器	3-40
0x0058	PERI_CRG22	TDE 时钟及软复位控制寄存器	3-41
0x0060	PERI_CRG24	JPGE 时钟及软复位控制寄存器	3-42
0x0064	PERI_CRG25	JPGD 时钟及软复位控制寄存器	3-43
0x0068	PERI_CRG26	MDU 时钟及软复位控制寄存器	3-44
0x006C	PERI_CRG27	IVE 时钟及软复位控制寄存器	3-45
0x0070	PERI_CRG28	VOIE 相关的时钟及软复位控制寄存器	3-46
0x0074	PERI_CRG29	VCMP 相关的时钟及软复位控制寄存器	3-47
0x007C	PERI_CRG31	CIPHER 相关的时钟及软复位控制寄存器	3-48
0x0080	PERI_CRG32	SIO0/1 MCLK 控制寄存器	3-48
0x0084	PERI_CRG33	SIO2 MCLK 控制寄存器	3-49
0x0088	PERI_CRG34	SIO3 MCLK 控制寄存器	3-49
0x008C	PERI_CRG35	SIO0 相关的时钟及软复位控制寄存器	3-50
0x0090	PERI_CRG36	SIO1 相关的时钟及软复位控制寄存器	3-52
0x0094	PERI_CRG37	SIO2 相关的时钟及软复位控制寄存器	3-54
0x0098	PERI_CRG38	SIO3 相关的时钟及软复位控制寄存器	3-56
0x00B4	PERI_CRG45	SATA 相关的时钟及软复位控制寄存器	3-58
0x00B8	PERI_CRG46	USB 相关的时钟及软复位控制寄存器	3-59
0x00C0	PERI_CRG48	SFC 相关的时钟及软复位控制寄存器	3-61
0x00C4	PERI_CRG49	SDIO 相关的时钟及软复位控制寄存器	3-61
0x00CC	PERI_CRG51	TOE 和 MAC 接口相关的时钟及软复位控制寄存器	3-62
0x00D0	PERI_CRG52	NandC 相关的时钟及软复位控制寄存器	3-63
0x00D4	PERI_CRG53	SCD 相关的时钟及软复位控制寄存器	3-64
0x00D8	PERI_CRG54	EFUSE 和 DDRTEST 相关的时钟及软复位控制寄存器	3-65
0x00E0	PERI_CRG56	DMA 相关的时钟及软复位控制寄存器	3-66

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

偏移地址	名称	描述	页码
0x00E4	PERI_CRG57	其它 CRG 接口模块软复位控制寄存器	3-66
0x00E8	PERI_CRG58	CRG 状态寄存器	3-68
0x00EC	PERI_CRG59	GMAC 接口控制寄存器	3-69
0x00F0	PERI_CRG60	GMAC 接口状态寄存器	3-70
0x00F4	PERI_CRG61	SpeedMonitor 控制寄存器	3-71
0x00F8	PERI_CRG62	SpeedMonitor 状态寄存器 1	3-72
0x00FC	PERI_CRG63	SpeedMonitor 状态寄存器 2	3-73

3.2.5 寄存器描述

PERI_CRG0

PERI_CRG0 为 APLL 配置寄存器 0。

Offset Address	Register Name	Total Reset Value
0x0000	PERI_CRG0	0x0900_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved	apll_bypass	apll_postdiv2				apll_postdiv1		apll_frac																							
Reset	0	0	0	0	1	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31]	RO	reserved	保留。
[30]	RW	apll_bypass	APLL 时钟分频旁路（bypass）控制。 0：非旁路； 1：旁路。
[29:27]	RW	apll_postdiv2	APLL 第二级输出分频系数。
[26:24]	RW	apll_postdiv1	APLL 第一级输出分频系数。
[23:0]	RW	apll_frac	APLL 小数分频系数。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

PERI_CRG1

PERI_CRG1 为 APLL 配置寄存器 1。

Offset Address	Register Name	Total Reset Value
0x0004	PERI_CRG1	0x006C_209B

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved								apll_dacpd	apll_dsmpd	apll_pd	apll_foutvcopd	apll_postdivpd	apll_fout4phasepd	apll_refdiv						apll_fbdiv											
Reset	0	0	0	0	0	0	0	0	0	1	1	0	1	1	0	0	0	0	1	0	0	0	0	0	1	0	0	1	1	0	1	1

Bits	Access	Name	Description
[31:24]	RO	reserved	保留。
[23]	RW	apll_dacpd	APLL 测试信号控制。 0：power down 工作状态； 1：正常工作状态。
[22]	RW	apll_dsmpd	APLL 小数分频控制。 0：小数模式； 1：整数模式。
[21]	RW	apll_pd	APLL Power Down 控制。 0：power down 工作状态； 1：正常工作状态。
[20]	RW	apll_foutvcopd	APLL VCO 输出 Power Down 控制。 0：不输出时钟； 1：正常输出时钟。
[19]	RW	apll_postdivpd	APLL POSTDIV 输出 Power Down 控制。 0：不输出时钟； 1：正常时钟输出。
[18]	RW	apll_fout4phasepd	APLL FOUT 输出 Power Down 控制。 0：不输出时钟； 1：正常时钟输出。
[17:12]	RW	apll_refdiv	APLL 参考时钟分频系数。
[11:0]	RW	apll_fbdiv	APLL 整数倍频系数。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

PERI_CRG2

PERI_CRG2 为 VPLL0 配置寄存器 0。

Offset Address	Register Name	Total Reset Value
0x0008	PERI_CRG2	0x0C00_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved		vpll0_bypass		vpll0_postdiv2				vpll0_postdiv1				vpll0_frac																			
Reset	0		0		0		0		0		1		1		0		0		0		0		0		0		0		0		0	

Bits	Access	Name	Description
[31]	RO	reserved	保留。
[30]	RW	vpll0_bypass	VPLL0 时钟分频旁路（bypass）控制。 0：非旁路； 1：旁路。
[29:27]	RW	vpll0_postdiv2	VPLL0 第二级输出分频系数。
[26:24]	RW	vpll0_postdiv1	VPLL0 第一级输出分频系数。
[23:0]	RW	vpll0_frac	VPLL0 小数分频系数。

PERI_CRG3

PERI_CRG3 为 VPLL0 配置寄存器 1。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x000C	PERI_CRG3	0x006C_40B2

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved								vpll0_dacpd	vpll0_dsmpd	vpll0_pd	vpll0_foutvcopd	vpll0_postdivpd	vpll0_fout4phasepd	vpll0_refdiv						vpll0_fbdiv											
Reset	0	0	0	0	0	0	0	0	0	1	1	0	1	1	0	0	0	1	0	0	0	0	0	0	1	0	1	1	0	0	1	0

Bits	Access	Name	Description
[31:24]	RO	reserved	保留。
[23]	RW	vpll0_dacpd	VPLL0 测试信号控制。 0：power down 工作状态； 1：正常工作状态。
[22]	RW	vpll0_dsmpd	VPLL0 小数分频控制。 0：小数模式； 1：整数模式。
[21]	RW	vpll0_pd	VPLL0 Power Down 控制。 0：power down 工作状态； 1：正常工作状态。
[20]	RW	vpll0_foutvcopd	VPLL0 VCO 输出 Power Down 控制。 0：不输出时钟； 1：正常输出时钟。
[19]	RW	vpll0_postdivpd	VPLL0 POSTDIV 输出 Power Down 控制。 0：不输出时钟； 1：正常时钟输出。
[18]	RW	vpll0_fout4phasepd	VPLL0 FOUT 输出 Power Down 控制。 0：不输出时钟； 1：正常时钟输出。
[17:12]	RW	vpll0_refdiv	VPLL0 参考时钟分频系数。
[11:0]	RW	vpll0_fbdiv	VPLL0 整数倍频系数。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

PERI_CRG6

PERI_CRG6 为 VPLL2 配置寄存器 0。

Offset Address	Register Name	Total Reset Value
0x0018	PERI_CRG6	0x0900_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved		vpll2_bypass		vpll2_postdiv2			vpll2_postdiv1					vpll2_frac																			
Reset	0	0	0	0	1	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31]	RO	reserved	保留。
[30]	RW	vpll2_bypass	VPLL2 时钟分频旁路（bypass）控制。 0：非旁路； 1：旁路。
[29:27]	RW	vpll2_postdiv2	VPLL2 第二级输出分频系数。
[26:24]	RW	vpll2_postdiv1	VPLL2 第一级输出分频系数。
[23:0]	RW	vpll2_frac	VPLL2 小数分频系数。

PERI_CRG7

PERI_CRG7 为 VPLL2 配置寄存器 1。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x001C	PERI_CRG7	0x007C_2087

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved								vpll2_dacpd	vpll2_dsmpd	vpll2_pd	vpll2_foutvcopd	vpll2_postdivpd	vpll2_fout4phasepd	vpll2_refdiv						vpll2_fbdiv											
Reset	0	0	0	0	0	0	0	0	0	1	1	1	1	1	0	0	0	0	1	0	0	0	0	0	1	0	0	0	0	1	1	1

Bits	Access	Name	Description
[31:24]	RO	reserved	保留。
[23]	RW	vpll2_dacpd	VPLL2 测试信号控制。 0：power down 工作状态； 1：正常工作状态。
[22]	RW	vpll2_dsmpd	VPLL2 小数分频控制。 0：小数模式； 1：整数模式。
[21]	RW	vpll2_pd	VPLL2 Power Down 控制。 0：power down 工作状态； 1：正常工作状态。
[20]	RW	vpll2_foutvcopd	VPLL2 VCO 输出 Power Down 控制。 0：不输出时钟； 1：正常输出时钟。
[19]	RW	vpll2_postdivpd	VPLL2 POSTDIV 输出 Power Down 控制。 0：不输出时钟； 1：正常时钟输出。
[18]	RW	vpll2_fout4phasepd	VPLL2 FOUT 输出 Power Down 控制。 0：不输出时钟； 1：正常时钟输出。
[17:12]	RW	vpll2_refdiv	VPLL2 参考时钟分频系数。
[11:0]	RW	vpll2_fbdiv	VPLL2 整数倍频系数。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

PERI_CRG8

PERI_CRG8 为 EPLL 配置寄存器 0。

Offset Address	Register Name	Total Reset Value
0x0020	PERI_CRG8	0x0B00_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved		epll_bypass		epll_postdiv2				epll_postdiv1				epll_frac																			
Reset	0		0		0		0		1		0		1		1		0		0		0		0		0		0		0		0	
	0		0		0		0		0		0		0		0		0		0		0		0		0		0		0		0	
	0		0		0		0		0		0		0		0		0		0		0		0		0		0		0		0	
	0		0		0		0		0		0		0		0		0		0		0		0		0		0		0		0	

Bits	Access	Name	Description
[31]	RO	reserved	保留。
[30]	RW	epll_bypass	EPLL 时钟分频旁路（bypass）控制。 0：非旁路； 1：旁路。
[29:27]	RW	epll_postdiv2	EPLL 第二级输出分频系数。
[26:24]	RW	epll_postdiv1	EPLL 第一级输出分频系数。
[23:0]	RW	epll_frac	EPLL 小数分频系数。

PERI_CRG9

PERI_CRG9 为 EPLL 配置寄存器 1。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x0024	PERI_CRG9	0x007C_207D

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved								epll_dacpd	epll_dsmpd	epll_pd	epll_foutvcopd	epll_postdivpd	epll_fout4phasepd	epll_refdiv						epll_fbdiv											
Reset	0	0	0	0	0	0	0	0	0	1	1	1	1	1	0	0	0	0	1	0	0	0	0	0	0	1	1	1	1	1	0	1

Bits	Access	Name	Description
[31:24]	RO	reserved	保留。
[23]	RW	epll_dacpd	EPLL 测试信号控制。 0：power down 工作状态； 1：正常工作状态。
[22]	RW	epll_dsmpd	EPLL 小数分频控制。 0：小数模式； 1：整数模式。
[21]	RW	epll_pd	EPLL Power Down 控制。 0：power down 工作状态； 1：正常工作状态。
[20]	RW	epll_foutvcopd	EPLLVCO 输出 Power Down 控制。 0：不输出时钟； 1：正常输出时钟。
[19]	RW	epll_postdivpd	EPLL POSTDIV 输出 Power Down 控制。 0：不输出时钟； 1：正常时钟输出。
[18]	RW	epll_fout4phasepd	EPLLFOUT 输出 Power Down 控制。 0：不输出时钟； 1：正常时钟输出。
[17:12]	RW	epll_refdiv	EPLL 参考时钟分频系数。
[11:0]	RW	epll_fbdiv	EPLL 整数倍频系数。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

PERI_CRG10

PERI_CRG10 为 A9 频率模式及复位配置寄存器。

Offset Address	Register Name	Total Reset Value
0x0028	PERI_CRG10	0x0000_0020

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																				cs_srst_req	cluster_scu	cluster_peri_srst_req	reserved	sc_wd_srst	cluster_dbg	cpu_srst_req	reserved	freqmode_a9_sys		reserved	
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0

Bits	Access	Name	Description
[31:12]	RO	reserved	保留。
[11]	RW	cs_srst_req	CS 的软复位请求。 0：撤消复位； 1：复位。
[10]	RW	cluster_scu_srst_req	SCU 的软复位请求。 0：撤消复位； 1：复位。
[9]	RW	cluster_peri_srst_req	PERI 的软复位请求。 0：撤消复位； 1：复位。
[8]	RO	reserved	保留。
[7]	RW	sc_wd_srst_req	WDG 的软复位请求。 0：撤消复位； 1：复位。
[6]	RW	cluster_dbg_srst_req	DBG 模块的软复位请求。 0：撤消复位； 1：复位。
[5]	RW	cpu_srst_req	CPU 的软复位请求,仅在从加载模式下有效。 0：撤消复位； 1：复位。
[4]	RO	reserved	保留 。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

[3:2]	RW	freqmode_a9_sys	A9 时钟降频配置。 通过 Mask A9 时钟脉冲可实现 A9 降频使用，调节其与 AXI 时钟之间的频比： 00：A9:AXI = 3:1； 01：A9:AXI = 3:1； 10：A9:AXI = 2:1； 11：A9:AXI = 1:1。
[1:0]	RO	reserved	保留 。

PERI_CRG11

PERI_CRG11 为 VICAP 时钟及复位配置寄存器 A。

Offset Address	Register Name	Total Reset Value
0x002C	PERI_CRG11	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	vi0_cken	vi1_cken	vi2_cken	vi3_cken	reserved				vi0div_cken	vi1div_cken	vi2div_cken	vi3div_cken	reserved				vi0_pctrl	vi1_pctrl	vi2_pctrl	vi3_pctrl	reserved				vi0_rst_req	vi1_rst_req	vi2_rst_req	vi3_rst_req	reserved			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31]	RW	vi0_cken	VI0 ch 时钟门控。 0：时钟关闭； 1：时钟打开。
[30]	RW	vi1_cken	VI1 ch 时钟门控。 0：时钟关闭； 1：时钟打开。
[29]	RW	vi2_cken	VI2 ch 时钟门控。 0：时钟关闭； 1：时钟打开。
[28]	RW	vi3_cken	VI3 ch 时钟门控。 0：时钟关闭； 1：时钟打开。
[27:24]	RO	reserved	保留。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

[23]	RW	vi0div_cken	VI0 div ch 时钟门控。 0：时钟关闭； 1：时钟打开。
[22]	RW	vi1div_cken	VI1 div ch 时钟门控。 0：时钟关闭； 1：时钟打开。
[21]	RW	vi2div_cken	VI2 div ch 时钟门控。 0：时钟关闭； 1：时钟打开。
[20]	RW	vi3div_cken	VI3 div ch 时钟门控。 0：时钟关闭； 1：时钟打开。
[19:16]	RO	reserved	保留。
[15]	RW	vi0_pctrl	VI0 输入随路时钟相位控制。默认正向。 0：正向时钟； 1：反向时钟。
[14]	RW	vi1_pctrl	VI1 输入随路时钟相位控制。默认正向。 0：正向时钟； 1：反向时钟。
[13]	RW	vi2_pctrl	VI2 输入随路时钟相位控制。默认正向。 0：正向时钟； 1：反向时钟。
[12]	RW	vi3_pctrl	VI3 输入随路时钟相位控制。默认正向。 0：正向时钟； 1：反向时钟。
[11:8]	RO	reserved	保留。
[7]	RW	vi0_rst_req	VI0 的软复位请求。 0：撤消复位； 1：复位。
[6]	RW	vi1_rst_req	VI1 的软复位请求。 0：撤消复位； 1：复位。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

[5]	RW	vi2_rst_req	VI2 的软复位请求。 0：撤消复位； 1：复位。
[4]	RW	vi3_rst_req	VI3 的软复位请求。 0：撤消复位； 1：复位。
[3:0]	RO	reserved	保留。

PERI_CRG12

PERI_CRG12 为 VICAP 时钟及复位配置寄存器 B。

Offset Address	Register Name	Total Reset Value
0x0030	PERI_CRG12	0xE40A_A000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	vi3_sc_sel		vi2_sc_sel		vi1_sc_sel		vi0_sc_sel		reserved		vi_selftest	vi_hcken	vi_hrst_req		vi0div_sel		vi1div_sel		vi2div_sel		vi3div_sel		reserved									
Reset	1	1	1	0	0	1	0	0	0	0	0	0	1	0	1	0	1	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:30]	RW	vi3_sc_sel	VI3 ch 时钟源选择。 00：选择 vi0 pad 输入时钟； 01：选择 vi1 pad 输入时钟； 10：选择 vi2 pad 输入时钟； 11：选择 vi3 pad 输入时钟。
[29:28]	RW	vi2_sc_sel	VI2 ch 时钟源选择。 00：选择 vi0 pad 输入时钟； 01：选择 vi1 pad 输入时钟； 10：选择 vi2 pad 输入时钟； 11：选择 vi3 pad 输入时钟。
[27:26]	RW	vi1_sc_sel	VI1 ch 时钟源选择。 00：选择 vi0 pad 输入时钟； 01：选择 vi1 pad 输入时钟； 10：选择 vi2 pad 输入时钟； 11：选择 vi3 pad 输入时钟。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

[25:24]	RW	vi0_sc_sel	VI0 ch 时钟源选择。 00：选择 vi0 pad 输入时钟； 01：选择 vi1 pad 输入时钟； 10：选择 vi2 pad 输入时钟； 11：选择 vi3 pad 输入时钟。
[23]	RO	reserved	保留。
[22]	RW	vi_selftest	VICAP selftest 模式配置。 0：正常工作模式，选择 IO 输入时钟； 1：自测试模式，选择片内 24M 测试时钟。
[21]	RW	vi_hcken	VI 总线时钟门控。 0：时钟关闭； 1：时钟打开。
[20]	RW	vi_hrst_req	VI 总线侧的软复位请求。 0：撤消复位； 1：复位。
[19:18]	RW	vi0div_sel	VI0 div ch 时钟选择。默认 div1。 00：div2； 01：div4； 10：div1； 11：保留。
[17:16]	RW	vi1div_sel	VI1 div ch 时钟选择。默认 div1。 00：div2； 01：div4； 10：div1； 11：保留 。
[15:14]	RW	vi2div_sel	VI2 div ch 时钟选择。默认 div1。 00：div2； 01：div4； 10：div1； 11：保留。
[13:12]	RW	vi3div_sel	VI3 div ch 时钟选择。默认 div1。 00：div2； 01：div4； 10：div1； 11：保留 。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

[11:0]	RO	reserved	保留。

PERI_CRG13

PERI_CRG13 为 VOU 时钟及复位控制寄存器。

Offset Address	Register Name	Total Reset Value
0x0034	PERI_CRG13	0x0000_0037

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																	vou_sdate0_cke	vou_sdate1_cke	vohd_out_cksel	vou_sd0_cken	vou_sd1_cken	vou_hd_cken	vou_hcken	sddac_pd_req	hddac_pd_req	vosd_out_pctrl	vohd_out_pctrl	reserved	vo_sd_srst_req	vo_hd_srst_req	vo_hrst_req
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	0	1	1	1

Bits	Access	Name	Description
[31:15]	RO	reserved	保留。
[14]	RW	vou_sdate0_cken	VOU SDATE0 时钟门控配置。 0：关闭时钟； 1：打开时钟。
[13]	RW	vou_sdate1_cken	VOU SDATE1 时钟门控配置。 0：关闭时钟； 1：打开时钟。
[12]	RW	vohd_out_cksel	VO HD 输出随路时钟源选择。 0：HD1120 时钟； 1：SD656 时钟。
[11]	RW	vou_sd0_cken	VOU SD0 时钟门控配置。 0：关闭时钟； 1：打开时钟。
[10]	RW	vou_sd1_cken	VOU SD1 时钟门控配置。 0：关闭时钟； 1：打开时钟。
[9]	RW	vou_hd_cken	VOU HD 时钟门控配置。 0：关闭时钟； 1：打开时钟。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

[8]	RW	vou_hcken	VOU 总线时钟门控配置。 0：关闭时钟； 1：打开时钟。
[7]	RW	sddac_pd_req	VOU SD DAC PowerDown 配置。 0：正常工作态； 1：PowerDown。
[6]	RW	hddac_pd_req	VOU HD DAC PowerDown 配置。 0：正常工作态； 1：PowerDown。
[5]	RW	vosd_out_pctrl	VOU SD 输出随路时钟相位控制。默认反向。 0：正向时钟； 1：反向时钟。
[4]	RW	vohd_out_pctrl	VOU HD 输出随路时钟相位控制。默认反向。 0：正向时钟； 1：反向时钟。
[3]	RO	reserved	保留。
[2]	RW	vo_sd_srst_req	VOU SD 的软复位请求。 0：撤消复位； 1：复位。
[1]	RW	vo_hd_srst_req	VOU HD 的软复位请求。 0：撤消复位； 1：复位。
[0]	RW	vo_hrst_req	VOU 总线软复位请求。 0：撤消复位； 1：复位。

PERI_CRG15

PERI_CRG15 为 HDMI 时钟及复位控制寄存器。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x003C	PERI_CRG15	0x0000_0001

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																								hdmi_test_sel	hdmi_cec_clk_sel	hdmi_asclk_sel	hdmi_osclk_sel	hdmi_idcken	hdmi_hcken	reserved	hdmi_srst_req
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1

Bits	Access	Name	Description
[31:8]	R0	reserved	保留。
[7]	RW	hdmi_test_sel	HDMI 测试时钟选择。 0：asclk 时钟； 1：cec_clk 时钟。
[6]	RW	hdmi_cec_clk_sel	HDMI CEC CLK 时钟门选择。 0：XTAL div12 时钟； 1：PLL 分频 2.04MHz 时钟。
[5]	RW	hdmi_asclk_sel	HDMI ASCLK 时钟选择。 0：HDMI PHY 时钟； 1：PLL 时钟。
[4]	RW	hdmi_osclk_sel	HDMI OSCLK 时钟选择。 0：HDMI PHY 时钟； 1：PLL 时钟。
[3]	RW	hdmi_idcken	HDMI pixel 时钟门控配置。 0：关闭时钟； 1：打开时钟。
[2]	RW	hdmi_hcken	HDMI 总线时钟门控配置。 0：关闭时钟； 1：打开时钟。
[1]	RO	reserved	保留。
[0]	RW	hdmi_srst_req	HDMI 的软复位请求。 0：撤消复位； 1：复位。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

PERI_CRG16

PERI_CRG16 为 VEDU 时钟及软复位控制寄存器。

Offset Address	Register Name	Total Reset Value
0x0040	PERI_CRG16	0x0000_0C03

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																				sed_cken	reserved	veduclk_loaden	veduclk_skipcfg					reserved		Vedu_cken	vedu_srst_req
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	0	0	0	0	0	0	0	0	1	1

Bits	Access	Name	Description
[31:12]	RO	reserved	保留。
[11]	RW	sed_cken	SED 时钟门控配置。 0：关闭时钟； 1：打开时钟。
[10]	RO	reserved	保留。
[9]	RW	veduclk_loaden	VEDU 时钟分频配置使能。 0：不使能； 1：使能。 每次改变分频配置时，分下面三步： 1.写入新的分频配置值。 2.将 veduclk_loaden 写为 0。 3.将 veduclk_loaden 写为 1。
[8:4]	RW	veduclk_skipcfg	VEDU 时钟分频配置。 N：每 32 拍 VEDU 时钟中关掉 N 拍时钟。
[3:2]	RO	reserved	保留。
[1]	RW	Vedu_cken	VEDU 时钟门控配置。 0：关闭时钟； 1：打开时钟。
[0]	RW	vedu_srst_req	VEDU 的软复位请求。 0：撤销复位； 1：复位。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

PERI_CRG18

PERI_CRG18 为 VPSS 时钟及软复位控制寄存器。

Offset Address	Register Name	Total Reset Value
0x0048	PERI_CRG18	0x0000_0003

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																						vpsclk_loaden	vpsclk_skipcfg					reserved		vps_cken	vps_srst_req
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1

Bits	Access	Name	Description
[31:10]	RO	reserved	保留。
[9]	RW	vpsclk_loaden	VPS 时钟分频配置使能。 0：不使能； 1：使能。 每次改变分频配置时，分下面三步： 1.写入新的分频配置值。 2.将 vpsclk_loaden 写为 0。 3.将 vpsclk_loaden 写为 1。
[8:4]	RW	vpsclk_skipcfg	VPS 时钟分频配置。 N：每 32 拍 VPS 时钟中关掉 N 拍时钟。
[3:2]	RO	reserved	保留。
[1]	RW	vps_cken	VPS 时钟门控配置寄存器， 0：关闭时钟； 1：打开时钟。
[0]	RW	vps_srst_req	VPS 的软复位请求。 0：撤销复位； 1：复位。

PERI_CRG20

PERI_CRG20 为 VDH 时钟及软复位控制寄存器。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x0050	PERI_CRG20	0x0000_0003

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																					vdh_pwrup_srst_req	vdhclk_loaden	vdhclk_skipcfg					reserved		vdh_cken	vdh_srst_req
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1

Bits	Access	Name	Description
[31:11]	RO	reserved	保留。
[10]	RW	vdh_pwrup_srst_req	VDH 的软复位请求 2。当 VDH 模块关电再重新上电时，需要先复位 VDH 模块才能工作。 0：撤销复位； 1：复位。
[9]	RW	vdhclk_loaden	VDH 时钟分频配置使能。 0：不使能； 1：使能。 每次改变分频配置时，分下面三步： 1.写入新的分频配置值。 2.将 vdhclk_loaden 写为 0。 3.将 vdhclk_loaden 写为 1。
[8:4]	RW	vdhclk_skipcfg	VDH 时钟分频配置。 N：每 32 拍 VDH 时钟中关掉 N 拍时钟。
[3:2]	RO	reserved	保留。
[1]	RW	vdh_cken	VDH 时钟门控配置寄存器， 0：关闭时钟； 1：打开时钟。
[0]	RW	vdh_srst_req	VDH 的软复位请求 1。 0：撤销复位； 1：复位。

PERI_CRG22

PERI_CRG22 为 TDE 时钟及软复位控制寄存器。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x0058	PERI_CRG22	0x0000_0003

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																						tdeclk_loaden	tdeclk_skipcfg					reserved		tde_cken	tde_srst_req
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1

Bits	Access	Name	Description
[31:10]	RO	reserved	保留。
[9]	RW	tdeclk_loaden	TDE 时钟分频配置使能。 0：不使能； 1：使能。 每次改变分频配置时，分下面三步： 1.写入新的分频配置值。 2.将 tdeclk_loaden 写为 0。 3.将 tdeclk_loaden 写为 1。
[8:4]	RW	tdeclk_skipcfg	TDE 时钟分频配置。 N：每 32 拍 TDE 时钟中关掉 N 拍时钟。
[3:2]	RO	reserved	保留。
[1]	RW	tde_cken	TDE 时钟门控配置寄存器， 0：关闭时钟； 1：打开时钟。
[0]	RW	tde_srst_req	TDE 的软复位请求。 0：撤销复位； 1：复位。

PERI_CRG24

PERI_CRG24 为 JPGE 时钟及软复位控制寄存器。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x0060	PERI_CRG24	0x0000_0003

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																						jpgeclk_loaden		jpgeclk_skipcfg					reserved		jpge_cken	jpge_srst_req
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1

Bits	Access	Name	Description
[31:10]	RO	reserved	保留。
[9]	RW	jpgeclk_loaden	JPGE 时钟分频配置使能。 0：不使能； 1：使能。 每次改变分频配置时，分下面三步： 1.写入新的分频配置值。 2.将 jpgeclk_loaden 写为 0。 3.将 jpgeclk_loaden 写为 1。
[8:4]	RW	jpgeclk_skipcfg	JPGE 时钟分频配置。 N：每 32 拍 TDE 时钟中关掉 N 拍时钟。
[3:2]	RO	reserved	保留。
[1]	RW	jpge_cken	JPGE 时钟门控配置寄存器， 0：关闭时钟； 1：打开时钟。
[0]	RW	jpge_srst_req	JPGE 的软复位请求。 0：撤销复位； 1：复位。

PERI_CRG25

PERI_CRG25 为 JPGD 时钟及软复位控制寄存器。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x0064	PERI_CRG25	0x0000_0003

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																					jpgd_cksel	jpgdclk_loaden	jpgdclk_skipcfg					reserved			jpgd_cken	jpgd_srst_req
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1

Bits	Access	Name	Description
[31:11]	RO	reserved	保留。
[10]	RW	jpgd_cksel	JPGD 时钟源选择。 0：选择 300M 时钟； 1：选择 250M 时钟。
[9]	RW	jpgdclk_loaden	JPGD 时钟分频配置使能。 0：不使能； 1：使能。 每次改变分频配置时，分下面三步： 1.写入新的分频配置值。 2.将 jpgdclk_loaden 写为 0。 3.将 jpgdclk_loaden 写为 1。
[8:4]	RW	jpgdclk_skipcfg	JPGD 时钟分频配置。 N：每 32 拍 TDE 时钟中关掉 N 拍时钟。
[3:2]	RO	reserved	保留。
[1]	RW	jpgd_cken	JPGD 时钟门控配置。 0：关闭时钟； 1：打开时钟。
[0]	RW	jpgd_srst_req	JPGD 的软复位请求。 0：撤销复位； 1：复位。

PERI_CRG26

PERI_CRG26 为 MDU 时钟及软复位控制寄存器。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x0068	PERI_CRG26	0x0000_0003

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																						mduclk_loaden	mduclk_skipcfg					reserved		mdu_cken	mdu_srst_req
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1

Bits	Access	Name	Description
[31:10]	RO	reserved	保留。
[9]	RW	mduclk_loaden	MDU 时钟分频配置使能。 0：不使能； 1：使能。 每次改变分频配置时，分下面三步： 1.写入新的分频配置值。 2.将 mduclk_loaden 写为 0。 3.将 mduclk_loaden 写为 1。
[8:4]	RW	mduclk_skipcfg	MDU 时钟分频配置。 N：每 32 拍 TDE 时钟中关掉 N 拍时钟。
[3:2]	RO	reserved	保留。
[1]	RW	mdu_cken	MDU 时钟门控配置。 0：关闭时钟； 1：打开时钟。
[0]	RW	mdu_srst_req	TDE0 的软复位请求。 0：撤销复位； 1：复位。

PERI_CRG27

PERI_CRG27 为 VAPU 时钟及软复位控制寄存器。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x006C	PERI_CRG27	0x0000_0003

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																						vapuclk_loaden		vapuclk_skipcfg					reserved		vapu_cken	vapu_srst_req
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1

Bits	Access	Name	Description
[31:10]	RO	reserved	保留。
[9]	RW	vapuclk_loaden	VAPU 时钟分频配置使能。 0：不使能； 1：使能。 每次改变分频配置时，分下面三步： 1.写入新的分频配置值。 2.将 vapuclk_loaden 写为 0。 3.将 vapuclk_loaden 写为 1。
[8:4]	RW	vapuclk_skipcfg	VAPU 时钟分频配置。 N：每 32 拍 TDE 时钟中关掉 N 拍时钟。
[3:2]	RO	reserved	保留。
[1]	RW	vapu_cken	VAPU 时钟门控配置。 0：关闭时钟； 1：打开时钟。
[0]	RW	vapu_srst_req	VAPU 的软复位请求。 0：撤销复位； 1：复位。

PERI_CRG28

PERI_CRG28 为 VOIE 相关的时钟及软复位控制寄存器。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x0070	PERI_CRG28	0x0000_0000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2	1	0
Name	reserved								aenc_cken	aenc_srst_req
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0	0	0

Bits	Access	Name	Description
[31:2]	RO	reserved	保留。
[1]	RW	aenc_cken	AENC 时钟门控配置。 0：关闭时钟； 1：打开时钟。
[0]	RW	aenc_srst_req	AENC 的软复位请求。 0：撤销复位； 1：复位。

PERI_CRG29

PERI_CRG29 为 VCMP 相关的时钟及软复位控制寄存器。

Offset Address	Register Name	Total Reset Value
0x0074	PERI_CRG29	0x0000_0000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2	1	0
Name	reserved								vcmp_cken	vcmp_srst_req
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0	0	0

Bits	Access	Name	Description
[31:2]	RO	reserved	保留。
[1]	RW	vcmp_cken	VCMP 时钟门控配置。 0：关闭时钟； 1：打开时钟。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

[0]	RW	vcmp_srst_req	VCMP 的软复位请求。 0：撤销复位； 1：复位。

PERI_CRG31

PERI_CRG31 为 CIPHER 相关的时钟及软复位控制寄存器。

Offset Address	Register Name	Total Reset Value
0x007C	PERI_CRG31	0x0000_0000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2	1	0
Name	reserved								cipher_cken	cipher_srst_req
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0	0	0

Bits	Access	Name	Description
[31:2]	RO	reserved	保留。
[1]	RW	cipher_cken	CIPHER 时钟门控配置。 0：关闭时钟； 1：打开时钟。
[0]	RW	cipher_srst_req	CIPHER 的软复位请求。 0：撤消复位； 1：复位。

PERI_CRG32

PERI_CRG32 为 SIO0/1 MCLK 控制寄存器。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x0080	PERI_CRG32	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved								sio0_ckcfg																							
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:24]	RO	reserved	保留。
[23:0]	RW	sio0_ckcfg	sio0～1 mclk 的分频时钟配置值，配置值为（MCLK0/SIO 时钟源头频率）×2^27。时钟源头频率为 500Mhz。Mclk 最大支持 62.5MHz。

PERI_CRG33

PERI_CRG33 为 SIO2 MCLK 控制寄存器。

Offset Address	Register Name	Total Reset Value
0x0084	PERI_CRG33	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved								sio2_ckcfg																							
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:24]	RO	reserved	保留。
[23:0]	RW	sio2_ckcfg	sio2 mclk 的分频时钟配置值，配置值为（MCLK0/SIO 时钟源头频率）x 2^27。时钟源头频率为 500Mhz。Mclk 最大支持 62.5MHz。

PERI_CRG34

PERI_CRG34 为 SIO3 MCLK 控制寄存器。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x0088	PERI_CRG34	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved								sio3_ckcfg																							
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:24]	RO	reserved	保留。
[23:0]	RW	sio3_ckcfg	sio3 mclk 的分频时钟配置值，配置值为（MCLK0/SIO 时钟源头频率）x 2^27。时钟源头频率为 500Mhz。Mclk 最大支持 62.5MHz。

PERI_CRG35

PERI_CRG35 为 SIO0 相关的时钟及软复位控制寄存器。

Offset Address	Register Name	Total Reset Value
0x008C	PERI_CRG35	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																	sio0_fsclk_div			sio0_bclk_div				sio0_fs_rxtx_sel	sio0_bclk_rxtx_sel	reserved		sio0_bclk_sel	sio0_bclkout_pctrl	sio0_bclk_pctrl	sio0_cken	sio0_srst_req
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:15]	RO	reserved	保留。
[14:12]	RW	sio0_fsclk_div	位时钟 BCLK 与采样时钟 FS 的分频关系。 000：FS 是 BCLK 的 16 分频； 001：FS 是 BCLK 的 32 分频； 010：FS 是 BCLK 的 48 分频； 011：FS 是 BCLK 的 64 分频； 100：FS 是 BCLK 的 128 分频； 101：FS 是 BCLK 的 256 分频； 其他：FS 是 BCLK 的 8 分频。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

[11:8]	RW	sio0_bclk_div	主时钟 MCLK 与位时钟 BCLK 分频关系。 0000：BCLK 是 MCLK 的 1 分频； 0001：BCLK 是 MCLK 的 3 分频； 0010：BCLK 是 MCLK 的 2 分频； 0011：BCLK 是 MCLK 的 4 分频； 0100：BCLK 是 MCLK 的 6 分频； 0101：BCLK 是 MCLK 的 8 分频； 0110：BCLK 是 MCLK 的 12 分频； 0111：BCLK 是 MCLK 的 16 分频； 1000：BCLK 是 MCLK 的 24 分频； 1001：BCLK 是 MCLK 的 32 分频； 1010：BCLK 是 MCLK 的 48 分频； 1011：BCLK 是 MCLK 的 64 分频； 其他：BCLK 是 MCLK 的 8 分频。
[7]	RW	sio0_fs_rxtx_sel	SIO TX RX FS 复用关系配置。 0：RX、TX 独立； 1：TX 复用 RX 的 BCLK。
[6]	RW	sio0_bclk_rxtx_sel	SIO TX RX BCK 复用关系配置。 0：RX、TX 独立； 1：TX 复用 RX 的 BCLK。
[5]	RO	reserved	保留。
[4]	RW	sio0_bclk_sel	SIO0 BCLK 时钟的选择。 0：选择外部产生的 bclk； 1：选择内部产生的 bclk。
[3]	RW	sio0_bclkout_pctrl	SIO0 BCLK OUT 的极性控制。 0：正向； 1：反向。
[2]	RW	sio0_bclk_pctrl	SIO0 BCLK 的极性控制。 0：正向； 1：反向。
[1]	RW	sio0_cken	SIO0 时钟门控。 0：关闭时钟； 1：打开时钟。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

[0]	RW	sio0_srst_req	SIO0 的软复位请求。 0：撤消复位； 1：复位。

PERI_CRG36

PERI_CRG36 为 SIO1 相关的时钟及软复位控制寄存器。

Offset Address	Register Name	Total Reset Value
0x0090	PERI_CRG36	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																sio1_fsclk_div				sio1_bclk_div				sio1_fs_rxtx_sel	sio1_bclk_rxtx_sel	reserved	sio1_bclk_sel	sio1_bclkout_pctrl	sio1_bclk_pctrl	sio1_cken	sio1_srst_req
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:15]	RO	reserved	保留。
[14:12]	RW	sio1_fsclk_div	SIO1 位时钟 BCLK 与采样时钟 FS 的分频关系。 000：FS 是 BCLK 的 16 分频； 001：FS 是 BCLK 的 32 分频； 010：FS 是 BCLK 的 48 分频； 011：FS 是 BCLK 的 64 分频； 100：FS 是 BCLK 的 128 分频； 101：FS 是 BCLK 的 256 分频； 其他：FS 是 BCLK 的 8 分频。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

[11:8]	RW	sio1_bclk_div	SIO1 主时钟 MCLK 与位时钟 BCLK 分频关系。 0000：BCLK 是 MCLK 的 1 分频； 0001：BCLK 是 MCLK 的 3 分频； 0010：BCLK 是 MCLK 的 2 分频； 0011：BCLK 是 MCLK 的 4 分频； 0100：BCLK 是 MCLK 的 6 分频； 0101：BCLK 是 MCLK 的 8 分频； 0110：BCLK 是 MCLK 的 12 分频； 0111：BCLK 是 MCLK 的 16 分频； 1000：BCLK 是 MCLK 的 24 分频； 1001：BCLK 是 MCLK 的 32 分频； 1010：BCLK 是 MCLK 的 48 分频； 1011：BCLK 是 MCLK 的 64 分频； 其他：BCLK 是 MCLK 的 8 分频。
[7]	RW	sio1_fs_rxtx_sel	SIO1 TX RX FS 复用关系配置。 0：RX、TX 独立； 1：TX 复用 RX 的 BCLK。
[6]	RW	sio1_bclk_rxtx_sel	SIO1 TX RX BCK 复用关系配置。 0：RX、TX 独立； 1：TX 复用 RX 的 BCLK。
[5]	RO	reserved	保留。
[4]	RW	sio1_bclk_sel	SIO1 BCLK 时钟的选择。 0：选择外部产生的 bclk； 1：选择内部产生的 bclk。
[3]	RW	sio1_bclkout_pctrl	SIO1 BCLK OUT 的极性控制。 0：正向； 1：反向。
[2]	RW	sio1_bclk_pctrl	SIO1 BCLK 的极性控制。 0：正向； 1：反向。
[1]	RW	sio1_cken	SIO1 时钟门控。 0：关闭时钟； 1：打开时钟。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

[0]	RW	sio1_srst_req	SIO1 的软复位请求。 0：撤消复位； 1：复位。

PERI_CRG37

PERI_CRG37 为 SIO2 相关的时钟及软复位控制寄存器。

Offset Address	Register Name	Total Reset Value
0x0094	PERI_CRG37	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																sio2_fsclk_div				sio2_bclk_div				sio2_fs_rxtx_sel	sio2_bclk_rxtx_sel	reserved	sio2_bclk_sel	sio2_bclkout_pctrl	sio2_bclk_pctrl	sio2_cken	sio2_srst_req
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:15]	RO	reserved	保留。
[14:12]	RW	sio2_fsclk_div	SIO2 位时钟 BCLK 与采样时钟 FS 的分频关系。 000：FS 是 BCLK 的 16 分频； 001：FS 是 BCLK 的 32 分频； 010：FS 是 BCLK 的 48 分频； 011：FS 是 BCLK 的 64 分频； 100：FS 是 BCLK 的 128 分频； 101：FS 是 BCLK 的 256 分频； 其他：FS 是 BCLK 的 8 分频。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

[11:8]	RW	sio2_bclk_div	SIO2 主时钟 MCLK 与位时钟 BCLK 分频关系。 0000：BCLK 是 MCLK 的 1 分频； 0001：BCLK 是 MCLK 的 3 分频； 0010：BCLK 是 MCLK 的 2 分频； 0011：BCLK 是 MCLK 的 4 分频； 0100：BCLK 是 MCLK 的 6 分频； 0101：BCLK 是 MCLK 的 8 分频； 0110：BCLK 是 MCLK 的 12 分频； 0111：BCLK 是 MCLK 的 16 分频； 1000：BCLK 是 MCLK 的 24 分频； 1001：BCLK 是 MCLK 的 32 分频； 1010：BCLK 是 MCLK 的 48 分频； 1011：BCLK 是 MCLK 的 64 分频； 其他：BCLK 是 MCLK 的 8 分频。
[7]	RW	sio2_fs_rxtx_sel	SIO2 TX RX FS 复用关系配置。 0：RX、TX 独立； 1：TX 复用 RX 的 BCLK。
[6]	RW	sio2_bclk_rxtx_sel	SIO2 TX RX BCK 复用关系配置。 0：RX、TX 独立； 1：TX 复用 RX 的 BCLK。
[5]	RO	reserved	保留。
[4]	RW	sio2_bclk_sel	SIO2 BCLK 时钟的选择。 0：选择外部产生的 BCLK； 1：选择内部产生的 BCLK。
[3]	RW	sio2_bclkout_pctrl	SIO2 BCLK OUT 的极性控制。 0：正向； 1：反向。
[2]	RW	sio2_bclk_pctrl	SIO2 BCLK 的极性控制。 0：正向； 1：反向。
[1]	RW	sio2_cken	SIO2 时钟门控。 0：关闭时钟； 1：打开时钟。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

[0]	RW	sio2_srst_req	SIO2 的软复位请求。 0：撤消复位； 1：复位。

PERI_CRG38

PERI_CRG38 为 SIO3 相关的时钟及软复位控制寄存器。

Offset Address	Register Name	Total Reset Value
0x0098	PERI_CRG38	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																sio3_fsclk_div				sio3_bclk_div				sio3_fs_rxtx_sel	sio3_bclk_rxtx_sel	reserved	sio3_bclk_sel	sio3_bclkout_pctrl	sio3_bclk_pctrl	sio3_cken	sio3_srst_req
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:15]	RO	reserved	保留。
[14:12]	RW	sio3_fsclk_div	SIO3 位时钟 BCLK 与采样时钟 FS 的分频关系。 000：FS 是 BCLK 的 16 分频； 001：FS 是 BCLK 的 32 分频； 010：FS 是 BCLK 的 48 分频； 011：FS 是 BCLK 的 64 分频； 100：FS 是 BCLK 的 128 分频； 101：FS 是 BCLK 的 256 分频； 其他：FS 是 BCLK 的 8 分频。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

[11:8]	RW	sio3_bclk_div	SIO3 主时钟 MCLK 与位时钟 BCLK 分频关系。 0000：BCLK 是 MCLK 的 1 分频； 0001：BCLK 是 MCLK 的 3 分频； 0010：BCLK 是 MCLK 的 2 分频； 0011：BCLK 是 MCLK 的 4 分频； 0100：BCLK 是 MCLK 的 6 分频； 0101：BCLK 是 MCLK 的 8 分频； 0110：BCLK 是 MCLK 的 12 分频； 0111：BCLK 是 MCLK 的 16 分频； 1000：BCLK 是 MCLK 的 24 分频； 1001：BCLK 是 MCLK 的 32 分频； 1010：BCLK 是 MCLK 的 48 分频； 1011：BCLK 是 MCLK 的 64 分频； 其他：BCLK 是 MCLK 的 8 分频。
[7]	RW	sio3_fs_rxtx_sel	SIO3 TX RX FS 复用关系配置。 0：RX、TX 独立； 1：TX 复用 RX 的 BCLK。
[6]	RW	sio3_bclk_rxtx_sel	SIO3 TX RX BCK 复用关系配置。 0：RX、TX 独立； 1：TX 复用 RX 的 BCLK。
[5]	RO	reserved	保留 。
[4]	RW	sio3_bclk_sel	SIO3 BCLK 时钟的选择。 0：选择外部产生的 BCLK； 1：选择内部产生的 BCLK。
[3]	RW	sio3_bclkout_pctrl	SIO3 BCLK OUT 的极性控制。 0：正向； 1：反向。
[2]	RW	sio3_bclk_pctrl	SIO3 BCLK 的极性控制。 0：正向； 1：反向。
[1]	RW	sio3_cken	SIO3 时钟门控。 0：关闭时钟； 1：打开时钟。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

[0]	RW	sio3_srst_req	SIO3 的软复位请求。 0：撤消复位； 1：复位。

PERI_CRG45

PERI_CRG45 为 SATA 相关的时钟及软复位控制寄存器。

Offset Address	Register Name	Total Reset Value
0x00B4	PERI_CRG45	0x0000_0700

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved					sata_clk_sel	sata_cken	sata0_cken	sata1_cken	rst_alive_s	rst_rx1_s	rst_rx0_s	rst_tx1_s	rst_tx0_s	rst_sata_s	hrst_sata_s	rst_sataphy_s
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0	1	1	1	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:12]	RO	reserved	保留。
[11]	RW	sata_clk_sel	SATA phy 参考时钟选择。 0：125M 时钟； 1：100M 时钟。
[10]	RW	sata_cken	SATA phy 和总线时钟状态。 0：关闭； 1：打开。
[9]	RW	sata0_cken	SATA controller Port0 时钟状态。 0：关闭； 1：打开。
[8]	RW	sata1_cken	SATA controller Port1 时钟状态。 0：关闭； 1：打开。
[7]	RW	rst_alive_s	SATA controller alive 时钟域软复位控制。 0：撤消复位； 1：复位。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

[6]	RW	rst_rx1_s	SATA controller rx1 时钟域软复位控制。 0：撤消复位； 1：复位。
[5]	RW	rst_rx0_s	SATA controller rx0 时钟域软复位控制。 0：撤消复位； 1：复位。
[4]	RW	rst_tx1_s	SATA controller tx1 时钟域软复位控制。 0：撤消复位； 1：复位。
[3]	RW	rst_tx0_s	SATA controller tx0 时钟域软复位控制。 0：撤消复位； 1：复位。
[2]	RW	rst_sata_s	SATA controller 接口软复位控制。 0：撤消复位； 1：复位。
[1]	RW	hrst_sata_s	SATA controller 总线软复位控制。 0：撤消复位； 1：复位。
[0]	RW	rst_sataphy_s	SATA phy 软复位控制。 0：撤消复位； 1：复位。

PERI_CRG46

PERI_CRG46 为 USB 相关的时钟及软复位控制寄存器。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x00B8	PERI_CRG46	0x0000_00FF

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																								usb_cken	usb_ctrl_utmi1_req	usb_ctrl_utmi0_req	usb_ctrl_hub_req	usbphy_port1_treq	usbphy_port0_treq	usbphy_req	usb_ahb_srst_req
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1

Bits	Access	Name	Description
[31:8]	RO	reserved	保留。
[7]	RW	usb_cken	USBPHY 参考时钟门控。 0：关闭； 1：打开。
[6]	RW	usb_ctrl_utmi1_req	USB controller port1 的软复位请求。 0：撤消复位； 1：复位。
[5]	RW	usb_ctrl_utmi0_req	USB controller port0 的软复位请求。 0：撤消复位； 1：复位。
[4]	RW	usb_ctrl_hub_req	USB controller hub 的软复位请求。 0：撤消复位； 1：复位。
[3]	RW	usbphy_port1_treq	USBPHY PORT1 的软复位请求。 0：撤消复位； 1：复位。
[2]	RW	usbphy_port0_treq	USBPHY PORT0 的软复位请求。 0：撤消复位； 1：复位。
[1]	RW	usbphy_req	USBPHY 的软复位请求。 0：撤消复位； 1：复位。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

[0]	RW	usb_ahb_srst_req	USB controller 总线软复位请求。 0：撤消复位； 1：复位。

PERI_CRG48

PERI_CRG48 为 SFC 相关的时钟及软复位控制寄存器。

Offset Address	Register Name	Total Reset Value
0x00C0	PERI_CRG48	0x0000_0002

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																												sfc_cksel		sfc_cken	sfc_srst_req
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0

Bits	Access	Name	Description
[31:4]	RO	reserved	保留。
[3:2]	RW	sfc_cksel	SFC2X 时钟源选择。 X0：24M 时钟； 01：100M 时钟； 11：125M 时钟。
[1]	RW	sfc_cken	SFC 时钟门控配置寄存器。 0：关闭时钟； 1：打开时钟。
[0]	RW	sfc_srst_req	SFC 的软复位请求。 0：撤消复位； 1：复位。

PERI_CRG49

PERI_CRG49 为 SDIO 相关的时钟及软复位控制寄存器。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x00C4	PERI_CRG49	0x0000_0002

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																												sdioclk_pctrl	sdioclk_sel	sdio_cken	sdio_srst_req
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0

Bits	Access	Name	Description
[31:4]	RO	reserved	保留。
[3]	RW	sdioclk_pctrl	SDIO SAP 时钟极性控制。 0：正向； 1：反向。
[2]	RW	sdioclk_sel	SDIO 工作时钟选择。 0：24MHz； 1：50MHz。
[1]	RW	sdio_cken	SDIO 时钟门控配置。 0：关闭； 1：打开。
[0]	RW	sdio_srst_req	SDIO 的软复位请求。 0：撤消复位； 1：复位。

PERI_CRG51

PERI_CRG51 为 TOE 和 MAC 接口相关的时钟及软复位控制寄存器。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x00CC	PERI_CRG51	0x0000_000A

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																										gmac0_if_srst_req	toe_cksel	toe_hcken	toe_hrst_req	toe_cken	toe_srst_req
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1	0

Bits	Access	Name	Description
[31:6]	RO	reserved	保留。
[5]	RW	gmac0_if_srst_req	GMAC0_IF 的软复位请求。 0：撤消复位； 1：复位。
[4]	RW	toe_cksel	TOE 工作时钟选择。 0：选择 155M APB clk； 1：选择 100M 时钟。
[3]	RW	toe_hcken	TOE 总线时钟门控配置。 0：关闭时钟； 1：打开时钟。
[2]	RW	toe_hrst_req	TOE 的总线软复位请求。 0：撤消复位； 1：复位。
[1]	RW	toe_cken	TOE 时钟门控配置。 0：关闭时钟； 1：打开时钟。
[0]	RW	toe_srst_req	TOE 的软复位请求。 0：撤消复位； 1：复位。

PERI_CRG52

PERI_CRG52 为 NandC 相关的时钟及软复位控制寄存器。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x00D0	PERI_CRG52	0x0000_0002

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																													nfc_cksel	nfc_cken	nfc_srst_req
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0

Bits	Access	Name	Description
[31:3]	RO	reserved	保留。
[2]	RW	nfc_cksel	NFC 时钟源选择。 0：24M 时钟； 1：100M 时钟；
[1]	RW	nfc_cken	NFC 时钟门控配置。 0：关闭时钟； 1：打开时钟。
[0]	RW	nfc_srst_req	NFC 的软复位请求。 0：撤消复位； 1：复位。

PERI_CRG53

PERI_CRG53 为 SCD 相关的时钟及软复位控制寄存器。

Offset Address	Register Name	Total Reset Value
0x00D4	PERI_CRG53	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																												scd_cken	reserved	scd_srst_re q	reserved
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:4]	RO	reserved	保留。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

[3]	RW	scd_cken	SCD 时钟门控配置。 0：关闭时钟； 1：打开时钟。
[2]	RO	reserved	保留。
[1]	RW	scd_srst_req	SCD 的软复位请求。 0：撤消复位； 1：复位。
[0]	RO	reserved	保留。

PERI_CRG54

PERI_CRG54 为 EFUSE 和 DDRTEST 相关的时钟及软复位控制寄存器。

Offset Address	Register Name	Total Reset Value
0x00D8	PERI_CRG54	0x0000_0002

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3	2	1	0
Name	reserved							ddrtest_cken	ddrtest_srst_req	efuse_cken	efuse_srst_req
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0	0	1	0

Bits	Access	Name	Description
[31:4]	RO	reserved	保留。
[3]	RW	ddrtest_cken	DDRTEST 时钟门控配置。 0：关闭时钟； 1：打开时钟。
[2]	RW	ddrtest_srst_req	DDRTEST 的软复位请求。 0：撤消复位； 1：复位。
[1]	RW	efuse_cken	EFUSE 时钟门控配置。 0：关闭时钟； 1：打开时钟。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

[0]	RW	efuse_srst_req	EFUSE 的软复位请求。 0：撤消复位； 1：复位。

PERI_CRG56

PERI_CRG56 为 DMA 相关的时钟及软复位控制寄存器。

Offset Address	Register Name	Total Reset Value
0x00E0	PERI_CRG56	0x0000_0008

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2	1	0
Name	reserved								dma_cken	dma_srst_req
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	1 0	0	0

Bits	Access	Name	Description
[31:2]	RO	reserved	保留。
[1]	RW	dma_cken	DMA 时钟门控配置。 0：关闭时钟； 1：打开时钟。
[0]	RW	dma_srst_req	DMA 的软复位请求。 0：撤消复位； 1：复位。

PERI_CRG57

PERI_CRG57 为其它 CRG 接口模块软复位控制寄存器。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x00E4	PERI_CRG57	0x0000_6020

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																test_clk_sel	ddr_pcken	uart_cksel	ssp_srst_req	i2c_srst_req	uart3_srst_req	uart2_srst_req	uart1_srst_req	uart0_srst_req	reserved	ddr_cken	reserved	ddrcomp_srst_re q	rtc_srst_req	ir_srst_req	test_clk_en
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	0	0	0	0	0	0	0	1	0	0	0	0	0

Bits	Access	Name	Description
[31:16]	RO	reserved	保留。
[15]	RW	test_clk_sel	测试时钟分组选择。 0：选择第二组测试时钟 (usb ohci_12m/usb free_clk/sata ckoword div2)； 1：选择第一组测试时钟 (apb div2 /hdmi asclk/hdmi osclk/hdmi v_ck2x)。
[14]	RW	ddr_pcken	DDR PCLK 时钟门控配置。 0：关闭时钟； 1：打开时钟。
[13]	RW	uart_cksel	Uart0/1/2/3 的时钟选择。 0：选择 clk_apb 总线时钟； 1：选择 clk_3m 时钟。
[12]	RW	ssp_srst_req	SSP 的软复位请求。 0：撤消复位； 1：复位。
[11]	RW	i2c_srst_req	I^2C 的软复位请求。 0：撤消复位； 1：复位。
[10]	RW	uart3_srst_req	UART3 的软复位请求。 0：撤消复位； 1：复位。
[9]	RW	uart2_srst_req	UART2 的软复位请求。 0：撤消复位； 1：复位。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

[8]	RW	uart1_srst_req	UART1 的软复位请求。 0：撤消复位； 1：复位。
[7]	RW	uart0_srst_req	UART0 的软复位请求。 0：撤消复位； 1：复位。
[6]	RO	reserved	保留。
[5]	RW	ddr_cken	DDR 2X 和 1X 时钟门控配置。 0：关闭时钟； 1：打开时钟。
[4]	RO	reserved	保留。
[3]	RW	ddrcomp_srst_req	DDR COMP 的软复位请求。 0：撤消复位； 1：复位。
[2]	RW	rtc_srst_req	RTC 的软复位请求。 0：撤消复位； 1：复位。
[1]	RW	ir_srst_req	IR 的软复位请求。 0：撤消复位； 1：复位。
[0]	RW	test_clk_en	测试时钟使能。 0：所有测试时钟禁止； 1：所有测试时钟使能。

PERI_CRG58

PERI_CRG58 为 CRG 状态寄存器。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x00E8	PERI_CRG58	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																												epll_lock	vpll2_lock	vpll0_lock	apll_lock
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:4]	RO	reserved	保留。
[3]	RO	epll_lock	EPLL LOCK 状态。 0：Unlock； 1：Locked。
[2]	RO	vpll2_lock	VPLL2 LOCK 状态。 0：Unlock； 1：Locked。
[1]	RO	vpll0_lock	VPLL0 LOCK 状态。 0：Unlock； 1：Locked。
[0]	RO	apll_lock	APLL LOCK 状态。 0：Unlock； 1：Locked。

PERI_CRG59

PERI_CRG59 为 GMAC 接口控制寄存器。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x00EC	PERI_CRG59	0x0000_0000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3	2	1	0
Name	reserved						macif_phy_select	macif_duplex_mode	macif_tx_config	macif_link_status	macif_mac_speed	macif_port_select
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0	0	0	0	0	0

Bits	Access	Name	Description
[31:8]	RO	reserved	保留。
[7:5]	RW	macif_phy_select	配置 MACIF 的 PHY 接口模式。 000：MII mode； 001：RGMII mode； 其他：保留。
[4]	RW	macif_duplex_mode	配置 MACIF 的 PHY 双工模式。 0：Half Duplex mode； 1：Full Duplex mode。
[3]	RW	macif_tx_config	配置 MACIF 发送配置使能信号。 0：Tx Config Disable； 1：Tx Config Enable。
[2]	RW	macif_link_status	配置 MACIF 的 PHY 连接状态。 0：Link Down； 1：Link Up。
[1]	RW	macif_mac_speed	配置 MACIF 的 10/100Mbps 模式。 0：10Mbps； 1：100Mbps。
[0]	RW	macif_port_select	配置 MACIF 的 1000Mbps 模式使能。 0：1000Mbps； 1：10/100Mbps。

PERI_CRG60

PERI_CRG60 为 GMAC 接口状态寄存器。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x00F0	PERI_CRG60	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																												phy_link_status		phy_link_speed		phy_link_duplex_mode
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:4]	RO	reserved	保留。
[3]	RO	phy_link_status	PHY 的连接状态。 0：Link Down； 1：Link Up。
[2:1]	RO	phy_link_speed	PHY 连接时钟频率。 00：2.5MHz； 01：25MHz； 10：125MHz； 11：保留。
[0]	RO	phy_link_duplex_mode	PHY 连接双工模式。 0：half duplex mode； 1：full duplex mode。

PERI_CRG61

PERI_CRG61 为 SpeedMonitor 控制寄存器。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x00F4	PERI_CRG61	0x0000_0000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3	2	1	0
Name	reserved								osc_en	osc_mode	osc_clk_en
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0	0	0	0

Bits	Access	Name	Description
[31:3]	RO	reserved	保留。
[2]	RW	osc_en	SpeedMonitor Enable 控制。 0：disable； 1：enalble。
[1]	RW	osc_mode	SpeedMonitor 模式配置。 0：150 step level； 1：200 step level。
[0]	RW	osc_clk_en	SpeedMonitor 时钟使能控制： 0：disable； 1：enable 。

PERI_CRG62

PERI_CRG62 为 SpeedMonitor 状态寄存器 1。

Offset Address	Register Name	Total Reset Value
0x00F8	PERI_CRG62	0x0000_0000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved			osc_valid	osc_cpu_value		osc_vdh_value	
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[31:28]	RO	reserved	保留。
[27:22]	RO	reserved	保留。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

[21:18]	RW	osc_valid	RING_OSC 计数器状态指示。 0：invalid； 1：valid。 bit[21]：CPU RING_OSC Valid 状态； bit[20]：VDH RING_OSC Valid 状态； bit[19]：DDRC RING_OSC Valid 状态； bit[18]：VEDU RING_OSC Valid 状态。
[17:9]	RO	osc_cpu_value	CPU RING_OSC 记数值。
[8:0]	RO	osc_vdh_value	VDH RING_OSC 记数值。

PERI_CRG63

PERI_CRG63 为 SpeedMonitor 状态寄存器 2。

Offset Address	Register Name	Total Reset Value
0x00FC	PERI_CRG63	0x0000_0000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved				osc_vedu_value		osc_ddrc_value	
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[31:21]	RO	reserved	保留。
[20:18]	RO	reserved	保留。
[17:9]	RO	osc_vedu_value	VEDU RING_OSC 计数值。
[8:0]	RO	osc_ddrc_value	DDRC RING_OSC 计数器值。

3.3 中断系统

芯片使用 Cortex-A9 内部集成的中断控制器 GIC，最多可支持 128 个中断源，对应的中断映射如表 3-26 所示。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

表3-26 A9 中断源分配表

中断位	中断源	中断位	中断源	中断位	中断源
0～31	A9 内部使用	64	USB_OHCI	96	VDH
32	COMMTX[0]	65	保留	97	保留
33	COMMRX[0]	66	保留	98	TDE
34	WatchDog	67	SDIO	99	保留
35	Timer0	68	SATA	100	MD
36	Timer1	69	L2CACHE_CHK0_INT	101	VCMP
37	Timer2	70	L2CACHE_CHK1_INT	102	VOIE
38	Timer3	71	L2CACHE_INT_COMB	103	SCD
39	RTC	72	A9_PMU_INT0	104	保留
40	UART0	73	保留	105	GPIO0
41	UART1	74	保留	106	GPIO1
42	UART2	75	保留	107	GPIO2
43	UART3	76	保留	108	GPIO3
44	SSP	77	保留	109	GPIO4
45	I2C	78	保留	110	GPIO5
46	NandC	79	VPSS	111	GPIO6
47	SFC	80	保留	112	GPIO7
48	IR	81	保留	113	GPIO8
49	SIO0	82	保留	114	GPIO9/GPIO10
50	SIO1	83	保留	115	GPIO11/GPIO12
51	SIO2	84	保留	116	GPIO13/GPIO14
52	SIO3	85	保留	117	保留
53	保留	86	保留	118	toe_lpi_int
54	保留	87	保留	119	toe_int
55	保留	88	IVE	120	DDR_TEST
56	保留	89	HDMI	121	保留

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

中断位	中断源	中断位	中断源	中断位	中断源
57	保留	90	VICAP	122	保留
58	Software int（软件中断）	91	VDP	123	保留
59	保留	92	VEDU	124	保留
60	Cipher	93	保留	125	保留
61	DMAC0	94	JPGE	126	保留
62	DMAC1	95	JPGD	127	保留
63	USB_EHCI	-	-	-	-

3.4 系统控制器

3.4.1 概述

系统控制器控制系统运行的模式，监控系统运行状态，管理系统中的重要功能，完成对外设的某些功能的配置。

3.4.2 特点

系统控制器具有以下特点：

- 控制并监控系统的运行模式
- 提供系统时钟控制和状态查询
- 提供对系统地址重映射的控制和状态监控
- 提供通用外设寄存器
- 提供对关键寄存器的写保护功能
- 提供芯片的标识寄存器

3.4.3 功能描述

系统运行模式控制

系统工作在以下三种工作模式：

- NORMAL 模式

  系统正常工作在 NORMAL 模式下。在此模式下，系统由片内 APLL 的输出时钟驱动。所有的模块均能正常工作于此时钟源。（部分外设可选择被 VPLL0、VPLL1、EPLL 的输出时钟驱动）
- SLOW 模式

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

SLOW 模式是一种慢速模式。在此模式下，系统由外接晶振时钟驱动，只有部分片内外设（如系统控制器、Timer、NANDC、SFC 等）可以工作。所有对高速时钟有要求的模块在此时钟下无法工作，如 DDRC 等。

- DOZE 模式

  DOZE 模式是一种低速模式。只有少量片内外设可以工作于 DOZE 模式。在此模式下，系统由外接晶振分频的 46.875kHz 低频时钟驱动。大部分片内外设无法工作，存储器接口无法工作，CPU 和少量模块（如系统控制器、Timer 和 IR 等）可以工作于该模式。

系统控制器提供了一个系统模式切换机制，用于控制系统时钟源的切换。模式切换由模式控制寄存器 SC_CTRL[modectrl]来配置，这 3 位定义了系统当前需要进入的操作模式：

- 000：保留
- 001：系统切换到 DOZE 模式
- 010：系统切换到 SLOW 模式
- 100：系统切换到 NORMAL 模式
- 其它：保留

当要求的系统操作模式已在系统模式控制寄存器中指定，系统模式控制系统即开始朝指定的模式切换，在此期间不再需要其他的软件（命令）干预。

当前系统状态可通过读取 SC_CTRL[modestatus]获得。该比特域描述的系统当前状态包括了上述的主要模式：NORMAL、SLOW、DOZE，此外还包括了 3 个主要模式之间的几个中间态：SWfromPLL、SWtoPLL、PLLCTL、SWfromXTAL、SWtoXTAL、XTALCTL。

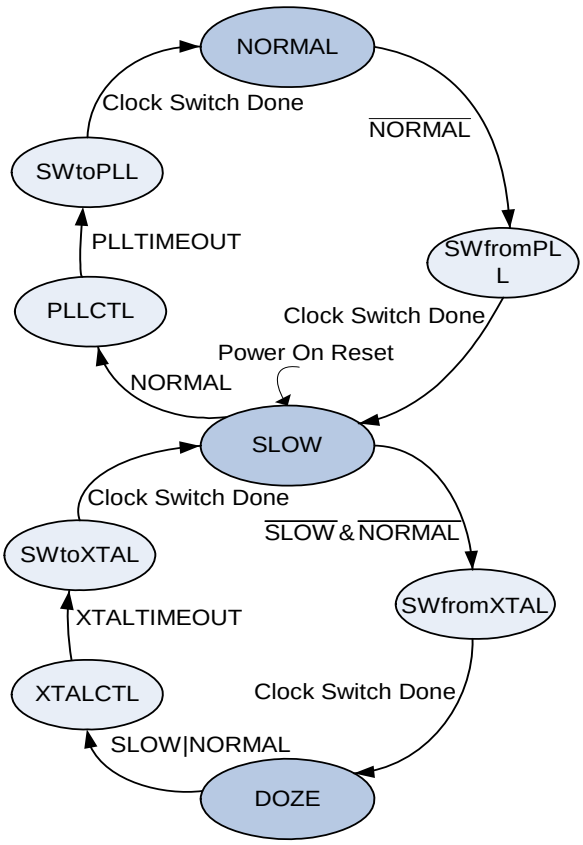
说明

NORMAL、SLOW、DOZE 三种模式切换，可配置为直接切换，如系统当前处于 NORMAL 模式，可通过配置寄存器 SC_CTRL [modectrl]为“001”进入 DOZE 模式。但实际系统运行过程中，是经历了“SWfromPLL”、“SLOW”、“SWfromXTAL”等模式或中间态的。

系统的状态切换过程如图 3-3 所示。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

图3-3 系统模式切换图



各种模式之间的切换涉及到的操作如下：

- 将 SC_CTRL[modectrl]的最高位设置为 0，系统会离开 NORMAL 模式，向慢速模式 SLOW 方向切换。
- 在系统由 NORMAL 模式进入 SLOW 模式过程中，系统首先进入 SWfromPLL 中间态。这标志着系统时钟源将从 PLL 切换到晶振。当时钟切换完成后（Clock Switch Done），系统进入 SLOW 模式。
- 上电复位之后，系统处于 SLOW 模式。设置 SC_CTRL[modectrl]的最高位为 1，可以让系统进入 NORMAL 模式。切换到 NORMAL 模式的过程中，首先进入 PLLCTL 中间态以使能 ARMPLL，在一个固定的等待时间（等待时间受 SC_XTALCTRL[plltime]影响）之后，进入 SWtoPLL 中间态进行时钟源切换，切换完成（Clock Switch Done）之后系统进入 NORMAL 模式。
- 设置 SC_CTRL[modectrl]的高两位均为 0，可以让系统向低速的 DOZE 模式方向切换。系统首先会进入 SWfromXTAL 中间态。这标志着系统时钟源将从晶振时钟切换到晶振时钟分频得到的 46.875kHz 低频时钟。当时钟切换完成后（Clock Switch Done），系统进入 DOZE 模式。
- 设置 SC_CTRL[modectrl]的高两位中的某位为 1，可以让系统向慢速的 SLOW 模式方向切换。切换到 SLOW 模式的过程中，首先进入 XTALCTL 中间态以初始化时钟模块，在一个固定的等待时间（等待时间受 SC_XTALCTRL[xtaltime]影响）之后，进入 SWtoXTAL 中间态进行时钟源切换，切换完成（Clock Switch Done）之后系统进入 SLOW 模式。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

系统控制器状态机状态和系统时钟之间的关系请参见表 3-6。

软复位控制

系统控制器支持对芯片全局以及局部模块进行软复位：

当配置全局软复位寄存器 SC_SYSRES 后，系统控制器将给片内复位模块发起请求，芯片将被复位。

系统地址重映射控制

请参见“1.3 启动模式”章节。

对关键寄存器的写保护

为防止软件对系统控制器的误操作对整个系统产生严重影响，系统控制器提供了对一些关键配置寄存器的写保护功能。包括：

- 模式切换的控制寄存器：SC_CTRL
- 系统全局软复位控制寄存器：SC_SYSRES

对这些关键寄存器进行写操作之前，必须配置寄存器 SC_LOCKEN 打开写保护。操作完成之后配置寄存器 SC_LOCKEN 关闭写保护，让这些关键寄存器不会被软件随意改写。

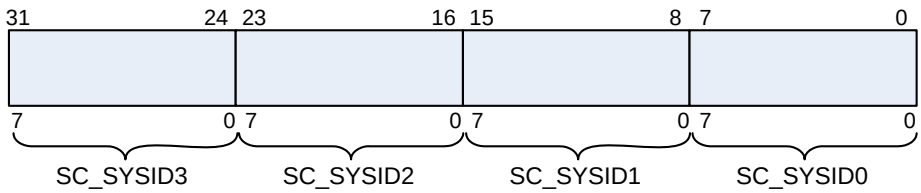
说明

系统默认为复位后不对这些关键寄存器进行写保护处理。为启用此功能，建议在系统启动时利用该寄存器对这些关键寄存器进行写保护处理。

芯片的标识寄存器

系统控制器提供了芯片标识（ID）寄存器 SC_SYSID。这个标识寄存器是一个概念上的 32bit 的标识只读寄存器，实际上由 4 个 8bit 标识寄存器组成：SC_SYSID3、SC_SYSID2、SC_SYSID1、SC_SYSID0。读出这 4 个寄存器的值，通过组合得到芯片的 32bit 标识只读寄存器的值 0x3521_0100，组合的方法如图 3-4 所示。

图3-4 芯片 ID 寄存器位分配图



3.4.4 寄存器概览

系统控制器寄存器概览如表 3-27 所示。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

表3-27 系统控制器寄存器概览（基址是 0x2005_0000）

偏移地址	名称	描述	页码
0x000	SC_CTRL	系统控制寄存器	3-80
0x004	SC_SYSRES	系统软复位寄存器	3-83
0x008	SC_IMCTRL	中断模式控制寄存器	3-84
0x00C	SC_IMSTAT	中断模式状态寄存器	3-85
0x010	SC_XTALCTRL	晶振控制寄存器	3-86
0x014	SC_PLLCTRL	PLL 控制寄存器	3-86
0x01C	PERIPHCTRL0	外设控制寄存器 0	3-87
0x0030	PERISTAT	外设状态寄存器	3-89
0x0034	PERIPHCTRL2	外设控制寄存器 2	3-90
0x0038	PERIPHCTRL3	外设控制寄存器 3	3-91
0x003C	PERIPHCTRL4	外设控制寄存器 4	3-92
0x0040	PERIPHCTRL5	外设控制寄存器 5	3-93
0x0044	SC_LOCKEN	关键系统控制寄存器的锁定寄存器	3-94
0x0048	PERIPHCTRL6	外设控制寄存器 6	3-95
0x004C	PERIPHCTRL7	外设控制寄存器 7	3-96
0x0054	PERIPHCTRL9	外设控制寄存器 9	3-96
0x0058	PERIPHCTRL10	外设控制寄存器 10	3-97
0x005C	PERIPHCTRL11	外设控制寄存器 11	3-98
0x0064	PERIPHCTRL13	外设控制寄存器 13	3-99
0x0068	PERIPHCTRL14	外设控制寄存器 14	3-100
0x006C	PERIPHCTRL15	外设控制寄存器 15	3-101
0x0070	PERIPHCTRL16	外设控制寄存器 16	3-101
0x0074	PERIPHCTRL17	外设控制寄存器 17	3-102
0x0078	PERIPHCTRL18	外设控制寄存器 18	3-103
0x007C	PERIPHCTRL19	外设控制寄存器 19	3-104
0x0080	PERIPHCTRL20	usb 控制寄存器（外设控制寄存器 20）	3-106
0x0084	PERIPHCTRL21	usb phy 控制寄存器 0（外设控制寄存器 21）	3-108

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

偏移地址	名称	描述	页码
0x0088	PERIPHCTRL22	usb phy 控制寄存器 1（外设控制寄存器 22）	3-110
0x008C	SYSSTAT	系统状态寄存器（PLL_LOCK）	3-113
0x00C0	PERIPHCTRL35	软件中断寄存器	3-115
0x00D8	PERIPHCTRL41	外设控制寄存器 41	3-116
0x00E4	PERIPHCTRL44	TOE 控制寄存器	3-118
0x00E8	PERIPHCTRL45	TOE 状态寄存器	3-119
0x00EC	PERIPHCTRL46	外设控制寄存器 46	3-120
0x00F0	PERIPHCTRL47	外设控制寄存器 47	3-120
0x0100	PERIPHCTRL51	外设控制寄存器 51	3-121
0x0104	PERIPHCTRL52	外设控制寄存器 52	3-123
0xEE0	SCSYSID0	芯片 ID 寄存器 0	3-125
0xEE4	SCSYSID1	芯片 ID 寄存器 1	3-125
0xEE8	SCSYSID2	芯片 ID 寄存器 2	3-125
0xEEC	SCSYSID3	芯片 ID 寄存器 3	3-126

3.4.5 寄存器描述

SC_CTRL

SC_CTRL 为系统控制寄存器。用于指定需要系统完成的操作。

注意

该寄存器可被寄存器 SC_LOCKEN 写保护，只有不使用写保护模式时，对这个寄存器的写操作才有效。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x000	SC_CTRL	0x0000_0212

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	timeren7ov	timeren7sel	timeren6ov	timeren6sel	timeren5ov	timeren5sel	timeren4ov	timeren4sel	wdogenov	timeren3ov	timeren3sel	timeren2ov	timeren2sel	timeren1ov	timeren1sel	timeren0ov	timeren0sel	reserved					remapstat	remapclear	reserved	modestatus			modectrl			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	1	0	0	1	0

Bits	Access	Name	Description
[31]	RW	timeren7ov	Timer7 计数时钟选择。 0：使能信号通过采用参考时钟得到，参考时钟的选择由[timeren7sel]指定； 1：由总线时钟进行计数。
[30]	RW	timeren7sel	Timer7 计数时钟频率选择。**必须配置为 0。** 0：使用 3MHz 时钟进行计数； 1：保留。
[29]	RW	timeren6ov	Timer6 计数时钟选择。 0：使能信号通过采用参考时钟得到，参考时钟的选择由[timeren6sel]指定； 1：由总线时钟进行计数。
[28]	RW	timeren6sel	Timer6 计数时钟频率选择。**必须配置为 0。** 0：使用 3MHz 时钟进行计数； 1：保留。
[27]	RW	timeren5ov	Timer5 计数时钟选择。 0：使能信号通过采用参考时钟得到，参考时钟的选择由[timeren5sel]指定； 1：由总线时钟进行计数。
[26]	RW	timeren5sel	Timer5 计数时钟频率选择。**必须配置为 0。** 0：使用 3MHz 时钟进行计数； 1：保留。
[25]	RW	timeren4ov	Timer4 计数时钟选择。 0：使能信号通过采用参考时钟得到，参考时钟的选择由[timeren4sel]指定； 1：由总线时钟进行计数。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

[24]	RW	timeren4sel	Timer4 计数时钟频率选择。**必须配置为 0。** 0：使用 3MHz 时钟进行计数； 1：保留。
[23]	RW	wdogenov	WDG 计数时钟选择。 0：WDG 使用 3MHz 时钟进行计数； 1：WDG 使用总线时钟进行计数。
[22]	RW	timeren3ov	Timer3 计数时钟选择。 0：使能信号通过采用参考时钟得到，参考时钟的选择由[timeren3sel]指定； 1：由总线时钟进行计数。
[21]	RW	timeren3sel	Timer3 计数时钟频率选择。**必须配置为 0。** 0：使用 3MHz 时钟进行计数； 1：保留。
[20]	RW	timeren2ov	Timer2 计数时钟选择。 0：使能信号通过采用参考时钟得到，参考时钟的选择由[timeren2sel]指定； 1：由总线时钟进行计数。
[19]	RW	timeren2sel	Timer2 计数时钟频率选择。**必须配置为 0。** 0：使用 3MHz 时钟进行计数； 1：保留。
[18]	RW	timeren1ov	Timer1 计数时钟选择。 0：使能信号通过采用参考时钟得到，参考时钟的选择由[timeren1sel]指定； 1：由总线时钟进行计数。
[17]	RW	timeren1sel	Timer1 计数时钟频率选择。**必须配置为 0。** 0：使用 3MHz 时钟进行计数； 1：保留。
[16]	RW	timeren0ov	Timer0 计数时钟选择。 0：使能信号通过采用参考时钟得到，参考时钟的选择由[timeren0sel]指定； 1：由总线时钟进行计数。
[15]	RW	timeren0sel	Timer0 计数时钟频率选择。**必须配置为 0。** 0：使用 3MHz 时钟进行计数； 1：保留。
[14:10]	-	reserved	保留。读时返回 0，写时无影响。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

[9]	RO	remapstat	地址重映射的状态。 0：未进行地址重映射； 1：进行地址重映射。具体如下所述： 当加载模式为自加载时，NANDC CS0 或 SFC CS1 被 Remap 到地址 0。 当加载模式为从加载时，DDRCSN 被 Remap 到地址 0。
[8]	RW	remapclear	地址重映射清除选择。 0：保持 Remap 状态。 1：清除 Remap。 Clear Remap 前后地址映射关系请参见地址分配。
[7]	-	reserved	保留。读时返回 0，写时无影响。
[6:3]	RW	modestatus	模式状态位。返回系统当前的操作模式。 0x0：保留； 0x1：DOZE； 0x2：SLOW； 0x3：XTAL CTL； 0x4：NORMAL； 0x6：PLL CTL； 0x9：SW from XTAL； 0xA：SW from PLL； 0xB：SW to XTAL； 0xE：SW to PLL； 其他：保留，未使用。
[2:0]	RW	modectrl	模式控制位。定义了要求系统控制器进入的操作模式。 000：保留； 001：DOZE； 010：SLOW； 100：NORMAL。

SC_SYSRES

SC_SYSRES 为系统软复位寄存器。向该寄存器写入任何值都会使系统控制器向复位模块发出系统软复位请求，复位模块进行系统软复位。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

注意

该寄存器可被寄存器 SC_LOCKEN 写保护，只有禁用写保护时，对这个寄存器的写操作才有效。

Offset Address	Register Name	Total Reset Value
0x004	SC_SYSRES	0x0000_0002

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	softresreq																															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0

Bits	Access	Name	Description
[31:0]	WO	softresreq	对该寄存器的任意写操作都会导致系统软复位。

SC_IMCTRL

SC_IMCTRL 为中断模式控制寄存器。用于控制中断发生时的系统模式。

Offset Address	Register Name	Total Reset Value
0x008	SC_IMCTRL	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																								inmdtype	reserved			itmdctrl			itmden
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:8]	-	reserved	保留。读时返回 0x000000，写时无影响。
[7]	RW	inmdtype	触发系统进入中断模式的中断类型。 0：仅有 FIQ 中断能使系统进入中断模式； 1：FIQ 中断和 IRQ 中断都能使系统进入中断模式。
[6:4]	-	reserved	保留。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

[3:1]	RW	itmdctrl	中断模式下系统最低的工作模式，该寄存器的值和SC_CTRL[modectrl]的值相或后作为中断发生后系统所处的工作模式。定义如下： 000：SLEEP； 001：DOZE； 01X：SLOW； 1XX：NORMAL。
[0]	RW	itmden	中断模式使能。 0：禁止； 1：使能(当中断发生时进入中断模式)。

SC_IMSTAT

SC_IMSTAT 为中断模式状态寄存器。用于监视系统是否处于中断模式，同时也可以通过配置该寄存器强制系统进入中断模式。

注意

当中断服务程序结束时必须手动清除中断模式。

Offset Address	Register Name	Total Reset Value
0x00C	SC_IMSTAT	0x0000_0000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1	0
Name	reserved								itmdstat
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0	0

Bits	Access	Name	Description
[31:1]	-	reserved	保留。读时返回 0x00000000，写时无影响。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

[0]	RW	itmdstat	中断模式状态。可用于软件控制直接进入中断模式。 读该寄存器时： 0：当前未处于中断模式； 1：当前处于中断模式。 写该寄存器时： 0：软件不控制进入中断模式； 1：软件控制进入中断模式。

SC_XTALCTRL

SC_XTALCTRL 为晶振控制寄存器。用于控制初始化时钟模块的稳定等待时间，也就是从 XTAL CTL 中间态跳转到 SW to XTAL 中间态的等待时间。

Offset Address	Register Name	Total Reset Value
0x010	SC_XTALCTRL	0x0000_0000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3	2	1 0
Name	reserved			xtaltime				reserved		reserved
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0	0	0 0

Bits	Access	Name	Description
[31:19]	-	reserved	保留，读时返回 0x0000，写时无影响。
[18:3]	RW	xtaltime	晶振切换等待时间。 该字段的值用于指定系统模式切换时从 XTAL CTL 状态跳转到 SW to XTAL 状态的等待时间。等待周期数可通过计算得到(T46.8K 为 46.8KHz 低频时钟周期)：(65536 - xtaltime)xT46.8K。
[2]	-	reserved	保留。读时返回 0x0，写时无影响。
[1:0]	-	reserved	保留。读时返回写入值，写时无影响。

SC_PLLCTRL

SC_PLLCTRL 为 PLL 控制寄存器。用于控制片内 ARM 锁相环（ARMPLL）的使能控制，由软件控制使能，或由系统模式切换来控制使能。此外，该寄存器还用于设置 ARMPLL 锁相环稳定等待时间。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

注意

该寄存器可被寄存器 SC_LOCKEN 写保护，只有禁用写保护时，对这个寄存器的写操作才有效。

当处于“由系统模式切换来控制使能 ARMPLL 锁相环”（由 SC_PLLCTRL[pllover]控制）时，在系统处于非 NORMAL 模式下，ARMPLL 被自动关闭。

ARMPLL 的时钟频率由 CRG 寄存器 PERI_CRG0 和 PERI_CRG1 控制。系统要求 PLL 在变更频率配置时，需要等待 0.5ms 才能输出稳定的时钟。因此该寄存器的 plltime 的配置必须满足此要求。

Offset Address	Register Name	Total Reset Value
0x014	SC_PLLCTRL	0x0000_0000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3	2	1	0
Name	reserved	plltime							reserved	reserved	pllover
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0	0	0	0

Bits	Access	Name	Description
[31:28]	-	reserved	保留。读时返回 0x0，写时无影响。
[27:3]	RW	plltime	ARMPLL 锁相环稳定等待时间。 这段时间用于等待 PLL 启动到 PLL 输出达到稳定的状态，也就是指定从系统模式切换时从 PLL CTL 状态跳转到 SW to PLL 状态的等待时间。超时时间值由下式计算得到(TXIN 为芯片外接晶振的时钟周期)：(33554432 - plltime)xTXIN。
[2]	-	reserved	保留。读时返回 0x0，写时无影响。
[1]	-	reserved	保留。
[0]	RW	pllover	允许 ARLPLL 锁相环直接受软件控制使能，而不是受系统模式状态改变的控制。**必须配置为 0。** 0：由系统模式切换来使能 ARMPLL 锁相环； 1：保留。

PERIPHCTRL0

PERIPHCTRL0 为外设控制寄存器 0。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x01C	PERIPHCTRL0	0x0000_3020

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																			ddrc_apb_gt_en	reserved		ddr_odis_datah	ddr_odis_datal	reserved			cfgsdisable	reserved		cfgnmfi	reserved	cp15sdisable
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	0	0	0	0	0	0	1	0	0	0	0	0

Bits	Access	Name	Description
[31:13]	-	reserved	保留。
[12]	RW	ddrc_apb_gt_en	MDDRC APB 时钟门控。 0：关闭 APB 时钟； 1：打开 APB 时钟。
[11:10]	-	reserved	保留。
[9]	RW	ddr_odis_datah	DDR 高 16 位数据管脚关闭控制。 0：不关闭； 1：关闭。
[8]	RW	ddr_odis_datal	DDR 低 16 位数据管脚关闭控制。 0：不关闭； 1：关闭。
[7:5]	-	reserved	保留。
[4]	RW	cfgsdisable	cpu set[4]。 屏蔽对处理器内部关键配置寄存器的写访问，包括 ICDDCR[0]=EnableSecure，ICDICTR 中定义的安全中断和 ICCICR(不包括 EnableNS 控制位)。 0：不使能； 1：使能。
[3]	-	reserved	保留。
[2]	RW	cfgnmfi	cpu set[2]。 CPU 快速中断用作非屏蔽中断使能。 0：不使能； 1：使能 CPU 快速中断为非屏蔽中断。
[1]	-	reserved	保留。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

[0]	RW	cp15sdisable	cpu set[0]。 屏蔽对处理器内部安全寄存器的写访问，包括 CP15 协处理器中的 c1(SCTLR)，c2(TTBR0 和 TTBCR)，c3(DACR)，c10(PRRR 和 NMRR)，c12(VBAR 和 MVBAR)，c13(FCSEIDR)。 0：不使能； 1：使能。

PERISTAT

PERISTAT 为外设状态寄存器。

Offset Address	Register Name	Total Reset Value
0x0030	PERISTAT	0x0000_0230

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																						vdh_poweroff_stat	reserved			vedu_poweroff_stat	vicap_poweroff_stat	reserved			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	1	1	0	0	0	0

Bits	Access	Name	Description
[31:10]	-	reserved	保留。
[9]	RO	vdh_poweroff_stat	vdh 掉电状态指示。 0：已掉电； 1：未掉电。
[8:6]	-	reserved	保留。
[5]	RO	vedu_poweroff_stat	vedu 掉电状态指示。 0：已掉电； 1：未掉电。
[4]	RO	vicap_poweroff_stat	vicap 掉电状态指示。 0：已掉电； 1：未掉电。
[3:0]	-	reserved	保留。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

PERIPHCTRL2

PERIPHCTRL2 为外设控制寄存器 2。

Offset Address	Register Name	Total Reset Value
0x0034	PERIPHCTRL2	0x0015_5500

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved												vdh_iso_req	vdh_poweroff_req	reserved						vedu_iso_req	vedu_poweroff_req	vicap_iso_req	vicap_poweroff_req	ram2_2k_retn	ram2_2k_pgen	ram1_4k_retn	ram1_4k_pgen	ram0_4k_retn	ram0_4k_pgen	reserved	rom_pgen
Reset	0	0	0	0	0	0	0	0	0	0	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:20]	-	reserved	保留。
[19]	RW	vdh_iso_req	VDH 隔离区控制。 0：不隔离； 1：隔离。
[18]	RW	vdh_poweroff_req	VDH 掉电控制。 0：掉电； 1：不掉电。
[17:12]	-	reserved	保留。
[11]	RW	vedu_iso_req	VEDU 隔离区控制。 0：不隔离； 1：隔离。
[10]	RW	vedu_poweroff_req	VEDU 掉电控制。 0：掉电； 1：不掉电。
[9]	RW	vicap_iso_req	VICAP 隔离区控制。 0：不隔离； 1：隔离。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

[8]	RW	vicap_poweroff_req	VICAP 掉电控制。 0：掉电； 1：不掉电。
[7]	RW	ram2_2k_retn	RAM2 数据保持使能。 0：不使能； 1：使能。
[6]	RW	ram2_2k_pgen	RAM2 供电使能。 0：使能； 1：不使能。
[5]	RW	ram1_4k_retn	RAM1 数据保持使能。 0：不使能； 1：使能。
[4]	RW	ram1_4k_pgen	RAM1 供电使能。 0：使能； 1：不使能。
[3]	RW	ram0_4k_retn	RAM0 数据保持使能。 0：不使能； 1：使能。
[2]	RW	ram0_4k_pgen	RAM0 供电使能。 0：使能； 1：不使能。
[1]	-	reserved	保留
[0]	RW	rom_pgen	ROM 供电使能。 0：使能； 1：不使能。

PERIPHCTRL3

PERIPHCTRL3 为外设控制寄存器 3。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x0038	PERIPHCTRL3	0x5D75_F000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10	9 8	7 6 5 4	3 2 1 0
Name	reserved						sata_phy0_mpll_ss_sel	sata_phy0_ref_clk_sel	
Reset	0 1 0 1	1 1 0 1	0 1 1 1	0 1 0 1	1 1 1 1	0 0	0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[31:10]	-	reserved	保留。
[9:8]	RW	sata_phy0_mpll_ss_sel	扩频选择。保留，**必须设置为 0。**
[7:0]	RW	sata_phy0_ref_clk_sel	参考时钟频率选择。对 MPLL 输出的时钟设置一个固定的 ppm 移相。 0x00：没有移相(缺省)； 0x01～0xFF：保留。

PERIPHCTRL4

PERIPHCTRL4 为外设控制寄存器 4。

Offset Address	Register Name	Total Reset Value
0x003C	PERIPHCTRL4	0x0000_0000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19	18	17	16	15 14 13 12	11 10 9 8	7 6 5 4	3	2	1	0
Name	reserved			ram2_ck_gt_en	ram1_ck_gt_en	ram0_ck_gt_en	cbar_en	reserved	ssp_cs_sel	reserved		sdio0_det_mode	uart1_rts_ctrl	reserved
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0	0	0	0	0 0 0 0	0 0 0 0	0 0 0 0	0	0	0	0

Bits	Access	Name	Description
[31:20]	-	reserved	保留。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

[19]	RW	ram2_ck_gt_en	RAM2 时钟门控功能使能。 0：禁止； 1：使能。
[18]	RW	ram1_ck_gt_en	RAM1 时钟门控功能使能。 0：禁止； 1：使能。
[17]	RW	ram0_ck_gt_en	RAM0 时钟门控功能使能。 0：禁止； 1：使能。
[16]	RW	cbar_en	cbar_en 输出使能。 0：禁止； 1：使能。
[15:14]	-	reserved	保留。
[13:12]	RW	ssp_cs_sel	SSP 片选选择。 00：片选 0； 01：片选 1； 10：片选 2； 11：片选 3。
[11:3]	-	reserved	保留。
[2]	RW	sdio0_det_mode	SDIO0 卡检测信号模式控制。 0：低有效； 1：高有效。
[1]	RW	uart1_rts_ctrl	UART1 RTS 输出控制。 0：正常输出； 1：取反输出。
[0]	-	reserved	保留。

PERIPHCTRL5

PERIPHCTRL5 为外设控制寄存器 5。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x0040	PERIPHCTRL5	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	count_en_media0_port1	over_value_media0_port1															count_en_media0_port0	over_value_media0_port0														
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31]	RW	count_en_media0_port1	VDH 端口的 timeout 计数使能。 0：禁止； 1：使能。
[30:16]	RW	over_value_media0_port1	VDH 端口的 timeout 计数值。 计数值=over_value_media0_port1x2。
[15]	RW	count_en_media0_port0	VENC 端口的 timeout 计数使能。 0：禁止； 1：使能。
[14:0]	RW	over_value_media0_port0	VENC 端口的 timeout 计数值。 计数值=over_value_media0_port0x2。

SC_LOCKEN

SC_LOCKEN 为关键系统控制寄存器的锁定寄存器。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x0044	SC_LOCKEN	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	scper_lockl																															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:0]	RW	scper_lockl	关键系统控制寄存器的锁定寄存器。涉及寄存器包括SC_CTRL、SC_SYSSTAT、SC_PLLCTRL、SC_PLLFCTRL。 向该寄存器写入 0x1ACC_E551，可打开所有寄存器的写权限，写入其他值则关闭写权限。 读该寄存器返回加锁的状态而不是写入该寄存器的值。 0x0000_0000：允许上述写访问(未加锁)； 0x0000_0001：禁止上述写访问(已加锁)。

PERIPHCTRL6

PERIPHCTRL6 为外设控制寄存器 6。

Offset Address	Register Name	Total Reset Value
0x0048	PERIPHCTRL6	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	count_en_media0_port3	over_value_media0_port3															count_en_media0_port2	over_value_media0_port2														
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31]	RW	count_en_media0_port3	JPGD 端口的 timeout 计数使能。 0：禁止； 1：使能。
[30:16]	RW	over_value_media0_port3	JPGD 端口的 timeout 计数值。 计数值=over_value_media0_port3x2。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

[15]	RW	count_en_media0_port2	JPGE 端口的 timeout 计数使能。 0：禁止； 1：使能。
[14:0]	RW	over_value_media0_port2	JPGE 端口的 timeout 计数值。 计数值=over_value_media0_port2x2。

PERIPHCTRL7

PERIPHCTRL7 为外设控制寄存器 7。

Offset Address	Register Name	Total Reset Value
0x004C	PERIPHCTRL7	0x0000_0000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15	14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved				count_en_media0_port4	over_value_media0_port4			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0	0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[31:16]	RO	reserved	保留。
[15]	RW	count_en_media0_port4	MDU 端口的 timeout 计数使能。 0：禁止； 1：使能。
[14:0]	RW	over_value_media0_port4	MDU 端口的 timeout 计数值。 计数值=over_value_media0_port4x2。

PERIPHCTRL9

PERIPHCTRL9 为外设控制寄存器 9。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x0054	PERIPHCTRL9	0x0012_3456

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved									media0_port5_pri			reserved	media0_port4_pri			reserved	media0_port3_pri			reserved	media0_port2_pri			reserved	media0_port1_pri			reserved	media0_port0_pri		
Reset	0	0	0	0	0	0	0	0	0	0	0	1	0	0	1	0	0	0	1	1	0	1	0	0	0	1	0	1	0	1	1	0

Bits	Access	Name	Description
[31:23]	-	reserved	保留。
[22:20]	RW	media0_port5_pri	保留。
[19]	-	reserved	保留。
[18:16]	RW	media0_port4_pri	MDU 优先级。 7 为最高优先级。
[15]	-	reserved	保留。
[14:12]	RW	media0_port3_pri	JPGD 优先级。 7 为最高优先级。
[11]	-	reserved	保留。
[10:8]	RW	media0_port2_pri	JPGE 优先级。 7 为最高优先级。
[7]	-	reserved	保留。
[6:4]	RW	media0_port1_pri	VDH 优先级。 7 为最高优先级。
[3]	-	reserved	保留。
[2:0]	RW	media0_port0_pri	VENC 优先级。 7 为最高优先级。

PERIPHCTRL10

PERIPHCTRL10 为外设控制寄存器 10。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x0058	PERIPHCTRL10	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	count_en_port1	over_value_port1															count_en_port0	over_value_port0														
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31]	RW	count_en_port1	AHB 桥 1 端口的 timeout 计数使能。 0：禁止； 1：使能。
[30:16]	RW	over_value_port1	AHB 桥 1 端口的 timeout 计数值。 计数值=over_value_port1x2。
[15]	RW	count_en_port0	AHB 桥 0 端口的 timeout 计数使能。 0：禁止； 1：使能。
[14:0]	RW	over_value_port0	AHB 桥 0 端口的 timeout 计数值。 计数值=over_value_port0x2。

PERIPHCTRL11

PERIPHCTRL11 为外设控制寄存器 11。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x005C	PERIPHCTRL11	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	count_en_port3	over_value_port3															count_en_port2	over_value_port2														
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31]	RW	count_en_port3	A9 端口的 timeout 计数使能。 0：禁止； 1：使能。
[30:16]	RW	over_value_port3	A9 端口的 timeout 计数值。 计数值=over_value_port3x2。
[15]	RW	count_en_port2	IVE 端口的 timeout 计数使能。 0：禁止； 1：使能。
[14:0]	RW	over_value_port2	IVE 端口的 timeout 计数值。 计数值=over_value_port2x2。

PERIPHCTRL13

PERIPHCTRL13 为外设控制寄存器 13。

Offset Address	Register Name	Total Reset Value
0x0064	PERIPHCTRL13	0x0012_3456

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																		mst_pri3		reserved		mst_pri2		reserved		mst_pri1		reserved		mst_pri0	
Reset	0	0	0	0	0	0	0	0	0	0	0	1	0	0	1	0	0	0	1	1	0	1	0	0	0	1	0	1	0	1	1	0

Bits	Access	Name	Description
[31:27]	RO	reserved	保留。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

[26:24]	RO	mst_pri6	保留，未使用。
[23]	RW	reserved	保留。
[22:20]	RO	mst_pri5	保留，未使用。
[19:16]	RW	reserved	保留。
[15]	RO	reserved	保留。
[14:12]	RW	mst_pri3	A9 优先级。 7 为最高优先级。
[11]	RO	reserved	保留。
[10:8]	RW	mst_pri2	IVE 优先级。 7 为最高优先级。
[7]	RO	reserved	保留。
[6:4]	RO	mst_pri1	AHB 桥 1 优先级。 7 为最高优先级。
[3]	RW	reserved	保留。
[2:0]	RO	mst_pri0	AHB 桥 0 优先级。 7 为最高优先级。

PERIPHCTRL14

PERIPHCTRL14 为外设控制寄存器 14。

Offset Address	Register Name	Total Reset Value
0x0068	PERIPHCTRL14	0x0012_3456

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																			slave_priority_s4	reserved			slave_priority_s3	reserved			slave_priority_s2	reserved			slave_priority_s1
Reset	0	0	0	0	0	0	0	0	0	0	0	1	0	0	1	0	0	0	1	1	0	1	0	0	0	1	0	1	0	1	1	0

Bits	Access	Name	Description
[31:27]	RO	reserved	保留。
[26:24]	RO	reserved	保留。
[23]	RO	reserved	保留。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

[22:20]	RO	reserved	保留。
[19:16]	RO	reserved	保留。
[15]	RO	reserved	保留。
[14:12]	RW	slave_priority_s4	SYS AXI s4 端口 MDDRC0 总线访问优先级。 7 为最高优先级。
[11]	RO	reserved	保留。
[10:8]	RW	slave_priority_s3	SYS AXI s3 端口 APB_MEDIA 总线访问优先级。 7 为最高优先级。
[7]	RO	reserved	保留。
[6:4]	RW	slave_priority_s2	SYS AXI s2 端口 APB_SYS 总线访问优先级。 7 为最高优先级。
[3]	RO	reserved	保留。
[2:0]	RW	slave_priority_s1	SYS AXI s1 端口 AHB 总线访问优先级。 7 为最高优先级。

PERIPHCTRL15

PERIPHCTRL15 为外设控制寄存器 15。

Offset Address	Register Name	Total Reset Value
0x006C	PERIPHCTRL15	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																								chipid							
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:8]	RW	reserved	保留。
[7:0]	RO	chipid	8bit chipid。 通过 efuse 烧入的 ID 号。

PERIPHCTRL16

PERIPHCTRL16 为外设控制寄存器 16。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x0070	PERIPHCTRL16	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	count_en_port1_media1	over_value_port1_media1															count_en_port0_media1	over_value_port0_media1														
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31]	RW	count_en_port1_media1	TDE0 端口的 timeout 计数使能。 0：禁止； 1：使能。
[30:16]	RW	over_value_port1_media1	TDE0 端口的 timeout 计数值。 计数值=over_value_port1_media1x2。
[15]	RW	count_en_port0_media1	VPSS 端口的 timeout 计数使能。 0：禁止； 1：使能。
[14:0]	RW	over_value_port0_media1	VPSS 端口的 timeout 计数值。 计数值=over_value_port0_media1x2。

PERIPHCTRL17

PERIPHCTRL17 为外设控制寄存器 17。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x0074	PERIPHCTRL17	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	count_en_port3_media1	over_value_port3_media1															count_en_port2_media1	over_value_port2_media1														
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31]	RW	count_en_port3_media1	VCMP 端口的 timeout 计数使能。 0：禁止； 1：使能。
[30:16]	RW	over_value_port3_media1	VCMP 端口的 timeout 计数值。 计数值=over_value_port1_media1x2。
[15]	RW	count_en_port2_media1	TDE1 端口的 timeout 计数使能。 0：禁止； 1：使能。
[14:0]	RW	over_value_port2_media1	TDE1 端口的 timeout 计数值。 计数值=over_value_port2_media1x2。

PERIPHCTRL18

PERIPHCTRL18 为外设控制寄存器 18。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x0078	PERIPHCTRL18	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	count_en_port5_media1	over_value_port5_media1															count_en_port4_media1	over_value_port4_media1														
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31]	RW	count_en_port5_media1	DDRTEST 端口的 timeout 计数使能。 0：禁止； 1：使能。
[30:16]	RW	over_value_port5_media1	DDRTEST 端口的 timeout 计数值。 计数值=over_value_port5_media1x2。
[15]	RW	count_en_port4_media1	VOIE 端口的 timeout 计数使能。 0：禁止； 1：使能。
[14:0]	RW	over_value_port4_media1	VOIE 端口的 timeout 计数值。 计数值=over_value_port4_media1x2。

PERIPHCTRL19

PERIPHCTRL19 为外设控制寄存器 19。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x007C	PERIPHCTRL19	0x0012_3456

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved									mst_pri5_media1			reserved	mst_pri4_media1			reserved	mst_pri3_media1			reserved	mst_pri2_media1			reserved	mst_pri1_media1			reserved	mst_pri0_media1		
Reset	0	0	0	0	0	0	0	0	0	0	0	1	0	0	1	0	0	0	1	1	0	1	0	0	0	1	0	1	0	1	1	0

Bits	Access	Name	Description
[31:27]	RO	reserved	保留。
[26:24]	RW	reserved	保留。
[23]	RO	reserved	保留。
[22:20]	RW	mst_pri5_media1	DDRTEST 优先级。 7 为最高优先级。
[19]	RO	reserved	保留。
[18:16]	RW	mst_pri4_media1	VOIE 优先级。 7 为最高优先级。
[15]	RO	reserved	保留。
[14:12]	RW	mst_pri3_media1	VCMP 优先级。 7 为最高优先级。
[11]	RO	reserved	保留。
[10:8]	RW	mst_pri2_media1	TDE1 优先级。 7 为最高优先级。
[7]	RO	reserved	保留。
[6:4]	RW	mst_pri1_media1	TDE0 优先级。 7 为最高优先级。
[3]	RO	reserved	保留。
[2:0]	RW	mst_pri0_media1	VPSS 优先级。 7 为最高优先级。

PERIPHCTRL20

PERIPHCTRL20 为 USB 控制寄存器（外设控制寄存器 20）。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x0080	PERIPHCTRL20	0x0003_33A8

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved											preamble_sel	ovr_merge_en	pwr_merge_en	usbovr_p_ctrl	usbpwr_p_ctrl	phy1_ovrcur_en	phy0_ovrcur_en	phy1_pwr_en	phy0_pwr_en	reserved		ss_ena_incr16_i	ss_ena_incr8_i	ss_ena_incr4_i	ss_ena_incrx_align_i	ss_autoppd_on_overcur_en_i	reserved	ulpi_bypass_en	app_start_clk_i	ohci_susp_lgcy_i	wordinterface
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	0	0	1	1	0	0	1	1	1	0	1	0	1	0	0	0

Bits	Access	Name	Description
[31:21]	-	reserved	保留。
[20]	RW	preamble_sel	全速信号前导包后全速空闲周期个数选择。 0：全速信号前导包后有 5 个全速空闲周期； 1：全速信号前导包后有 4 个全速空闲周期。
[19]	RW	ovr_merge_en	两个 port 共用同一个过流信号使能(即[phy1_ovrcur_en]或[phy0_ovrcur_en]为 1 的端口的过流信号)。 0：禁止； 1：使能。
[18]	RW	pwr_merge_en	只要有一个端口上电，[phy1_pwr_en]和[phy0_pwr_en]就都使能。 0：禁止； 1：使能。
[17]	RW	usbovr_p_ctrl	过流保护极性控制。 0：低电平有效； 1：高电平有效。
[16]	RW	usbpwr_p_ctrl	电源使能极性控制。 0：低电平有效； 1：高电平有效。
[15]	RW	phy1_ovrcur_en	PHY1 过流保护关闭控制。 0：关闭过流保护； 1：使能过流保护。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

[14]	RW	phy0_ovrcur_en	PHY0 过流保护关闭控制。 0：关闭过流保护； 1：使能过流保护。
[13]	RW	phy1_pwr_en	PHY1 电源关断控制。 0：关掉电源； 1：使能 controller 的电源输出。
[12]	RW	phy0_pwr_en	PHY0 电源关断。 0：关掉电源； 1：使能 controller 的电源输出。
[11:10]	-	reserved	保留。
[9]	RW	ss_ena_incr16_i	AHB burst16 使能信号。 0：禁止； 1：使能。
[8]	RW	ss_ena_incr8_i	AHB burst8 使能信号。 0：禁止； 1：使能。
[7]	RW	ss_ena_incr4_i	AHB burst4 使能信号。 0：禁止； 1：使能。
[6]	RW	ss_ena_incrx_align_i	burst 对齐使能信号。 0：禁止； 1：使能。
[5]	RW	ss_autoppd_on_overcur_en_i	过流时自动关断端口电源使能。 0：禁止； 1：使能。
[4]	-	reserved	保留。
[3]	RW	ulpi_bypass_en	ULPI 旁路控制。**必须设置为 1。** 0：ULPI mode； 1：utmi mode。
[2]	RW	app_start_clk_i	OHCI 时钟控制信号。 0：OHCI 正常工作； 1：在挂起模式下打开 OHCI 时钟。
[1]	RW	ohci_susp_lgcy_i	OHCI 挂起的 strap 输入信号。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

[0]	RW	wordinterface	UTMI 接口数据位宽选择信号。 0：8bit； 1：16bit。

PERIPHCTRL21

PERIPHCTRL21 为 USB PHY 控制寄存器 0（外设控制寄存器 21）。

Offset Address	Register Name	Total Reset Value
0x0084	PERIPHCTRL21	0x001D_2188

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved								siddq	commononn	phy0_txhsxvtune		phy0_sleepm	phy0_loopbackenb	phy0_compdistune		phy0_sqrxtune		phy0_txfslstune		phy0_txpreemphasistune		reserved	phy0_txrisetune	phy0_txverftune							
Reset	0	0	0	0	0	0	0	0	0	0	0	1	1	1	0	1	0	0	1	0	0	0	0	1	1	0	0	0	1	0	0	0

Bits	Access	Name	Description
[31:23]	-	reserved	保留。
[22]	RW	siddq	phy 的模拟关断测试使能信号。 0：不关断模拟电源； 1：关断模拟电源。 **注意：默认为 0，BIST 测试的时候需要确保为 0。**
[21]	RW	commononn	phy 在 suspend 时，XO BIAS BANDGAP PLL 是否工作。默认为 0。 0：任何时候(包括 suspend 时)，clk48m_ohci 输出有效； 1：除了在 suspend 时，clk48m_ohci 输出有效。
[20:19]	RW	phy0_txhsxvtune	dp/dm 的 crossover 电压调节。 00：保留； 01：-15mV； 10：+15mV； 11：保留。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

[18]	RW	phy0_sleepm	端口 0 的 sleep 模式控制。 0：sleep 模式； 1：normal 模式。
[17]	RW	phy0_loopbackenb	phy0 的环回测试(到 D+D-的环回)的使能信号。 **必须配置为 0。**
[16:14]	RW	phy0_compdistune	phy0 的 HOSDISCONNECT 门限电平调试信号。 000：-6%； 001：-4.5%； 010：-3%； 100：缺省值； 101：+1.5%； 110：+3%； 111：+4.5%； 其他：保留。
[13:11]	RW	phy0_sqrxtune	phy0 的 squelch 电路调试信号。 000：+20%； 001：+15%； 010：+10%； 011：+5%； 100：缺省值； 101：-5%； 110：-10%； 111：-15%。
[10:7]	RW	phy0_txfslstune	phy0 的 FS LS 阻抗调试信号。 0x0：+5%； 0x1：+2.5%； 0x3：缺省值； 0x7：-2.5%； 0xF：-5%； 其他：保留。
[6]	RW	phy0_txpreemphasistune	phy0 的 HS 模式发送预加重使能信号。 0：禁止； 1：使能。
[5]	RW	reserved	保留。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

[4]	RW	phy0_txrisetune	phy0 的高速信号上升/下降时间调节。 0：缺省值； 1：-8%。
[3:0]	RW	phy0_txverftune	PHY0 的 HS 模式下的 DC 电平调节。 0x0：-10%； 0x1：-8.75%； 0x2：-7.5%； 0x3：-6.25%； 0x4：-5%； 0x5：-3.75%； 0x6：-2.5%； 0x7：-1.25%； 0x8：缺省值； 0x9：+1.25%； 0xA：+2.5%； 0xB：+3.7%； 0xC：+5%； 0xD：+6.25%； 0xE：+7.5%； 0xF：+8.75%。

PERIPHCTRL22

PERIPHCTRL22 为 usb phy 控制寄存器 1（外设控制寄存器 22）。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x0088	PERIPHCTRL22	0x701D_2188

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved												phy1_txhsxvtune		phy1_sleepm	phy1_loopbackenb	phy1_compdistune				phy1_sqrxtune				phy1_txfslstune				phy1_txpreemphasistune	reserved	phy1_txrisetune		phy1_txvreftune			
Reset	0	1	1	1	0	0	0	0	0	0	0	1	1	1	0	1	0	0	1	0	0	0	0	1	1	0	0	0	1	0	0	0

Bits	Access	Name	Description
[31:21]	-	reserved	保留。
[20:19]	RW	phy1_txhsxvtune	dp/dm 的 crossover 电压调节。 00：保留； 01：-15mV； 10：+15mV； 11：缺省值。
[18]	RW	phy1_sleepm	端口 1 的 sleep 模式控制。 0：sleep 模式； 1：normal 模式。
[17]	RW	phy1_loopbackenb	phy1 的环回测试(到 D+D-的环回)的使能信号。 缺省值为 0，**必须配置为 0。**
[16:14]	RW	phy1_compdistune	phy1 的 HOSDISCONNECT 门限电平调试信号。 000：-6%； 001：-4.5%； 010：-3%； 100：缺省值； 101：+1.5%； 110：+3%； 111：+4.5%； 其他：保留。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

[13:11]	RW	phy1_sqrxtune	phy1 的 squelch 电路调试信号。 000：+20%； 001：+15%； 010：+10%； 011：+5%； 100：缺省值； 101：-5%； 110：-10%； 111：-15%。
[10:7]	RW	phy1_txfslstune	phy1 的 FS LS 阻抗调试信号。 0x0：+5%； 0x1：+2.5%； 0x3：缺省值； 0x7：-2.5%； 0xF：-5%； 其他：保留。
[6]	RW	phy1_txpreemphasistune	phy1 的 HS 模式发送预加重使能信号。默认值为 0。 0：禁止； 1：使能。
[5]	-	reserved	保留。
[4]	RW	phy1_txrisetune	phy1 的高速信号上升/下降时间调节。 0：缺省值； 1：-8%。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

[3:0]	RW	phy1_txvreftune	phy1 的 HS 模式下的 DC 电平调节。 0x0：-10%； 0x1：-8.75%； 0x2：-7.5%； 0x3：-6.25%； 0x4：-5%； 0x5：-3.75%； 0x6：-2.5%； 0x7：-1.25%； 0x8：缺省值； 0x9：+1.25%； 0xA：+2.5%； 0xB：+3.7%； 0xC：+5%； 0xD：+6.25%； 0xE：+7.5%； 0xF：+8.75%。

SYSSTAT

SYSSTAT 为系统状态寄存器（PLL_LOCK）。

Offset Address	Register Name	Total Reset Value
0x008C	SYSSTAT	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	bootrom_sel_in	nf_block_size		a9_l2_idle	a9_smp_namp	reserved							a9_standbywfe	a9_standbywfi	a9_pmupriv	a9_secure	reserved	nf_ecc_type			nf_addr_num		nf_page_size		jtag_sel		boot_mode		reserved			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31]	RO	bootrom_sel_in	指示是否从 bootrom 启动。 0：不从 bootrom 启动； 1：从 bootrom 启动。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

[30:29]	RO	nf_block_size	boot 时，Nand Flash 器件的 block 容量。 00：64 page，对应 SLC 器件； 01：128 page，对应 MLC 器件； 10：256 page； 11：512 page。
[28]	RO	a9_l2_idle	指示 L2 cache 活动状态。 0：非 IDLE 状态； 1：IDLE 状态。
[27]	RO	a9_smp_namp	指示 Cortex-A9 processor 是均衡还是非均衡模式。 0：非均衡； 1：均衡。
[26:20]	RO	reserved	保留。
[19]	RO	a9_standbywfe	指示 Cortex-A9 processor 是否在 WFE 状态。 0：不在 WFE 状态； 1：处在 WFE 状态。
[18]	RO	a9_standbywfi	指示 Cortex-A9 processor 是否在 WFI 状态。 0：不在 WFI 状态； 1：处在 WFI 状态。
[17]	RO	a9_pmupriv	指示 Cortex-A9 processor 状况。 0：处于 user 模式； 1：处于 privileged 模式。
[16]	RO	a9_secure	指示 Cortex-A9 processor 安全状况。 0：处于 Non-secure 状态； 1：处于 Secure 状态。
[15]	-	reserved	保留。
[14:12]	RO	nf_ecc_type	boot 时，选择的 Nand Flash ECC 模式。 000：无 ECC； 001：1bit 模式； 010：4byte 模式； 011：8byte 模式； 100：24bit 模式； 101：40bit 模式； 其他：保留。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

[11]	RO	nf_addr_num	发给 NANDFlash 器件的地址数目。 **注意：只在上电的瞬间有效。** 0：4 个； 1：5 个。
[10:8]	RO	nf_page_size	boot 时，Nand Flash 器件的 page 容量。 000：512byte； 001：2KB； 010：4KB； 011：8KB； 100：16KB； 其他：保留。
[7:6]	RO	jtag_sel	芯片选定的 debug 模式。 00：debug A9； 01：保留。； 10：debug SATA PHY； 11：保留。
[5:4]	RO	boot_mode	芯片选定的启动模式。 00：从 SPI Flash 启动； 01：保留； 10：从 NANDFlash 启动； 11：保留。
[3:0]	RO	reserved	保留。

PERIPHCTRL35

PERIPHCTRL35 为软件中断寄存器。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x00C0	PERIPHCTRL35	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																															software_int
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:1]	-	reserved	保留。
[0]	RW	software_int	软件中断。 0：不产生中断； 1：产生中断。

PERIPHCTRL41

PERIPHCTRL41 为外设控制寄存器 41。（MDDRC 乱序配置 outtodr_ctrl）

Offset Address	Register Name	Total Reset Value
0x00D8	PERIPHCTRL41	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved											cpu_ctrl	reserved	toe_ctrl	ive_ctrl	reserved	ddrtest_ctrl	voie_ctrl	vcmp_ctrl	tde1_ctrl	tde0_ctrl	vpss_ctrl	reserved		mdu_ctrl	jpgd_ctrl	jpge_ctrl	vdh_ctrl	vedu_ctrl	reserved	vicap_ctrl	vou_ctrl
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:21]	-	reserved	保留。
[20]	RW	cpu_ctrl	CPU 访问 DDR 是否允许乱序。 0：不允许乱序； 1：允许乱序。
[19]	-	reserved	保留。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

[18]	RW	toe_ctrl	toe 访问 DDR 是否允许乱序。 0：不允许乱序； 1：允许乱序。
[17]	RW	ive_ctrl	ive 访问 DDR 是否允许乱序。 0：不允许乱序； 1：允许乱序。
[16]	-	reserved	保留。
[15]	RW	ddrtest_ctrl	ddrtest 访问 DDR 是否允许乱序。 0：不允许乱序； 1：允许乱序。
[14]	RW	voie_ctrl	voie 访问 DDR 是否允许乱序。 0：不允许乱序； 1：允许乱序。
[13]	RW	vcmp_ctrl	vcmp 访问 DDR 是否允许乱序。 0：不允许乱序； 1：允许乱序。
[12]	RW	tde1_ctrl	tde1 访问 DDR 是否允许乱序。 0：不允许乱序； 1：允许乱序。
[11]	RW	tde0_ctrl	tde0 访问 DDR 是否允许乱序。 0：不允许乱序； 1：允许乱序。
[10]	RW	vpss_ctrl	vpss 访问 DDR 是否允许乱序。 0：不允许乱序； 1：允许乱序。
[9:8]	-	reserved	保留。
[7]	RW	mdu_ctrl	mdu 访问 DDR 是否允许乱序。 0：不允许乱序； 1：允许乱序。
[6]	RW	jpgd_ctrl	jpgd 访问 DDR 是否允许乱序。 0：不允许乱序； 1：允许乱序。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

[5]	RW	jpge_ctrl	jpge 访问 DDR 是否允许乱序。 0：不允许乱序； 1：允许乱序。
[4]	RW	vdh_ctrl	vdh 访问 DDR 是否允许乱序。 0：不允许乱序； 1：允许乱序。
[3]	RW	vedu_ctrl	vedu 访问 DDR 是否允许乱序。 0：不允许乱序； 1：允许乱序。
[2]	-	reserved	保留。
[1]	RW	vicap_ctrl	vicap 访问 DDR 是否允许乱序。 0：不允许乱序； 1：允许乱序。
[0]	RW	vou_ctrl	vou 访问 DDR 是否允许乱序。 0：不允许乱序； 1：允许乱序。

PERIPHCTRL44

PERIPHCTRL44 为 TOE 控制寄存器。

Offset Address	Register Name	Total Reset Value
0x00E4	PERIPHCTRL44	0x0000_0011

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10	9	8	7 6 5 4	3 2 1 0
Name	reserved				sbd_data_endianess	reserved	mac_emisc_pwr_down_ctrl	mac_emisc_pwr_clamp_ctrl	mac_pmt_intr_enable mac_lpi_intr_enable	reserved
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0	0	0	0 0 0 1	0 0 0 1

Bits	Access	Name	Description
[31:16]	-	reserved	保留。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

[15]	RW	sbd_data_endianess	TOE DMA 数据处理大小端模式 1：大端模式 0：小端模式
[14:10]	-	reserved	保留。
[9]	RW	mac_emisc_pwr_down_ctrl	mac 的 power off 控制信号，高有效。
[8]	RW	mac_emisc_pwr_clamp_ctrl	mac 的 isolate cells 的 VDD power 控制信号，高有效。
[7]	RW	mac_pmt_intr_enable	mac 网络被唤醒中断使能信号，高有效。
[6]	RW	mac_lpi_intr_enable	mac 退出 LPI 状态中断使能信号，高有效。
[5:0]	-	reserved	保留。

PERIPHCTRL45

PERIPHCTRL45 为 TOE 状态寄存器。

Offset Address	Register Name	Total Reset Value
0x00E8	PERIPHCTRL45	0x0000_0000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved				mac_speed	reserved		mac_pwr_down_ack, reserved
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[31:14]	RO	reserved	保留。
[13:12]	RO	mac_speed	MAC 工作速度模式。 0X：1000Mbps； 10：10Mbps； 11：100Mbps。
[11:2]	RO	reserved	保留。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

[1]	RO	mac_pwr_down_ack	指示是否可以关闭 MAC 电源。 0：不可以； 1：可以。
[0]	RO	reserved	保留。

PERIPHCTRL46

PERIPHCTRL46 为外设控制寄存器 46。

Offset Address	Register Name	Total Reset Value
0x00EC	PERIPHCTRL46	0x0033_3333

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved								timers_ram2								timers_ram1								timers_ram0							
Reset	0	0	0	0	0	0	0	0	0	0	1	1	0	0	1	1	0	0	1	1	0	0	1	1	0	0	1	1	0	0	1	1

Bits	Access	Name	Description
[31:24]	RO	reserved	保留。
[23:16]	RW	timers_ram2	RAM2 超时计数周期(nx3.3ns)。
[15:8]	RW	timers_ram1	RAM1 超时计数周期(nx3.3ns)。
[7:0]	RW	timers_ram0	RAM0 超时计数周期(nx3.3ns)。

PERIPHCTRL47

PERIPHCTRL47 为外设控制寄存器 47。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x00F0	PERIPHCTRL47	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved										sata_test_byp_mode	sata_test_burnin_mode	reserved																sata_test_pddq	reserved		
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:22]	RO	reserved	保留。
[21]	RW	sata_test_byp_mode	使能 ASIC 中 SATA 的所有输入接口通过纯组合逻辑连接到输出端，提高接口测试覆盖率。 0：禁止； 1：使能。
[20]	RW	sata_test_burnin_mode	SATA 老化测试模式使能。 0：禁止； 1：使能。 **注意：尽可能多的使能内部逻辑翻转，在老化测试时与[sata_test_byp_mode]信号一起使用。**
[19:11]	RO	reserved	保留。
[10:3]	RW	reserved	保留。
[2]	RW	sata_test_pddq	SATAPHY 上下电控制。 0：不下电； 1：下电。
[1:0]	RO	reserved	保留。

PERIPHCTRL51

PERIPHCTRL51 为外设控制寄存器 51。（dolphin_io_cfg1）

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x0100	PERIPHCTRL51	0xCFCF_CFCF

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	rgmii_txckout_sl		rgmii_txckout_ctl						rgmii_txd_sl		rgmii_txd_ctl						rgmii_txen_sl		rgmii_txen_ctl						vo1120_clk_sl		vo1120_clk_ctl					
Reset	1	1	0	0	1	1	1	1	1	1	0	0	1	1	1	1	1	1	0	0	1	1	1	1	1	1	0	0	1	1	1	1

Bits	Access	Name	Description
[31:30]	RW	rgmii_txckout_sl	RGMII_TXCLKOUT IO 的 slew rate 控制。 00：沿变化速度最慢； 01：沿变化速度较慢； 10：沿变化速度较快； 11：沿变化速度最快。
[29:24]	RW	rgmii_txckout_ctl	RGMII_TXCLKOUT IO 的驱动能力。 0x01：3mA； 0x03：6mA； 0x07：9mA； 0x0F：12mA； 0x1F：15mA； 0x3F：18mA。
[23:22]	RW	rgmii_txd_sl	RGMII_TXD0/1/2/3 IO 的 slew rate 控制。 00：沿变化速度最慢； 01：沿变化速度较慢； 10：沿变化速度较快； 11：沿变化速度最快。
[21:16]	RW	rgmii_txd_ctl	RGMII_TXD0/1/2/3 IO 的驱动能力。 0x01：3mA； 0x03：6mA； 0x07：9mA； 0x0F：12mA； 0x1F：15mA； 0x3F：18mA。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

[15:14]	RW	rgmii_txen_sl	RGMII_TXEN IO 的 slew rate 控制。 00：沿变化速度最慢； 01：沿变化速度较慢； 10：沿变化速度较快； 11：沿变化速度最快。
[13:8]	RW	rgmii_txen_ctl	RGMII_TXEN IO 的驱动能力。 0x01：3mA； 0x03：6mA； 0x07：9mA； 0x0F：12mA； 0x1F：15mA； 0x3F：18mA。
[7:6]	RW	vo1120_clk_sl	VO1120_CLK IO 的 slew rate 控制。 00：沿变化速度最慢； 01：沿变化速度较慢； 10：沿变化速度较快； 11：沿变化速度最快。
[5:0]	RW	vo1120_clk_ctl	VO1120_CLK IO 的驱动能力。 0x01：3mA； 0x03：6mA； 0x07：9mA； 0x0F：12mA； 0x1F：15mA； 0x3F：18mA。

PERIPHCTRL52

PERIPHCTRL52 为外设控制寄存器 52。（dolphin_io_cfg2）

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x0104	PERIPHCTRL52	0x0000_C1C3

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																mdio_sl		mdio_ctl						mdck_sl		mdck_ctl					
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	0	0	0	0	0	1	1	1	0	0	0	0	1	1

Bits	Access	Name	Description
[31:16]	RO	reserved	保留。
[15:14]	RW	mdio_sl	MDIO IO 的 slew rate 控制。 00：沿变化速度最慢； 01：沿变化速度较慢； 10：沿变化速度较快； 11：沿变化速度最快。
[13:8]	RW	mdio_ctl	MDIO IO 的驱动能力。 0x01：3mA； 0x03：6mA； 0x07：9mA； 0x0F：12mA； 0x1F：15mA； 0x3F：18mA。
[7:6]	RW	mdck_sl	MDCK IO 的 slew rate 控制。 00：沿变化速度最慢； 01：沿变化速度较慢； 10：沿变化速度较快； 11：沿变化速度最快。
[5:0]	RW	mdck_ctl	MDCK IO 的驱动能力。 0x01：3mA； 0x03：6mA； 0x07：9mA； 0x0F：12mA； 0x1F：15mA； 0x3F：18mA。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

SCSYSID0

SCSYSID0 为芯片 ID 寄存器 0。

Offset Address	Register Name	Total Reset Value
0xEE0	SCSYSID0	0x00

Bit	7	6	5	4	3	2	1	0
Name	sysid0							
Reset	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[7:0]	RO	sysid0	读该寄存器返回 0x00。

SCSYSID1

SCSYSID1 为芯片 ID 寄存器 1。

Offset Address	Register Name	Total Reset Value
0xEE4	SCSYSID1	0x01

Bit	7	6	5	4	3	2	1	0
Name	sysid1							
Reset	0	0	0	0	0	0	0	1

Bits	Access	Name	Description
[7:0]	RO	sysid1	读该寄存器返回 0x01。

SCSYSID2

SCSYSID2 为芯片 ID 寄存器 2。

Offset Address	Register Name	Total Reset Value
0xEE8	SCSYSID2	0x21

Bit	7	6	5	4	3	2	1	0
Name	sysid2							
Reset	0	0	1	0	0	0	0	1

Bits	Access	Name	Description
[7:0]	RO	sysid2	读该寄存器返回 0x21。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

SCSYSID3

SCSYSID3 为芯片 ID 寄存器 3。

Offset Address	Register Name	Total Reset Value
0xEEC	SCSYSID3	0x35

Bit	7	6	5	4	3	2	1	0
Name	sysid3							
Reset	0	0	1	1	0	1	0	1

Bits	Access	Name	Description
[7:0]	RO	sysid3	读该寄存器返回 0x35。

3.5 直接存储器访问控制器

3.5.1 概述

直接存储器访问（DMA）方式，是一种完全由硬件执行 I/O 交换的工作方式。在这种方式中，直接存储器访问控制器（DMAC）直接在存储器和外设、外设和外设、存储器和存储器之间进行数据传输，避免处理器干涉并减少了处理器中断处理开销。DMA（Directory Memory Access）方式一般用于高速传输成组的数据。DMAC（Directory Memory Access Controller）在收到 DMA 传输请求后根据 CPU 对通道的配置启动总线主控制器，向存储器和外设发出地址和控制信号，对传输数据的个数计数，并且以中断方式向 CPU 报告传输操作的结束或错误。

3.5.2 特点

DMA 控制器有如下特点：

- 支持 8bit、16bit、32bit 数据位宽方式传输。
- 提供 8 个 DMA 通道，每个通道可配置用于一种单向传输。
- DMA 通道优先级固定，优先级从高到低对应的通道号依次为 0～7。当来自 2 个外设的 DMA 请求同时有效时，优先级高的通道先开始传输。
- DMAC 通道 0～通道 5 中各包含 1 个 4x32bit 的 FIFO，DMAC 通道 6～7 中各包含 1 个 16×32bit 的 FIFO。
- 提供 2 个总线宽度为 32bit 的 Master 总线接口用于数据传输。
- 外设可使用单次传输（single）和连续传输（burst）2 种 DMA 请求。
- 提供 16 组 DMA 请求输入，可通过配置，作为通道的源端请求或目的端请求。
- 支持软件控制的 DMA 请求。
- 支持通过编程决定 DMA burst 长度。
- 源地址和目的地址可分别配置为在 DMA 传输过程中自动递增或不递增。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

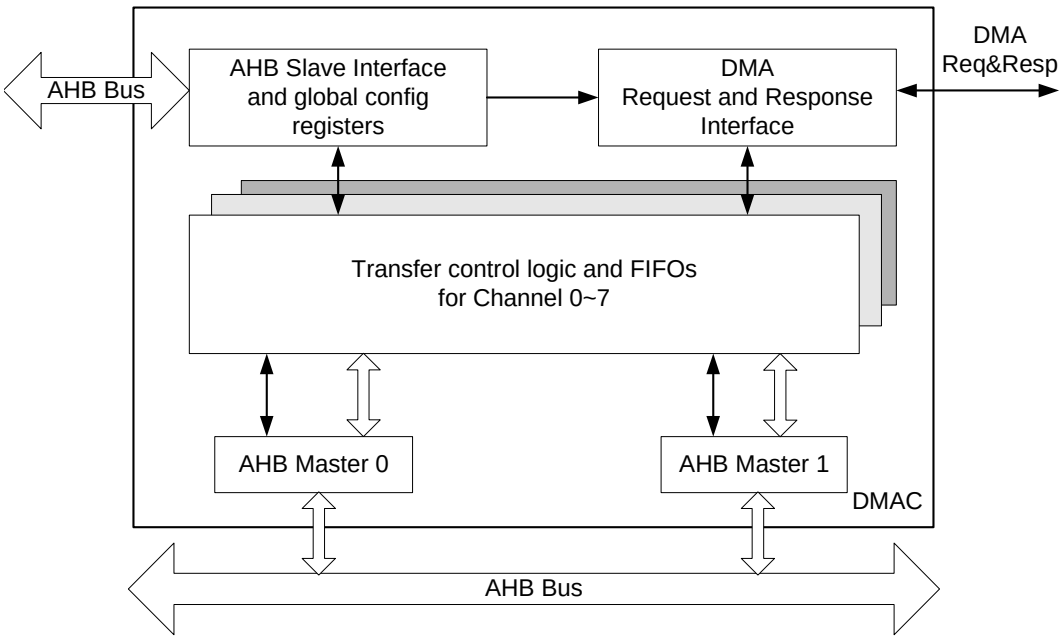
- 支持 4 种数据传输方向：
  - 存储器至外设
  - 存储器至存储器
  - 外设至存储器
  - 外设至外设
- 支持链表 DMA 传输。
- 支持 DMAC 流控。
- 提供 1 个可屏蔽中断输出，支持 DMA 错误和 DMA 传输完成中断屏蔽前后状态查询，及两者的组合中断状态查询。
- 支持 DMAC 使能禁止，用于功耗控制，支持 DMAC 时钟门控。

3.5.3 功能描述

功能框图

DMAC 的功能框图如图 3-5 所示。

图3-5 DMAC 功能框图



DMAC 的每一个通道都内含一组传输控制逻辑和一个 FIFO，传输控制逻辑自动完成以下过程：

步骤 1. 从软件指定的源地址位置读取数据。

步骤 2. 缓存到通道内含的 FIFO 中。

步骤 3. 从通道 FIFO 中取出数据。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

步骤 4. 写入到软件指定的目的地址位置。

----结束

工作流程

DMAC 基本工作流程如下：

步骤 1. 软件选定 DMAC 的一个通道用于 DMA 传输，配置该通道的源地址、目的地址、链表头指针、传输数据个数、源设备和目的设备对应的 DMAC 请求线号、源设备和目的设备使用的 Master，并启动该通道。一旦通道被启动，DMAC 硬件即开始检测与该通道相连的源外设和目的设备的 DMA 请求线上的活动。

步骤 2. 源设备向 DMAC 发起 DMA 请求（如果源设备为存储器，DMAC 默认其 DMA 请求始终有效）。

步骤 3. DMAC 通道响应源设备 DMA 请求，从源设备读取数据并存入通道内部的 FIFO 中。

步骤 4. 目的设备向 DMAC 发起 DMA 请求（如果目的设备为存储器，DMAC 默认其 DMA 请求始终有效）。

步骤 5. DMAC 通道响应目的设备 DMA 请求，从通道内部的 FIFO 中取出数据并写入目的设备。

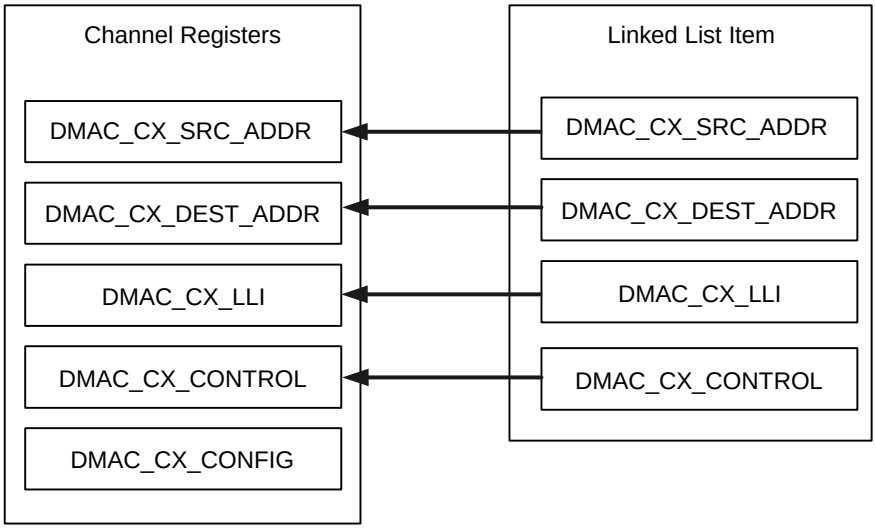
步骤 6. 步骤 2、3 和步骤 4、5 可能是并发执行的，因为源设备和目的设备有可能同时向 DMAC 发起 DMA 请求。当出现 DMA 通道 FIFO 被写满而目的设备来不及读走、或 DMA 通道 FIFO 被读空而源设备来不及写入时，DMAC 自动阻塞源设备或目的设备的 DMA 请求，直到相应的 FIFO 空满状态解除为止。在 DMAC 与源设备、目的设备的多次交互过程中，步骤 2～5 反复被执行，直到软件指定的数据传输全部完成时，发出传输完成中断（该中断可被屏蔽）。如果寄存器 DMAC_CnLLI 不为 0，则以该寄存器的值为地址读取链表结点，并将读取值依次载入 DMAC_Cn_SRC_ADDR、DMAC_Cn_DEST_ADDR、DMAC_CnLLI 以及 DMAC_Cn_CONTROL 这四个寄存器（如图 3-6 所示），然后回到步骤 2。若寄存器 DMAC_CnLLI 的值为 0 则停止当前的 DMA 传输，通道自动关闭，传输过程结束。

----结束

LLI 更新通道寄存器示意如图 3-6 所示。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

图3-6 LLI 更新通道寄存器示意图



DMA 与外设的连接关系

外设利用 DMA 请求信号向 DMAC 请求发起数据传输。

DMAC 为每个外设提供了 2 种 DMA 请求信号，分别为：

- DMACBREQ
  burst 传输请求信号。该信号引发一次 burst 传输，burst 长度为预先设定值。
- DMACSREQ
  单次传输请求信号。该信号引发一次单次传输，即 DMAC 从外设读取一个数据或向外设写一个数据。

DMAC 提供一个请求清除信号 DMACLR：

DMAC 向每个外设发出的 DMA 请求清除信号，用于应答外设的 DMA 请求信号。

DMAC 请求线

DMAC 的硬件请求和相应设备的对应关系如表 3-28 所示。

表3-28 DMA 的外设请求分配定义

DMAC 控制器硬件请求线编号	对应设备
0	SIO0 接收通道
1	SIO1 接收通道
2	SIO2 接收通道
3	SIO2 发送通道

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

DMAC 控制器硬件请求线编号	对应设备
4	SIO3 发送通道
5	保留
6	UART0 RX 通道 DMA 请求
7	UART0 TX 通道 DMA 请求
8	UART1 RX 通道 DMA 请求
9	UART1 TX 通道 DMA 请求
10	UART2 RX 通道 DMA 请求
11	UART2 TX 通道 DMA 请求
12	UART3 RX 通道 DMA 请求
13	UART3 TX 通道 DMA 请求
14	SSP RX 通道 DMA 请求
15	SSP TX 通道 DMA 请求

DMA 通道对应的源端和目的端请求由软件配置。例如，DMA 请求号 0 为 SIO0 的接收通道请求，若希望使用通道 3 传输 SIO0 的接收数据，则应配置 DMA 请求号 0 作为通道 3 的源端请求。

存储器没有 DMA 请求线，当 DMA 传输的一方为存储器时，DMAC 默认其 DMA 请求是始终有效的。由于 DMAC 的通道 6、7 上的传输，每次总线操作之后，都会插入 IDLE 周期，供高优先级通道的 Master 占用总线进行传输；因此，建议将存储器到存储器的传输配置到通道 6、7 进行，以免总线上其它通道较长时间无法占用总线。

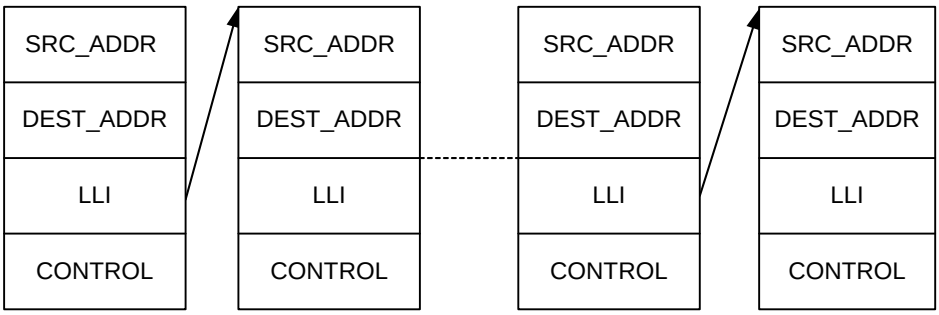
DMA 链表

DMAC 的链表结点数据结构为：

- 通道寄存器 DMAC_Cn_SRC_ADDR，设置源设备首地址。
- 通道寄存器 DMAC_Cn_DEST_ADDR，设置目的设备首地址。
- 通道寄存器 DMAC_CnLLI，设置下一个结点的地址。
- 通道寄存器 DMAC_Cn_CONTROL，设置访问源/目的设备所采用的 Master、源/目的设备的位宽、burst size、地址递增以及 transfer size 等参数。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

图3-7 DMAC 链表结构示例



注意

该寄存器的 LLI 字段不应指定 1 个大于 0xFFFF_FFF0 的数。否则，1 个 4 字的 burst 传输将使地址回卷到 0x0000_0000 处，导致链表结点数据结构不能存储在连续的地址区域中。

如果 LLI 的值为 0，表示当前结点是链表的链尾，则当本结点对应的数据块全部传完后，该通道就会被关闭。

3.5.4 工作方式

时钟门控

当出现以下情况时，可以通过软件关闭 DMAC，并关断 DMAC 时钟以降低功耗：

- DMAC 的各个通道均处于空闲状态且没有 DMA 传输请求
- DMAC_Cn_CONFIG[e]=0，DMAC 通道被关闭

关断 DMAC 时钟的步骤如下：

步骤 1. 向 DMAC_Cn_CONFIG[e]写 0，关闭 DMAC 通道。

步骤 2. 向 DMAC_CONFIG [e]写 0，禁止 DMAC。

步骤 3. 向 PERI_CRG56 [dma_cken]写 0，关闭 DMA 模块总线时钟门控，最终关闭 DMAC 时钟。

步骤 4. 当需要使用 DMAC 进行数据传输时，重新打开时钟并启动 DMAC。

----结束

初始化

初始化 DMAC 步骤如下：

步骤 1. 写寄存器 DMAC_CONFIG，设置 DMAC 的 Master1、Master2 的 Endianness，向 DMAC_CONFIG[e]写 1，启动 DMAC。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

步骤 2. 写寄存器 DMAC_INT_ERR_CLR 和 DMAC_INT_TC_CLR 的所有位为 1，清除所有中断状态。

步骤 3. 写寄存器 DMAC_SYNC 相应位为 0，设置需要进行同步的 DMA 请求信号组。

步骤 4. 依次配置并关闭各个通道。向每个通道的 DMAC_Cn_CONFIG[e]写 0，关闭通道。

----结束

启动通道

DMAC 初始化完成之后，需要配置并启动 DMAC 通道，才可以使用 DMAC 来进行数据传输。通道的配置启动步骤如下：

步骤 1. 读 DMAC_ENBLD_CHNS 寄存器，找出处于非传输状态的通道，并从中选择一个通道用于配置。

步骤 2. 向寄存器 DMAC_INT_ERR_CLR 和 DMAC_INT_TC_CLR 的相应位写 1，清除选定通道的中断状态。

步骤 3. 配置并启动选定的通道。配置步骤如下：

a. 写通道寄存器 DMAC_Cn_SRC_ADDR，设置源设备访问首地址。

b. 写通道寄存器 DMAC_Cn_DEST_ADDR，设置目的设备访问首地址。

c. 如果配置通道用于单块数据传输，则将通道寄存器 DMAC_CnLLI 配置为 0。

d. 如果配置通道用于链表数据传输，则将通道寄存器 DMAC_CnLLI 配置为链表头指针。

e. 写通道寄存器 DMAC_Cn_CONTROL，设置访问源/目的设备所采用的 Master、源/目的设备的位宽、burst size、地址递增以及 transfer size 等参数。

f. 写通道寄存器 DMAC_Cn_CONFIG，设置本通道的 DMA 请求信号、流控方式及中断屏蔽。DMAC_Cn_CONFIG[e]此时应写入 0，即暂不启动该通道。

g. 写通道寄存器 DMAC_Cn_CONFIG，启动该通道。注意此时该寄存器的写入值除 Channel Enable 位改为 1 外，其他位不变。

----结束

DMAC_Cn_CONTROL 使用说明

通道控制寄存器 DMAC_Cn_CONTROL 包含了 DMA 通道控制信息，如传输长度、burst 长度、传输位宽等。

每个寄存器在对应的通道被启动前，都要由软件对其直接编程。当通道被启动后，该寄存器的值在传完 1 个完整的数据块后，从链表结点载入时更新。

当该通道处于活动状态时，读该寄存器得不到有效信息。这是因为当软件得到读出的寄存器值，该寄存器的值已经随着通道传输改变了。在通道停止传输时，可进行该寄存器的读操作。

DMAC_Cn_CONTROL 寄存器的 DBSize 及 SBSize 的值与其对应的 burst 长度如表 3-29 所示。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

表3-29 DBSize 及 SBSize 的值与其对应的 burst 长度

DBSize 或 SBSize 的值	burst 长度
000	1
001	4
010	8
011	16
100	32
101	64
110	128
111	256

DMAC_Cn_CONTROL 寄存器的 DWidth 和 SWidth 的值与其对应传输位宽如表 3-30 所示。

表3-30 DWidth 和 SWidth 的值与其对应传输位宽

SWidth 或 DWidth 的值	传输位宽
000	Byte（8bit）
001	Halfword（16bit）
010	Word（32bit）
011	reserved
100	reserved
101	reserved
110	reserved
111	reserved

配置寄存器 DMAC_Cn_CONTROL 时需注意：

- 当源设备的传输宽度小于目的设备传输宽度时，源设备的传输宽度与 transfer size 的乘积应为目的设备传输宽度的整数倍，否则 FIFO 中的数据将会滞留并丢失。
- SWidth 和 DWidth 字段不能设置为未定义的位宽。
- transfer size 字段若被写为 0 且 DMAC 又是流控制器，则 DMAC 将不会发生任何传输动作。编程者应负责关闭此 DMA 通道并对此通道重新编程。
- 不应对 DMAC_Cn_CONTROL 寄存器进行普通的写入/读出测试。由于 transfer size 字段不是一个普通的可写入并读回相同值的寄存器字段。当写入时，该字段如一个控制寄存器，因为其决定了 DMAC 应传输多少个数据；当读回时，该字段则相

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

当于一个状态寄存器，因为其返回的剩下的待传输数据个数（以源设备位宽为单位）。

- 当 transfer size 字段的设置值大于源设备或目的设备中的 FIFO 的深度（是外设的 FIFO，不是 DMAC 的 FIFO），则 DMAC 的源地址或目的地址必须被设为不递增模式，否则有可能导致外设的 FIFO 溢出。

总线访问信息在传输发生时由 master 接口信号提供给源设备或目的设备。这些访问信息是通过对通道寄存器编程设定的 DMAC_Cn_CONTROL[Prot]和 DMAC_Cn_CONFIG[Lock]位。表 3-31 给出了使用 prot 的 3 个保护位的含义。

表3-31 DMAC_Cn_CONTROL 寄存器 Prot 段属性及定义

比特	描述	目的
[2]	Cacheable or noncacheable	指明访问是可 cache 还是不可 cache。 0：不可 cache； 1：可 cache。 例如，该位可用于告知 1 个 AMBA 桥：当其发现 8 个数的 burst 读的第 1 个读操作时，该桥可在目标总线上直接发起一个 8 个数的 burst 读，而不用将源总线上的读操作 1 次 1 个的传到目标总线。 该位控制总线信号 HPROT[3]的输出。
[1]	Bufferable or nonbufferable	指明访问是可缓冲还是不可缓冲。 0：不可缓冲； 1：可缓冲。 例如，该位可用于告知一个 AMBA 桥在源端总线上写操作可以以零等待状态完成，而无需等该桥把操作仲裁到目的总线上，也无需等 slave 接收完数据。 该位控制总线信号 HPROT[2]的输出。
[0]	Privileged or User	指明访问是用户模式还是特权模式。 0：用户模式； 1：特权模式。 该位控制总线信号 HPROT[1]的输出。

注：AMBA：Advanced Microcontroller Bus Architecture。

DMAC_Cn_CONFIG 使用说明

表 3-32 描述了 DMAC_Cn_CONFIG 寄存器的 flow_cntrl 字段对应的流控和传输类型。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

表3-32 流控制器及传输类型位定义

比特值	传输类型	控制器
000	存储器至存储器	DMAC
001	存储器至外设	DMAC
010	外设至存储器	DMAC
011	源设备至目的设备	DMAC
100	源设备至目的设备	目的设备
101	存储器至外设	目的设备
110	外设至存储器	源设备
111	源设备至目的设备	源设备

中断处理

DMAC 通道配置启动传输完成之后或传输过程中出现错误，都会上报中断给中断控制器。中断程序的处理步骤如下：

步骤 1. 读中断状态寄存器 DMAC_INT_STAT，找出发出中断请求的通道。当多个通道同时发出中断请求时，先服务优先级最高的中断。

步骤 2. 读寄存器 DMAC_INT_TC_STAT，比较选定的位是否为 1，以确定对应通道发出的中断为传输完成中断。若是，则转到步骤 4 执行；否则转到步骤 3 继续执行。

步骤 3. 读寄存器 DMAC_INT_ERR_STAT，比较选定的位是否为 1，以确定对应通道发出的中断为错误中断。若是则转到步骤 5 执行；否则退出中断处理。

步骤 4. 传输完成中断处理。可分为以下几个子步骤：

a. 写寄存器 DMAC_INT_TC_CLR，对选定的位写入 1，清除对应通道的中断状态。

b. 取走或使用掉内存中 buffer 中的数据，有必要的话（如：需在内存中新开辟一个 buffer）重新配置并启动该通道。

c. 退出中断处理。

步骤 5. 错误中断处理。可分为以下几个子步骤：

a. 写寄存器 DMAC_INT_ERR_CLR，对选定的位写入 1，清除对应通道的中断状态。

b. 给出错误信息，有必要的话重新配置并启动该通道。

c. 退出中断处理。

----结束

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

3.5.5 寄存器概览

表3-33 DMAC 寄存器概览（基址是 0x100D_0000）

偏移地址	寄存器名	功能简述	页码
0x000	DMAC_INT_STAT	DMAC 中断状态寄存器	3-137
0x004	DMAC_INT_TC_STAT	DMAC 传输完成中断状态寄存器	3-137
0x008	DMAC_INT_TC_CLR	DMAC 传输完成中断清除寄存器	3-138
0x00C	DMAC_INT_ERR_STAT	DMAC 错误中断状态寄存器	3-138
0x010	DMAC_INT_ERR_CLR	DMAC 错误中断清除寄存器	3-139
0x014	DMAC_RAW_INT_TC_STAT	DMAC 原始传输完成中断状态寄存器	3-139
0x018	DMAC_RAW_INT_ERR_STAT	DMAC 原始错误中断状态寄存器	3-139
0x01C	DMAC_ENBLD_CHNS	DMAC 通道使能状态寄存器	3-140
0x020	DMAC_SOFT_BREQ	软件 Burst DMA 请求寄存器	3-140
0x024	DMAC_SOFT_SREQ	软件 Single DMA 请求寄存器	3-141
0x028	DMAC_SOFT_LBREQ	软件 Last Burst DMA 请求寄存器	3-142
0x02C	DMAC_SOFT_LSREQ	软件 Last Single DMA 请求寄存器	3-142
0x030	DMAC_CONFIG	DMAC 配置寄存器	3-143
0x034	DMAC_SYNC	DMAC 请求同步寄存器	3-144
0x100+n x 0x20。	DMAC_Cn_SRC_ADDR	源地址寄存器	3-144
0x104+n x 0x20	DMAC_Cn_DEST_ADDR	目的地址寄存器	3-145
0x108+n x 0x20	DMAC_Cn_LLI	链表项寄存器	3-146
0x10C+n x 0x20	DMAC_Cn_CONTROL	控制寄存器	3-146
0x110＋n x 0x20	DMAC_Cn_CONFIG	配置寄存器	3-148

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

3.5.6 寄存器描述

DMAC_INT_STAT

中断状态寄存器，给出经过屏蔽后的中断状态。若寄存器

DMAC_INT_TC_STAT 和 DMAC_INT_ERR_STAT 的相应位同时被屏蔽，则该寄存器的对应位被屏蔽。该寄存器的每 1 位对应着 DMAC 的 1 个通道。当某 1 位为 1 时，表示相应的通道有中断请求产生，该中断请求可能来自该通道的错误中断或传输完成中断。

Offset Address	Register Name	Total Reset Value
0x000	DMAC_INT_STAT	0x0000_0000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved						int_stat	
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[31:8]	-	reserved	保留。
[7:0]	RO	int_stat	DMA 各通道经屏蔽后的中断状态，bit[7:0]分别对应通道 7～0。 0：未产生中断； 1：已产生中断，该中断请求可能来自该通道的错误中断或传输完成中断。

DMAC_INT_TC_STAT

DMAC 传输完成中断状态寄存器，给出经过屏蔽后的传输完成中断状态，对应的屏蔽位为寄存器 DMAC_Cn_CONFIG[itc]（其中 n 表示通道号 0～7）。该寄存器必须和寄存器 DMAC_INT_STAT 结合在一起使用。

Offset Address	Register Name	Total Reset Value
0x004	DMAC_INT_TC_STAT	0x0000_0000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved						int_tc_stat	
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[31:8]	-	reserved	保留。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

[7:0]	RO	int_tc_stat	经过屏蔽后的传输完成中断状态，bit[7:0]分别对应通道 7～0。 0：未产生传输完成中断； 1：已产生传输完成中断。

DMAC_INT_TC_CLR

传输结束状态清除寄存器，用于清除传输完成中断。

Offset Address	Register Name	Total Reset Value
0x008	DMAC_INT_TC_CLR	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																								int_tc_clr							
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:8]	-	reserved	保留。
[7:0]	WO	int_tc_clr	清除传输完成中断，bit[7:0]分别对应通道 7～0。 0：不清除该中断； 1：清除该中断。

DMAC_INT_ERR_STAT

错误中断状态寄存器，给出经过屏蔽后的错误中断状态，对应的屏蔽位为寄存器 DMAC_Cn_CONFIG[ie]。该寄存器必须和 DMAC_INT_STAT 寄存器结合在一起使用。

Offset Address	Register Name	Total Reset Value
0x00C	DMAC_INT_ERR_STAT	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																								int_err_stat							
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:8]	-	reserved	保留。
[7:0]	RO	int_err_stat	经过屏蔽后的错误中断状态，bit[7:0]分别对应通道 7～0。 0：未产生错误中断； 1：产生了错误中断。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

DMAC_INT_ERR_CLR

错误中断清除寄存器，用于清除出错中断。

Offset Address	Register Name	Total Reset Value
0x010	DMAC_INT_ERR_CLR	0x0000_0000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved						int_err_clr	
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[31:8]	-	reserved	保留。
[7:0]	WO	int_err_clr	清除出错中断，bit[7:0]分别对应通道 7～0。 0：不清除该中断； 1：清除该中断。

DMAC_RAW_INT_TC_STATUS

原始传输完成中断状态寄存器，给出各通道屏蔽前的传输完成中断状态。

Offset Address	Register Name	Total Reset Value
0x014	DMAC_RAW_INT_TC_STATUS	0x0000_0000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved						raw_int_tc_stat	
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[31:8]	-	reserved	保留。
[7:0]	RO	raw_int_tc_stat	原始传输完成中断状态，bit[7:0]分别对应通道 7～0。 0：未产生传输完成中断； 1：产生了传输完成中断。

DMAC_RAW_INT_ERR_STATUS

原始传输错误中断状态寄存器，给出各通道屏蔽前的错误中断状态。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x018	DMAC_RAW_INT_ERR_STATUS	0x0000_0000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved						raw_int_err_stat	
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[31:8]	-	reserved	保留。
[7:0]	RO	raw_int_err_stat	各通道屏蔽前的错误中断状态，bit[7:0]分别对应通道 7～0。 0：未产生错误中断； 1：产生了错误中断。

DMAC_ENBLD_CHNS

通道使能寄存器，用于表明被使能的通道。

如寄存器 DMAC_ENBLD_CHNS 的某位为 1，表示对应的通道被使能。使能某个通道，由该通道的通道寄存器 DMAC_Cn_CONFIG 的使能位决定。当某个通道的 DMA 传输结束时，寄存器 DMAC_ENBLD_CHNS 中与该通道对应的位被清零。

Offset Address	Register Name	Total Reset Value
0x01C	DMAC_ENBLD_CHNS	0x0000_0000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved						enabled_channels	
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[31:8]	-	reserved	保留。
[7:0]	RO	enabled_channels	通道使能状态，bit[7:0]分别对应通道 7～0。 0：禁止； 1：使能。

DMAC_SOFT_BREQ

软件 Burst 请求寄存器，用于供软件控制产生 DMA burst 请求。

读该寄存器，可得知当前正在请求 DMA Burst 传输的设备。外设和该寄存器都可以产生 1 个 DMA 请求。

说明

建议不要同时使用软件 DMA 请求和硬件 DMA 请求。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x020	DMAC_SOFT_BREQ	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																soft_breq															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:16]	-	reserved	保留。
[15:0]	RW	soft_breq	用于软件控制产生 DMA burst 传输请求，每比特对应请求请参见 DMAC 硬件请求和相应设备的对应关系。 当写该寄存器时： 0：无影响； 1：产生 DMA burst 传输请求，当传输结束时该寄存器中的相应位被清零。 当读该寄存器时： 0：与请求线 DMACBREQ[15:0]对应的外设未发出 DMA Burst 请求； 1：与请求线 DMACBREQ[15:0]对应的外设正在请求 DMA Burst 传输。

DMAC_SOFT_SREQ

软件 Single 请求寄存器，用于供软件控制产生 DMA 单次传输请求。

如读该寄存器，可得知当前正在请求 DMA 单次传输的设备。通过 DMAC 的 16 个 DMA 请求输入信号和该寄存器都可以产生 1 个 DMA 请求。

说明

建议不要同时使用软件 DMA 请求和硬件 DMA 请求。

Offset Address	Register Name	Total Reset Value
0x024	DMAC_SOFT_SREQ	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																soft_sreq															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:16]	-	reserved	保留。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

[15:0]	RW	soft_sreq	用于软件控制产生 DMA signal 传输请求，每比特对应请求请参见 DMAC 硬件请求和相应设备的对应关系。 当写该寄存器时： 0：无影响； 1：产生 DMA signal 传输请求，当传输结束时该寄存器中的相应位被清零。 当读该寄存器时： 0：与请求线 DMACBREQ[15:0]对应的外设未发出 DMA signal 请求； 1：与请求线 DMACBREQ[15:0]对应的外设正在请求 DMA signal 传输。

DMAC_SOFT_LBREQ

软件最后一个 Burst 请求寄存器，用于供软件控制产生 DMA last burst 传输请求。

Offset Address	Register Name	Total Reset Value
0x028	DMAC_SOFT_LBREQ	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																soft_lbreq															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:16]	-	reserved	保留。
[15:0]	WO	soft_lbreq	由软件发起 last burst 请求。 0：无影响； 1：产生 DMA last burst 传输请求，当传输结束时该寄存器中的相应位被清零。

DMAC_SOFT_LSREQ

软件最后一个 Single 请求寄存器，用于供软件控制产生 DMA last single 传输请求。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x02C	DMAC_SOFT_LSREQ	0x0000_0000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved				soft_lsreq			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[31:16]	-	reserved	保留。
[15:0]	WO	soft_lsreq	由软件发起 last single 传输请求。 0：无影响； 1：产生一个 DMA last single 传输请求，当传输结束时该寄存器中的相应位被清零。

DMAC_CONFIG

配置寄存器，用于配置 DMAC 的操作。通过写该寄存器的 m1（bit[1]）和 m2（bit[2]），可改变 DMAC 的 2 个 master 接口的 endianness。复位时，DMAC 的 2 个 master 接口被设为 little endian 模式。

说明

2 个 master 均采用 little endian。

Offset Address	Register Name	Total Reset Value
0x030	DMAC_CONFIG	0x0000_0000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3	2	1	0
Name	reserved								m2	m1	e
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0	0	0	0

Bits	Access	Name	Description
[31:3]	-	reserved	保留。
[2]	RW	m2	Master 2 endianness 配置位。 0：little endian 模式； 1：big endian 模式。
[1]	RW	m1	Master 1 endianness 配置位。 0：little endian 模式； 1：big endian 模式。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

[0]	RW	e	DMAC 使能。 0：禁止 DMAC； 1：使能 DMAC。

DMAC_SYNC

同步寄存器 DMAC_SYNC 用于启用或禁用为 DMA 请求信号提供的同步逻辑。

Offset Address	Register Name	Total Reset Value
0x034	DMAC_SYNC	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																dmac_sync															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:16]	-	reserved	保留。
[15:0]	RW	dmac_sync	控制是否需要对请求线进行同步，每比特对应请求请参见 DMAC 硬件请求和相应设备的对应关系。 0：使能对应外设的 DMA 请求信号同步逻辑； 1：禁止对应外设的 DMA 请求信号同步逻辑。

建议各请求均不启用同步。

DMAC_Cn_SRC_ADDR

源地址寄存器，给出当前待传数据的源地址（字节排序）。

寄存器的偏移地址为 0x100+n x 0x20。其中 n 的取值为 0～7，分别对应 DMA 通道 0～7。

每个寄存器在对应的通道被启动前都要由软件对其直接编程。当通道被启动后，该寄存器在下列情况下更新：

- 当源地址递增时。
- 当传完一个完整的数据块后，从链表结点中载入时。

当该通道处于活动状态时，读该寄存器得不到有效信息。这是因为当软件得到读出的寄存器值，该寄存器的值已经随着通道传输改变了。对该寄存器的读操作一般是用在通道停止传输的时候，此时读取值显示的是 DMAC 读最后一项时的源地址。

源地址和目的地址必须与源设备和目的设备的传输宽度对齐。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x100+n x 0x20	DMAC_Cn_SRC_ADDR	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	src_addr																															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:0]	RW	src_addr	DMA 源地址。

DMAC 提供了 8 个通道，每个通道都包括 5 个通道寄存器：

- DMAC_Cn_SRC_ADDR 寄存器
- DMAC_Cn_DEST_ADDR 寄存器
- DMAC_CnLLI 寄存器
- DMAC_Cn_CONTROL 寄存器
- DMAC_Cn_CONFIG 寄存器

当 DMA 从存储器中载入链表结点时，前 4 个寄存器由 DMAC 自动更新。

注意

在 DMA 传输正在进行时，更新通道寄存器会导致 DMAC 产生不可预测的行为。要改变通道的配置，必须先关闭通道然后再配置相关寄存器。

DMAC_Cn_DEST_ADDR

目的地址寄存器，偏移地址为：0x104+n x 0x20。其中，n 的取值为 0～7，分别对应 DMA 通道 0～7。

通道目的地址寄存器 DMAC_Cn_DEST_ADDR 包含了当前待传数据的目的地址（字节排序）。每个寄存器在对应的通道被启动前，都要由软件对其直接编程。当通道被启动后，该寄存器在下列情况下更新：

- 目的地址递增。
- 传完一个完整的数据块后，从链表结点中载入。

当该通道处于活动状态时，读该寄存器得不到有效信息。这是因为当软件得到读出的寄存器值，该寄存器的值已经随着通道传输改变了。在通道停止传输时，读该寄存器，此时读取值显示的是 DMAC 写最后一项时的目的地址。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x104+n x 0x20	DMAC_Cn_DEST_ADDR	0x0000_0000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	dest_addr							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[31:0]	RW	dest_addr	DMA 目的地址。

DMAC_CnLLI

链表寄存器，偏移地址为：0x108+n x 0x20。其中，n 的取值为 0～7，分别对应 DMA 通道 0～DMA 通道 7。详细内容请参见“DMA 链表”小节。

Offset Address	Register Name	Total Reset Value
0x108+n x 0x20	DMAC_CnLLI	0x0000_0000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1	0
Name	lli							r	lm
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0	0

Bits	Access	Name	Description
[31:2]	RW	lli	Linked list item。下一个链表结点地址的[31:2]位，地址位[1:0]为 0。要求链表地址 4 字节对齐。
[1]	RW	r	保留，写入时必须写 0，读出时应屏蔽该位。
[0]	RW	lm	用于载入下一个链表结点的 Master。 0：Master1； 1：Master2。

DMAC_Cn_CONTROL

通道控制寄存器，偏移地址为：0x10C+n x 0x20。其中，n 的取值为 0～7，分别对应 DMA 通道 0～DMA 通道 7。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x10C+n x 0x20	DMAC_Cn_CONTROL	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	i	prot			di	si	d	s	dwidth				swidth				dbsize				sbsize				transfersize							
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31]	RW	i	传输完成中断使能位。该位用于决定当前链表结点是否触发传输完成中断。 0：当前链表结点不触发传输完成中断； 1：当前链表结点触发传输完成中断。
[30:28]	RW	prot	master 发出的访问保护 HPROT[2:0]信号。
[27]	RW	di	目的地址递增。 0：目的地址不递增； 1：目的地址每传一个数就递增一次。 目的设备为外设时目的地址不递增；目的设备为存储器时目的地址递增。
[26]	RW	si	源地址递增： 0：源地址不递增； 1：源地址每传一个数就递增一次。 源设备为外设时源地址不递增；源设备为存储器时源地址递增。
[25]	RW	d	设置访问目的设备的 master： 0：SPDIF、SIO0、SIO1、UART0、UART1、SCI 使用 master1 访问； 1：SPIFlash、Nand Flash、Nor Flash、DDRC 使用 Master2 访问。
[24]	RW	s	设置访问源设备的 master： 0：SPDIF、SIO0、SIO1、UART0、UART1、SCI 使用 Master1 访问； 1：SPI Flash、Nand Flash、Nor Flash、DDRC 使用 Master2 访问。
[23:21]	RW	dwidth	目的设备传输位宽。 宽于 Master 位宽的传输位宽是非法的。 目的设备和源设备的位宽可以不一样，硬件自动对数据进行 pack 和 unpack。 DWidth 的值和具体的位宽对应关系请参见表 3-30。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

[20:18]	RW	swidth	源设备传输位宽。 宽于 Master 位宽的传输位宽是非法的。 目的设备和源设备的位宽可以不一样，硬件自动对数据进行 pack 和 unpack。 SWidth 的值和具体的位宽对应关系请参见表 3-30。
[17:15]	RW	dbsize	目的设备 burst 长度。 表示 1 次目的设备 burst 传输所需传输的数据个数，即当 DMACCnBREQ 有效时，传输的数据个数。 该值必须被设为目的设备支持的 burst 大小，或者若目的设备为存储器，被设为到存储地址边界的存储区域大小。 DBSize 的值和具体的传输长度的对应关系请参见表 3-29。
[14:12]	RW	sbsize	源设备 burst 长度。 表示 1 次源设备 burst 传输所需传输的数据个数，即当 DMACCnBREQ 有效时，传输的数据个数。 该值必须被设为源设备支持的 burst 大小，或者若源设备为存储器时，被设为到存储地址边界的存储区域大小。 SBSize 的值和具体的传输长度的对应关系请参见表 3-29。
[11:0]	RW	transfersize	通过写该寄存器可设定 DMA 传输的长度，前提是 DMAC 是流控制器。这里 transfer size 表示的源设备待传数据的个数。 读该寄存器可得到在与目的设备相连的总线上已传出的数据个数。 当该通道处于活动状态时，读该寄存器得不到有效信息。这是因为当软件得到读出的寄存器值，该寄存器的值已经随着通道传输改变了。对该寄存器的读操作一般是用在通道被启动后然后又停止传输时。

DMAC_Cn_CONFIG

通道配置寄存器，偏移地址为：0x110＋n x 0x20。其中，n 的取值为 0～7，分别对应 DMA 通道 0～DMA 通道 7。

该寄存器在新的链表结点被载入时不会被更新。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x110+n x 0x20	DMAC_Cn_CONFIG	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved													h	a	l	itc	ie	flow_cntrl		reserved		dest_peripheral		reserved		src_peripheral		e			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:19]	-	reserved	保留。 写入时必须写入 0，读出时应被屏蔽。
[18]	RW	h	Halt 位。 0：允许 DMA 请求； 1：忽略后来的 DMA 请求，通道 FIFO 中的内容都被传完。 该位可以和 Active 位以及 Channel Enable 位一起用于无数据丢失地关闭一个 DMA 通道。
[17]	RO	a	Active 位。 0：通道 FIFO 中没有数据； 1：通道 FIFO 中有数据。 该位可以和 Halt 位以及 Channel Enable 位一起用于无数据丢失地关闭一个 DMA 通道。
[16]	RW	l	Lock 位。 0：禁止总线上 lock 传输； 1：使能总线上 lock 传输。
[15]	RW	itc	传输完成中断屏蔽位。 0：屏蔽本通道的传输完成中断。 1：不屏蔽本通道的传输完成中断。
[14]	RW	ie	错误中断屏蔽位。 0：屏蔽本通道的错误中断。 1：不屏蔽本通道的错误中断。
[13:11]	RW	flow_cntrl	流控及传输类型字段。 该字段用于指定流控制器和传输类型。流控制器可以是 DMAC、源设备和目的设备。 传输类型可以是存储器到外设、外设到存储器、外设到外设、存储器到存储器。详细描述请参见表 3-32 所示。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

[10]	-	reserved	保留。 写入时必须写入 0，读出时应被屏蔽。
[9:6]	RW	dest_peripheral	目的设备。该字段用于选择一个外设请求信号作为本通道的 DMA 目的设备的请求信号。 如果 DMA 传输的目的设备是存储器则该字段被忽略。
[5]	-	reserved	保留。 写入时必须写入 0，读出时应被屏蔽。
[4:1]	RW	src_peripheral	源设备。该字段用于选择一个外设请求信号作为本通道的 DMA 源设备的请求信号。 如果 DMA 传输的源设备是存储器则该字段被忽略。
[0]	RW	e	通道使能位。读该寄存器可得知本通道当前是处于什么状态（也可通过读寄存器 DMACEnbldChns 得到）。 0：关闭通道； 1：启动通道。 通过清零可关闭通道。将该位被清零时，当前的总线传输会继续执行直到完成。然后通道关闭，FIFO 中剩余的数据全部丢失；当最后一个 LLI 完成或传输中出现错误时，通道也会被关闭，同时该位被清零；如果要关闭通道，而又不使通道 FIFO 中的数据丢失，则 Halt 位也必须同时被置位，使通道忽略后来的 DMA 请求。然后必须轮询 active 位，直到其值变为 0，表明通道 FIFO 中不再留有数据。此时才能够清除 enable 位。 通过置位启动通道必须先重新初始化通道，然后才能再次启动通道；若通过简单的置位启动通道，会引发不可预测性的后果。 当刚通过写 DMAC_Cn_CONFIG [e]位关闭一个通道时，必须要等到轮询到寄存器 DMAC_ENBLD_CHNS 中的相应 bit 为 0 后，才能将 DMAC_Cn_CONFIG [e]重新置位。这是因为通道实际的关闭并没有在将 Channel Enable 位清零后立即生效。总线 burst 的运行时延时也必须要考虑到。

3.6 CIPHER

3.6.1 概述

CIPHER 是一个实现 DES（Data Encryption Standard）/3DES 和 AES（Advanced Encryption Standard）加解密处理的模块，DES/3DES 和 AES 算法的实现符合 FIPS46-3/FIPS 197 标准。DES/3DES 和 AES 的工作模式符合 FIPS -81/NIST special800-38a 标准。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

CIPHER 模块适用于进行大量数据的高效加解密处理，可支持一次实现单个分组的加解密或多个分组的加解密。

3.6.2 特点

CIPHER 模块有如下特点：

- AES 密钥长度支持 128 位、192 位、256 位，由芯片密钥管理模块配置密钥时密钥长度只支持 128 位。
- DES 密钥长度支持 64 位，其中 0、8、16、24、32、40、48、56 位的值是每个 byte 的奇偶校验值，实际加解密操作中不使用。
- 3DES 支持 3 个密钥的方式，也支持 2 个密钥的方式，由芯片密钥管理模块配置密钥时只支持 2 个密钥的方式。
- AES 支持 ECB（Electronic CodeBook）、CBC（Cipher Block Chaining）、1/8/128-CFB（Cipher FeedBack）、128-OFB（Output FeedBack）和 CTR（Counter）几种工作模式，工作模式符合 NIST special800-38a 标准。
- DES/3DES 支持 ECB、CBC、1/8/64-CFB、1/8/64-OFB 几种工作模式，工作模式符合 FIPS-81 标准。
- ECB、CBC、CFB、OFB、CTR 工作模式下，支持一次实现多个分组的加解密运算，也支持一次实现单个分组的加解密运算。
- AES 的 CTR 工作模式下，支持一次实现多个分组的加解密运算，也支持一次实现单个分组的加解密运算
- 提供 8 个 CPU 配置的加解密密钥，可以配置为 64bits，128bits，192bits 或者 256bits。
- 提供 8 个芯片密钥管理模块配置的密钥，固定为 128bits，主 CPU 不可以读写。
- 提供一个单分组加解密通道和 7 个通道的多分组加解密通道。单分组加解密通道每次只能完成一个单分组加解密，由 CPU 将数据写入通道寄存器中，结果由 CPU 读取。多分组加解密通道由逻辑自动从 DDR 中读取数据完成加解密后再自动写回到 DDR 中。
- 各个通道采用加权轮循的工作方法，除了单分组通道的权值默认为 1，其他的多分组通道的权值都可以配置。
- 任何通道可以使用同一组密钥或者不同组密钥。
- 当多分组通道数据不是加解密分组的整数倍时，最后不足一个分组的数据不进行加解密。
- 多分组通道支持逻辑拼接数据，即上一个链表数据块最后预留数据不足一个加解密分组，又不是待处理数据的最后一个链表数据块，不需要进行数据填充，则将该链表数据遗留的数据与下一个链表数据块数据拼接到一起进行加解密。
- 多分组加解密通道支持字节地址。
- 多分组加解密通道支持多链表结构，支持拼接多个链表数据，每个链表的长度用 20 bit 表示，即最大数据量为 1M-1 byte。
- 提供中断状态查询、中断屏蔽和中断清除功能。
- 每个通道提供单独的中断处理和控制。
- 支持多包中断和老化时间中断。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

3.6.3 功能描述

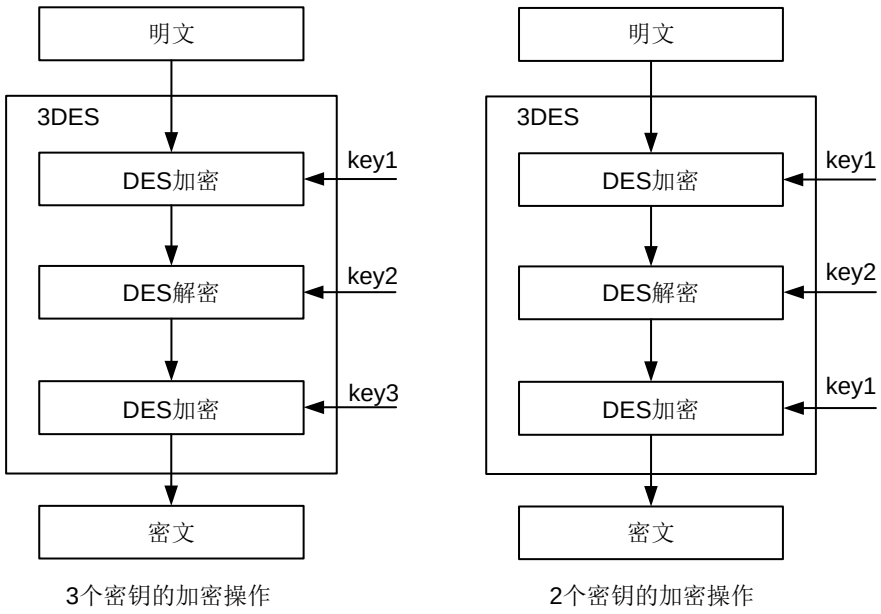
DES/3DES、AES 算法支持的几种工作模式分别符合 FIPS-81 标准和 NIST special800-38a 标准，对于 DES/3DES 和 AES 算法，ECB、CBC 和 CFB 工作模式相同，OFB 和 CTR（只有 AES 算法中包括）工作模式略有区别。

3DES 算法

3DES 支持 3 个密钥和 2 个密钥的运算，2 个密钥的运算可以看作 3 个密钥的一种简化情况，在 2 个密钥的操作中的第三个密钥（key3）都使用第一个密钥（key1）代替。

3 个密钥和 2 个密钥的 3DES 加密运算过程如图 3-8 所示。

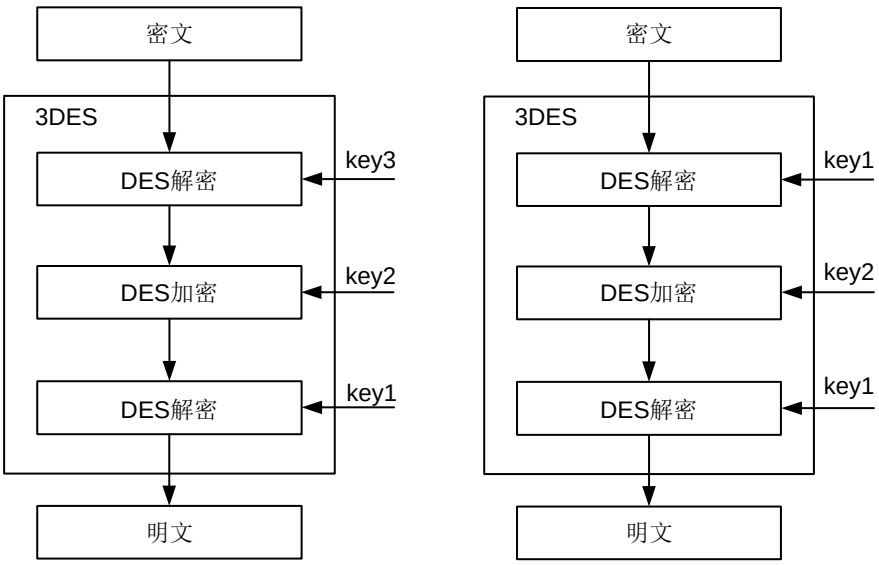
图3-8 3 个密钥和 2 个密钥的 3DES 加密操作



3 个密钥和 2 个密钥的 3DES 解密运算过程如图 3-9 所示。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

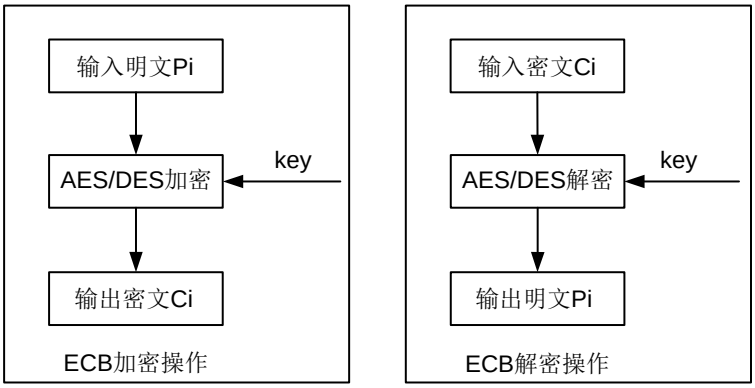
图3-9 3 个密钥和 2 个密钥的 3DES 解密操作



ECB 模式

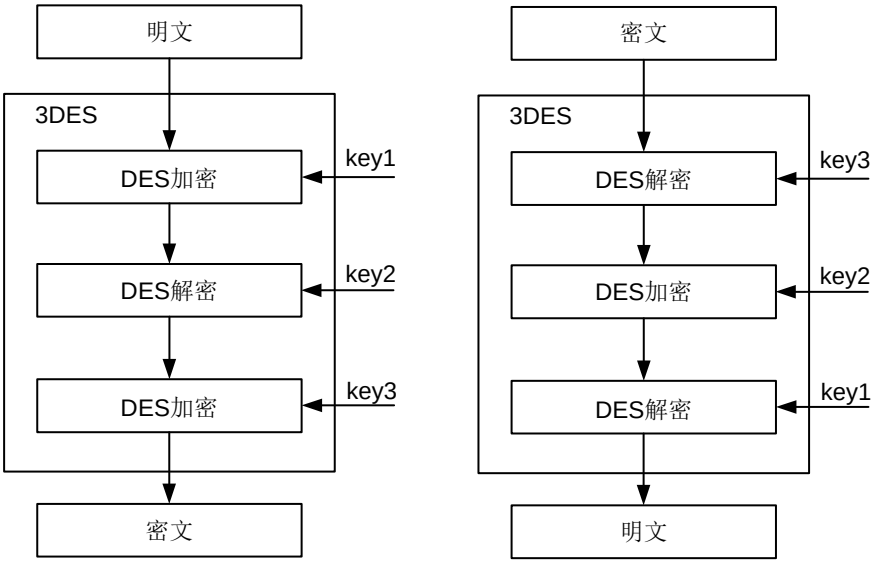
ECB（Electronic CodeBook）模式中，加、解密算法是直接应用到各个分组数据，而且各个分组的运算均独立。这个特点使得明文的加密操作和密文的解密操作可以并行进行。AES/DES 和 3DES 的电子密码本（ECB）模式分别如图 3-10 和图 3-11 所示。

图3-10 AES/DES 的电子密码本（ECB）模式



海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

图3-11 3DES 的电子密码本（ECB）模式

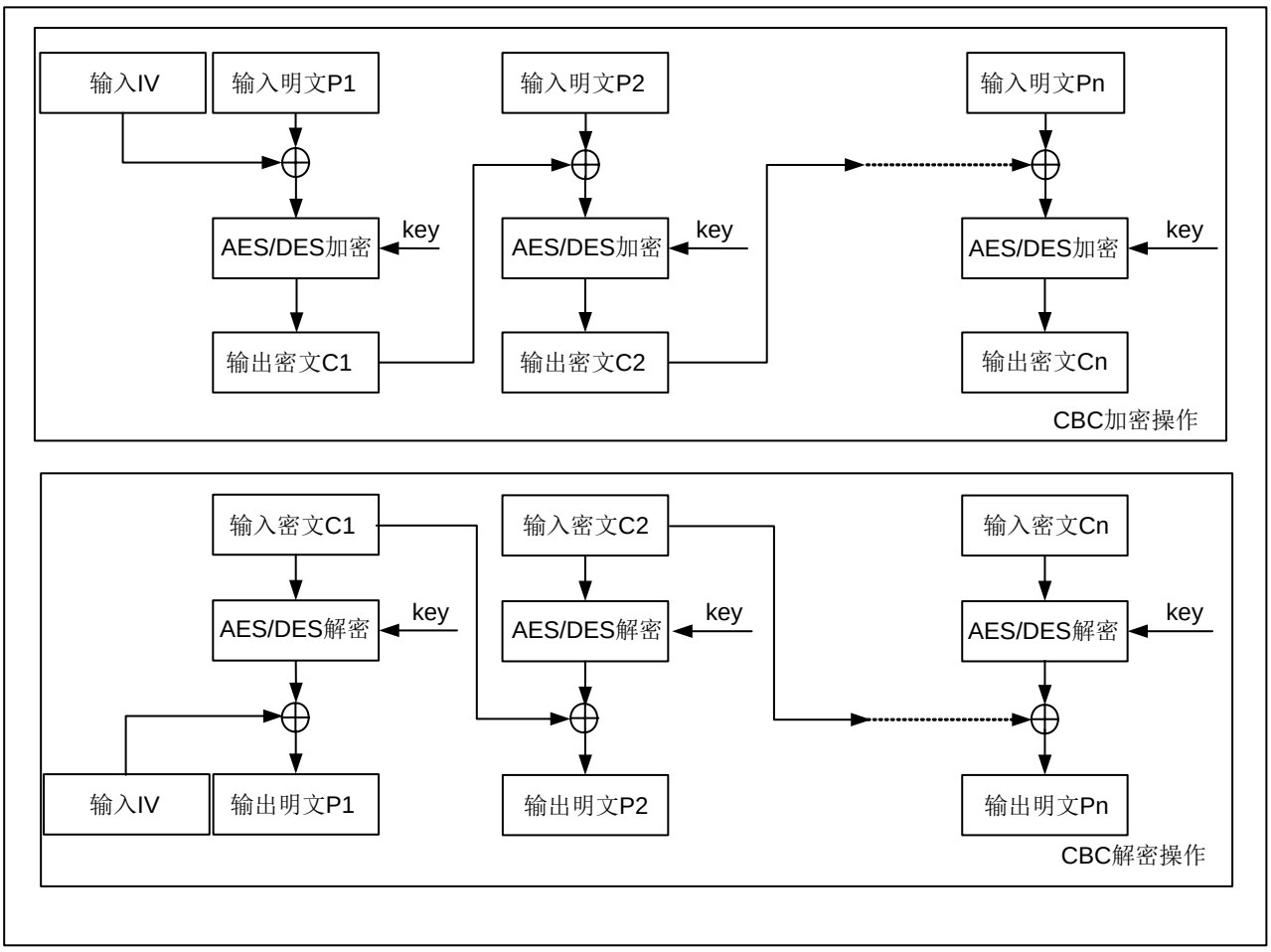


CBC 模式

CBC（Cipher Block Chaining）模式下，加密的输入明文分组需要先与输入向量 IV（Intialization Vector）进行异或操作，才进入加密操作，而每个明文分组的加密处理都与上一个明文分组处理的结果（即密文）相关，因此 CBC 模式下的加密操作是不能进行并行处理的。但是解密操作不依赖于上一个分组的明文输出，是可以进行并行处理的。AES/DES 和 3DES 的密码分组链接（CBC）模式分别如图 3-12 和图 3-13 所示。

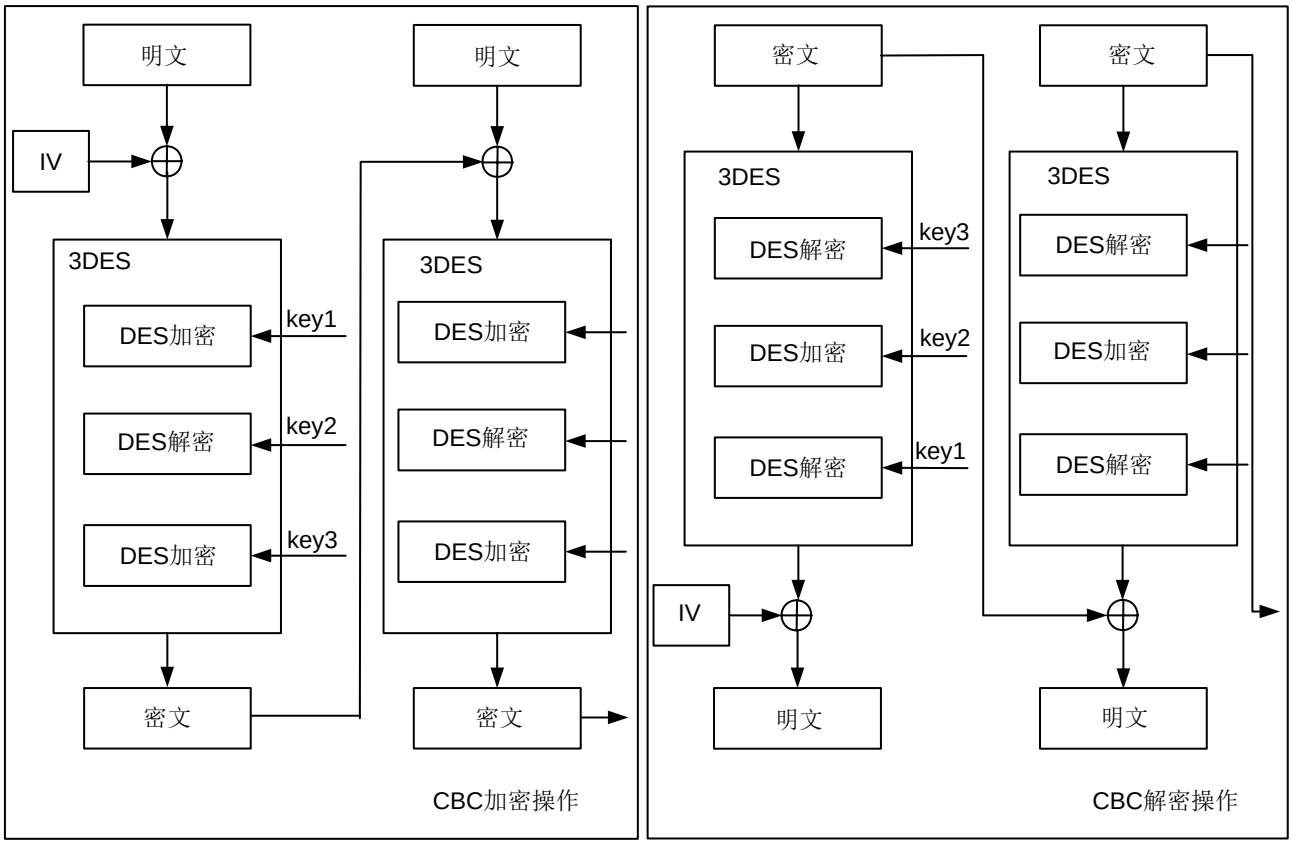
海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

图3-12 AES/DES 的密码分组链接（CBC）模式



海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

图3-13 3DES 的密码分组链接（CBC）模式



CFB 模式

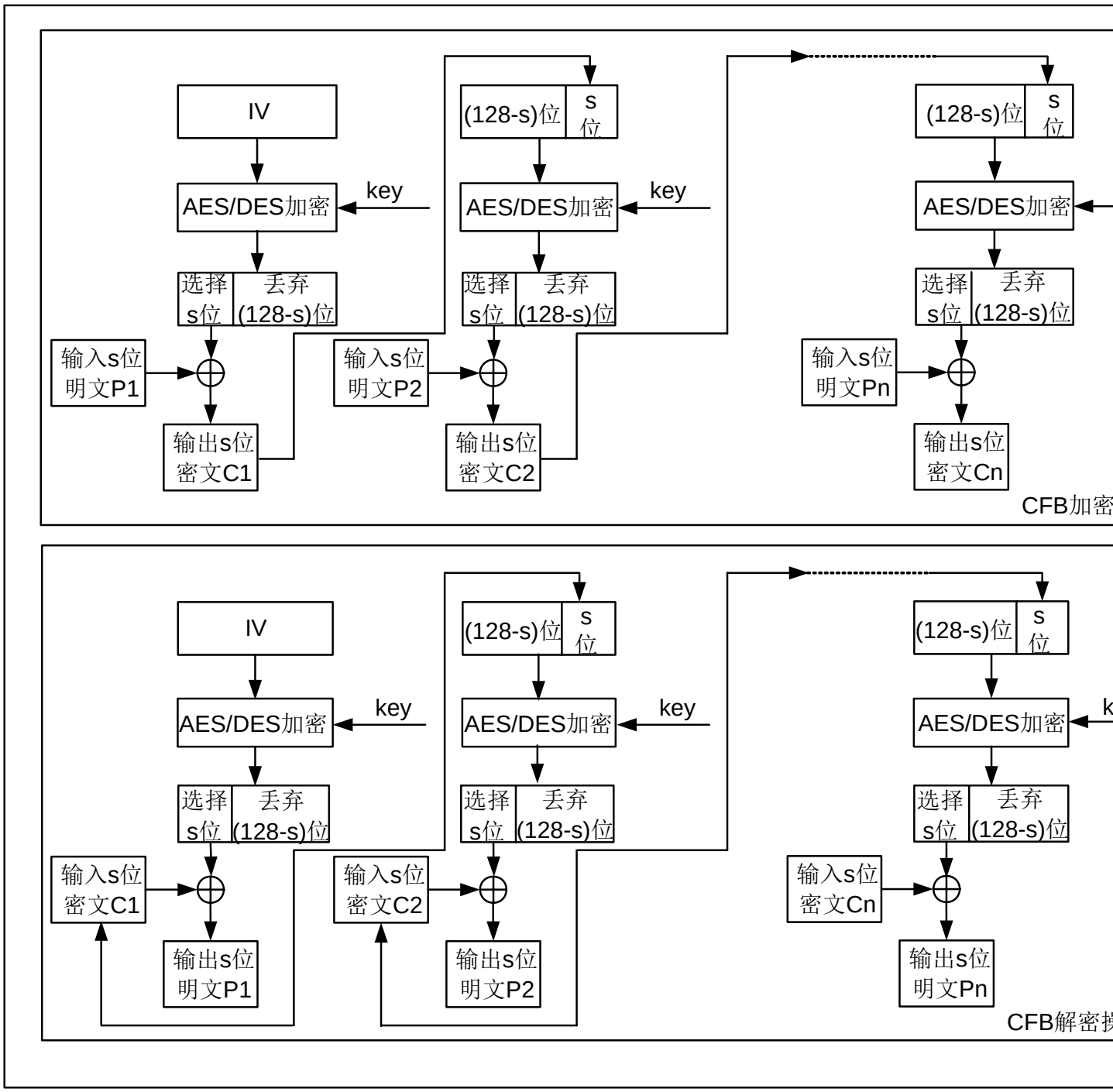
CFB（Cipher FeedBack）模式是将分组密码转换成流密码的一种工作模式，可以通过选择 CFB 的操作位数来实现。移位操作的位数用 s 位表示，关于 s 位，存在以下 2 种情况：

- 对于 DES/3DES，s 位可以是 1 位、8 位或 64 位。
- 对于 AES，s 位可以是 1 位、8 位或 128 位。

AES/DES 的 s 位密码反馈（CFB）模式和 3DES 的 s 位密码反馈（CFB）模式分别如图 3-14 和图 3-15 所示。

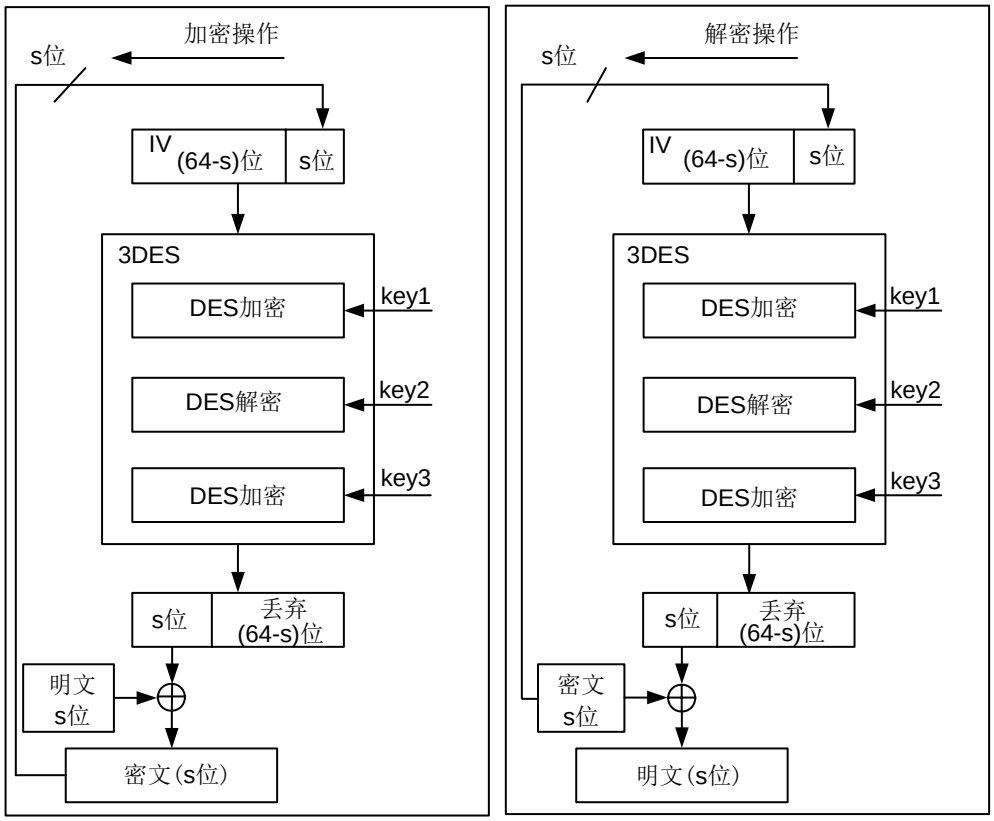
海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

图3-14 AES/DES 的 s 位密码反馈（CFB）模式



海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

图3-15 3DES 的 s 位密码反馈（CFB）模式



OFB 模式

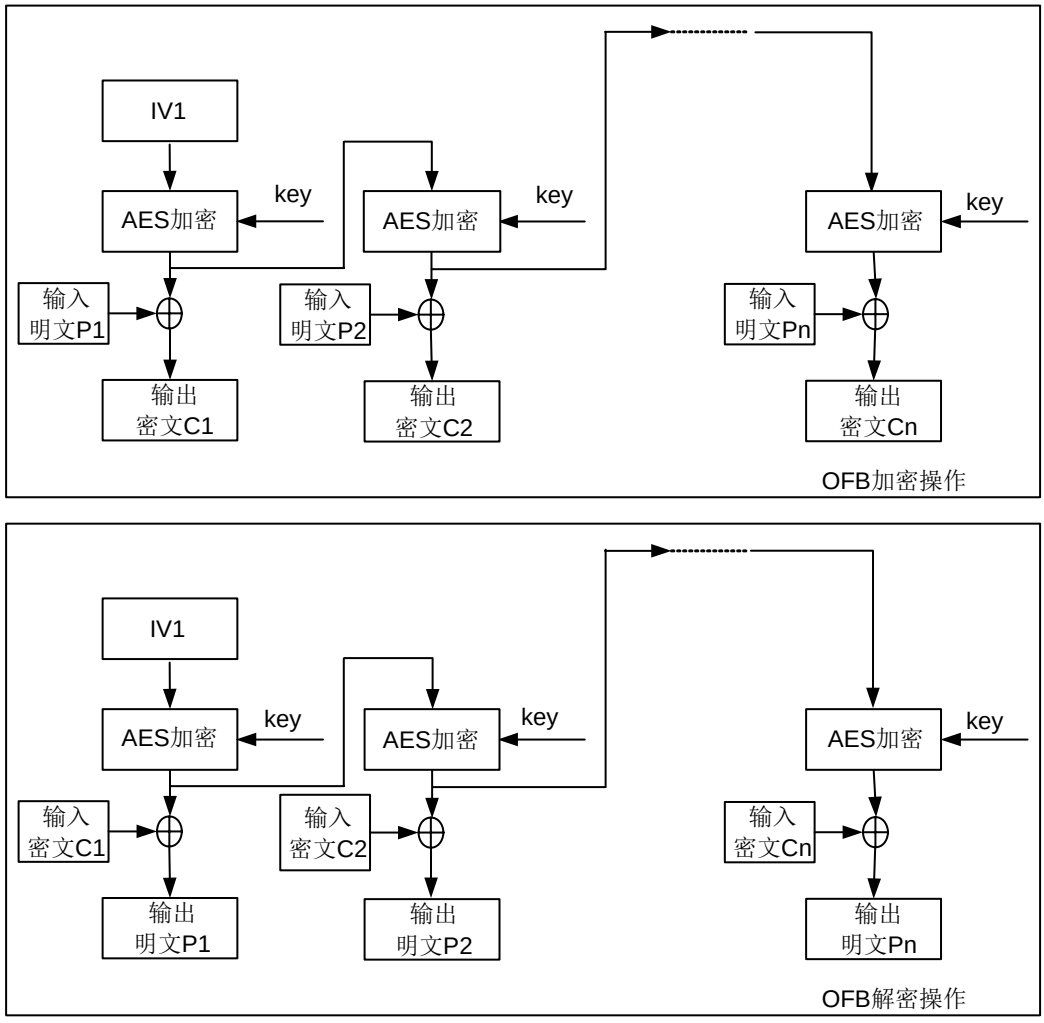
OFB（Output FeedBack）模式下，将 IV 直接作为加密操作的输入，因此对同一个密钥的操作情况下，应该使用不相同的 IV，避免降低操作的安全性。关于 s 位，存在以下 2 种情况：

- 对于 DES/3DES，s 位可以是 1 位、8 位或 64 位。
- 对于 AES，s 位只能是 128 位。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

AES 的输出反馈（OFB）模式如图 3-16 所示。

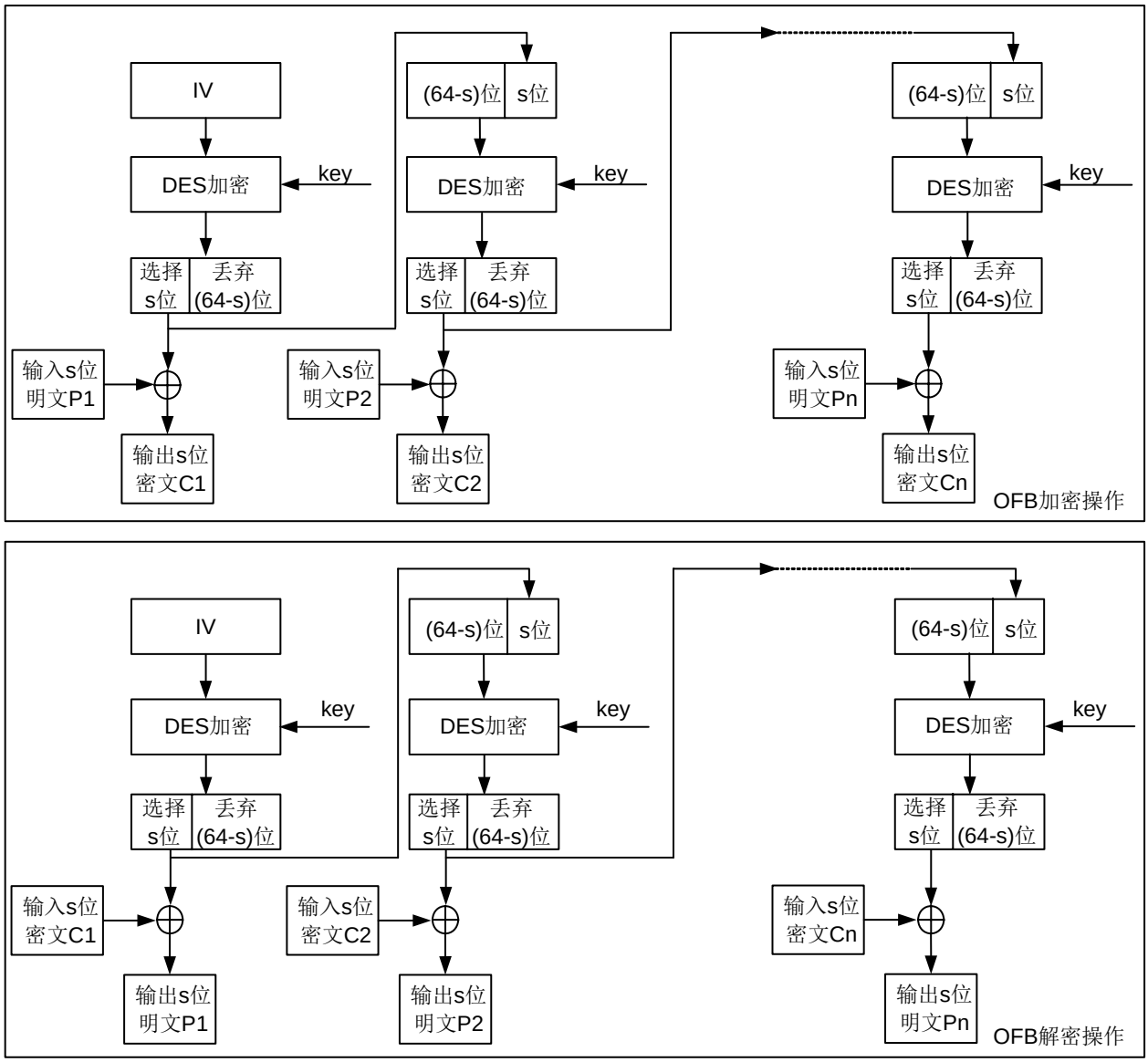
图3-16 AES 的输出反馈（OFB）模式



DES 的 s 位输出反馈模式如图 3-17 所示。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

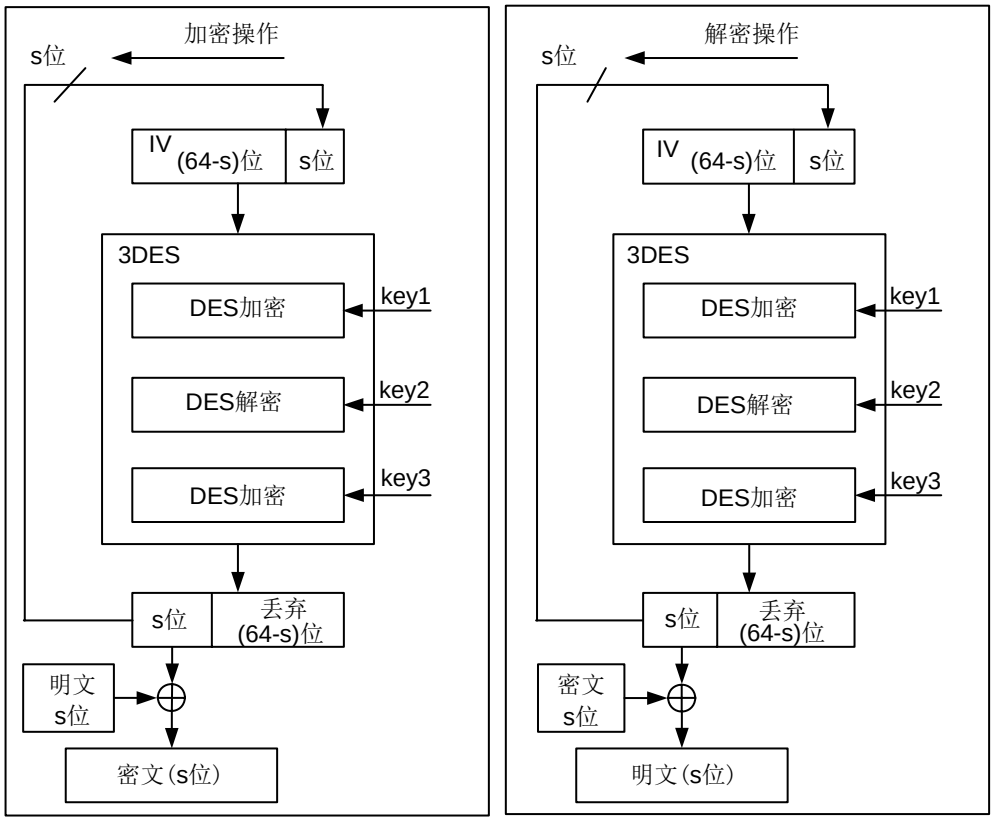
图3-17 DES 的 s 位输出反馈（OFB）模式



3DES 的 s 位输出反馈模式如图 3-18 所示。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

图3-18 3DES 的 s 位输出反馈（OFB）模式



CTR 模式

CTR（Counter）模式下，向 AES 加密或解密处理模块输入不同的数据来保证数据处理的安全性，这种数据可以是计数的值。因此，计数值 CTRn 的选取也决定了这种方式应用的安全性。

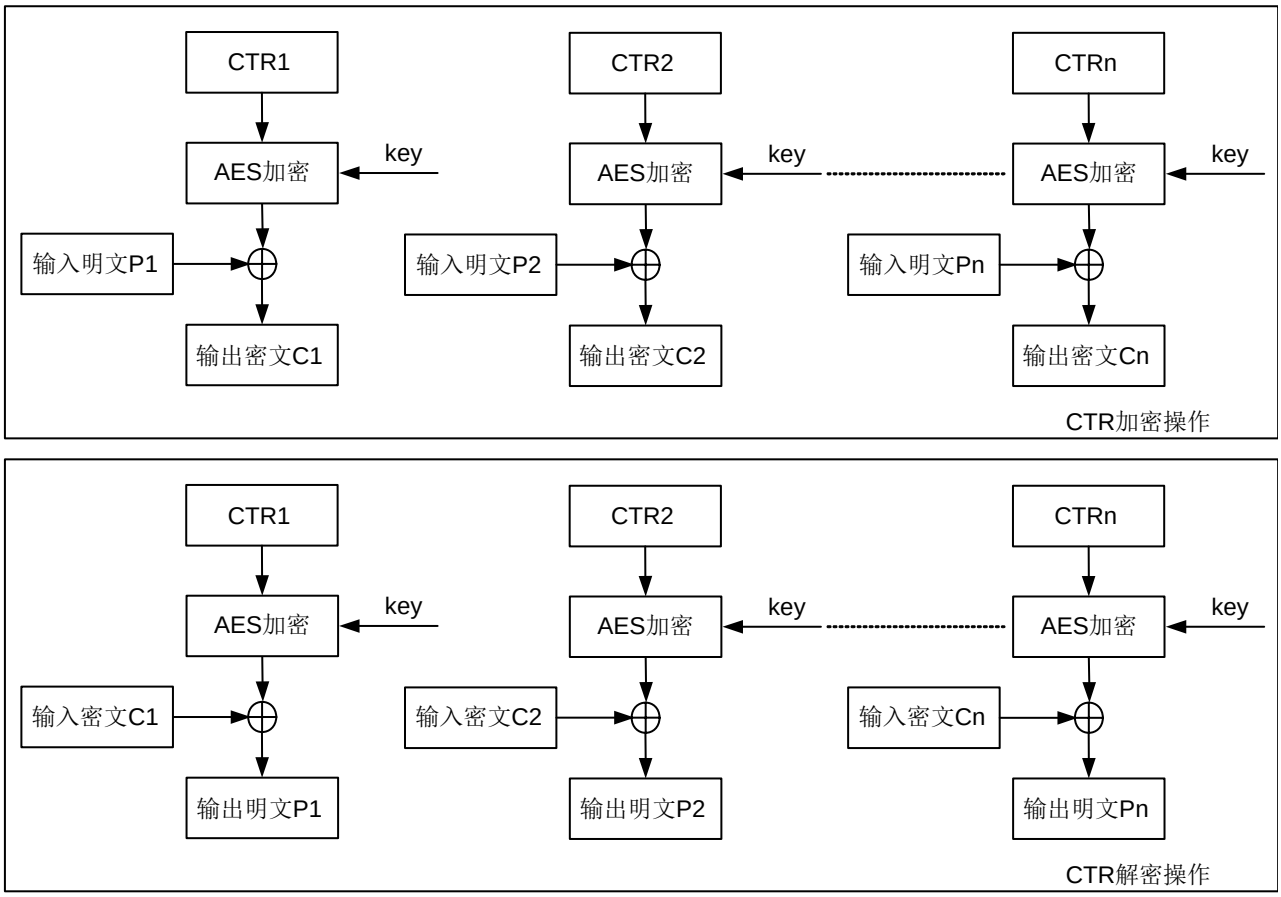
说明

CTRn 一般采用累加计数的方式获取。

AES 的 CTR 模式如图 3-19 所示。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

图3-19 AES 的 CTR 模式



3.6.4 工作方式

CIPHER 的单分组操作流程

CIPHER 提供通道 0 作为单分组加解密通道，操作流程如下：

步骤 1. 查询通道 0 配置寄存器 CHAN0_CFG 的 ch0_busy 域，如果通道 0 不忙，则配置通道 0 的数据输入和将相关配置信息写入通道 0 的寄存器中。

步骤 2. 写通道 0 配置寄存器 CHAN0_CFG 的 ch0_start 域，启动通道 0 加解密。

步骤 3. 判断通道 0 加解密结束，有两种方式：

- 查询等待通道 0 加解密结束后 ch0_busy 变为不忙。
- 使能通道 0 中断，在通道 0 数据完成中断有效后读取数据。

步骤 4. 通道 0 加解密完成，从通道 0 的 CHAN0_CIPHER_DOUT 和 CHAN0_CIPHER_IVOUT 寄存器中读取相应结果。

----结束

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

CIPHER 的多分组操作流程

CIPHER 模块提供 7 个多分组加解密通道，软件可以根据每个通道速率大小设置每个通道的权值。多分组加解密通道自动从 DDR 中读取数据，完成加解密后再写入到 DDR 中。

CIPHER 的多分组操作流程如下：

步骤 1. 通道初始化配置。即每个通道输入队列深度和输出队列深度，输入输出队列的首地址，多包中断个数和老化中断时间，配置每个通道 CTRL 寄存器信息。

步骤 2. 当有数据需要加解密时，查询 CHANn_IBUF_CNT 寄存器，如果该寄存器的值小于 CHANn_IBUF_NUM 的值，则配置待加解密数据链表头到输入队列中，进入步骤 4；否则进入步骤 3；

步骤 3. 打开输入队列通道对应的中断，等待该中断发生时，读取 CHANn_IEMPTY_CNT 寄存器代表输入队列处理完成的包个数，软件通过向该寄存器写入相应的值清除中断，然后可以向输入队列中添加新的数据。

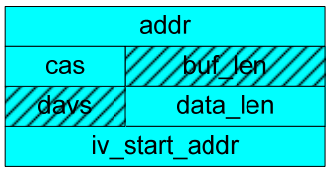
步骤 4. 向输出队列中加入对应的输出缓冲区链表头；

步骤 5. 打开输出队列通道对应中断；

步骤 6. 在输出队列中断发生时，软件取走输出队列数据并写本次收包个数到 CHANn_OFULL_CNT，以便清除中断。

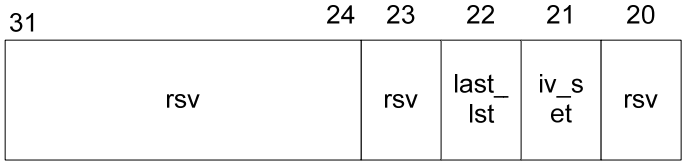
----结束

图3-20 多分组加解密通道链表头结构如下：



- addr 表示该链表头指向的 Buffer 的首地址，可以是字节地址。
- data_len 表示该链表头指示的有效数据的长度。
- cas 代表 cipher 加解密的控制信息，具体 bit 数如下：

图3-21 CAS 各个 bit 标志



海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

- iv_set：标志当前链表头指示的数据需要重新更换初始向量，此时需要通过 iv_start_addr 指示当前 IV 在 DDR 中的初始地址，此地址必须是 WORD 对齐地址。
- last_lst：标志当前链表头指示的数据是一个数据块的最后一个链表，逻辑在该链表处理结束时如果遇到不足一个加解密分组的数据，逻辑将剩余数据直接写入到输出 Buffer 中，不进行加解密。

时钟门控

当不需要进行加密操作，且 CIPHER 模块处于空闲状态时，可以通过配置系统控制器的寄存器，关断 CIPHER 模块时钟以降低功耗。

软复位

可以通过配置系统控制器的寄存器对 CIPHER 模块进行软复位。

3.6.5 寄存器概览

CIPHER 寄存器概览如表 3-34 所示。

表3-34 CIPHER 寄存器概览（基址是 0x100C_0000）

偏移地址	名称	描述	页码
0x0000～0x000C	CHAN0_CIPHER_DOUT	CIPHER 模块通道 0（单分组加解密）输出寄存器	3-166
0x0010～0x001C	CHAN0_CIPHER_IVOUT	CIPHER 操作完成之后的向量输出寄存器	3-167
0x0020～0x008C	CHAN_CIPHER_IVOUT	通道 1～7 向量输出寄存器	3-167
0x0090～0x018C	CIPHER_KEY	CIPHER 模块的 CPU 配置密钥寄存器	3-168
0x1000	CHAN0_CIPHER_CTRL	通道 0 加解密控制寄存器	3-169
0x1004～0x1010	CHAN0_CIPHER_IVIN	CIPHER 模块通道 0 的向量分组的输入寄存器	3-172
0x1014～0x1020	CHAN0_CIPHER_DIN	CIPHER 模块的 128 位分组输入寄存器	3-173
0x1000+nx128	CHANn_IBUF_NUM	通道 n（n 为 1～7）输入队列总深度，即为可以配置链表头的总个数寄存器	3-174
0x1000+nx128+0x4	CHANn_IBUF_CNT	通道 n 输入队列中待处理的数据 Buffer 的个数寄存器	3-174
0x1000+nx128+0x8	CHANn_IEMPTY_CNT	通道 n 输入队列中处理完成的数据 Buffer 个数寄存器	3-175

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

偏移地址	名称	描述	页码
0x1000+nx128+0xC	CHANn_INT_ICNTCFG	通道 n 输入队列多包中断水线寄存器	3-175
0x1000+nx128+0x10	CHANn_CIPHER_CTRL	通道 n 加解密控制寄存器	3-176
0x1000+nx128+0x14	CHANn_SRC_LST_SADDR	通道 n 输入队列的起始地址寄存器	3-178
0x1000+nx128+0x18	CHANn_IAGE_TIMER	通道 n 输入队列中断的老化时间配置寄存器	3-178
0x1000+nx128+0x3C	CHANn_OBUF_NUM	通道 n 输出队列总深度，即为可以配置链表头的总个数寄存器	3-179
0x1000+nx128+0x40	CHANn_OBUF_CNT	通道 n 输出队列中待处理的数据 Buffer 的个数寄存器	3-179
0x1000+nx128+0x44	CHANn_OFULL_CNT	通道 n 输出队列中处理完成的数据 Buffer 个数寄存器	3-180
0x1000+nx128+0x48	CHANn_INT_OCNTCFG	通道 n 输出队列多包中断水线寄存器	3-180
0x1000+nx128+0x4C	CHANn_DEST_LST_SADDR	通道 n 输出队列的起始地址寄存器	3-180
0x1000+nx128+0x50	CHANn_OAGE_TIMER	通道 n 输出队列中断的老化时间配置寄存器	3-181
0x1400	INT_STATUS	中断状态寄存器	3-181
0x1404	INT_EN	中断使能寄存器	3-182
0x1408	INT_RAW	原始中断状态寄存器	3-183
0x140C	RST_STATUS	复位状态指示寄存器	3-184
0x1410	CHAN0_CFG	通道 0 配置寄存器	3-185

CIPHER 寄存器偏移地址中变量的取值范围和含义如表 3-36 所示。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

表3-35 CIPHER 寄存器偏移地址变量表

变量名称	取值范围	描述
n	1～7	Cipher 模块的通道 1 至通道 7。

3.6.6 寄存器描述

CHAN0_CIPHER_DOUT

CHAN0_CIPHER_DOUT 为 CIPHER 模块通道 0（单分组加解密）输出寄存器。

读取本寄存器时需要注意：

- 从该寄存器中读取的数据是单分组的运算的结果数据。AES 运算和 DES 或 3DES 运算对应的情况不同：
  - 如果选择进行 AES 运算

    如果选择 1-CFB 模式，最低位有效，即 CIPHER_DOUT bit[0]为有效数据。

    如果选择 8-CFB 模式，低 8 位有效，即 CIPHER_DOUT bit[7:0]为有效数据。

    如果选择 128-CFB 操作，128 位数据均有效。

    其它模式下 128 位数据均有效。
  - 如果选择进行 DES 或 3DES 运算

    如果选择 1-CFB 或 1-OFB 模式，低 1 位有效，即 CIPHER_DOUT bit[0]为有效数据。

    如果选择 8-CFB 或 8-OFB 模式，低 8 位有效，即 CIPHER_DOUT bit[7:0]为有效数据。

    如果选择 64-CFB 或 64-OFB 模式，低 64 位数据有效，即 CIPHER_DOUT bit[63:0]为有效数据。

    其它模式下低 64 位数据有效，即 CIPHER_DOUT bit[63:0]为有效数据。

Offset Address	Register Name	Total Reset Value
0x0000～0x000C	CHAN0_CIPHER_DOUT	0x0000_0000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	chan0_cipher_dout							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[31:0]	RO	chan0_cipher_dout	CIPHER 模块 128 位分组输出，每 1 个地址对应 32 位的数据。 CIPHER_DOUT[31:0]：0x0000 地址； CIPHER_DOUT[63:32]：0x0004 地址； CIPHER_DOUT[95:64]：0x0008 地址； CIPHER_DOUT[127:96]：0x000C 地址。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

CHAN0_CIPHER_IVOUT

CHAN0_CIPHER_IVOUT 为 CIPHER 操作完成之后的向量输出寄存器。

读取本寄存器时需要注意：

- 如果执行的是 ECB 或 CTR 工作模式，不需要关注此寄存器。
- 如果选择进行单分组的处理，该寄存器中的数据是该分组的向量结果输出，可以作为同一数据包的下一个分组运算的向量输入。
  - 如果选择进行 AES 运算，128 位数据均有效。
  - 如果选择进行 DES 或 3DES 运算（CIPHER_CTRL[cipher_mode]=0b00、0b01 或 0b11），低 64 位数据有效，即 CIPHER_IVOUT bit[63:0]为有效数据。
- 如果选择进行多分组的处理，该寄存器中读取的数据是最后一个分组运算的向量结果输出。
  - 如果选择进行 AES 运算，128 位数据均有效。
  - 如果选择进行 DES 或 3DES 运算，低 64 位数据有效，即 CIPHER_IVOUT bit[63:0]为有效数据。

Offset Address	Register Name	Total Reset Value
0x0010～0x001C	CHAN0_CIPHER_IVOUT	0x0000_0000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	chan0_cipher_ivout							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[31:0]	RO	chan0_cipher_ivout	CIPHER 模块操作完成之后的向量 IV 的输出（ECB、CTR 工作模式下无需关注），每 1 地址对应 32 位的数据。 CIPHER_IVOUT[31:0]：0x0010 地址； CIPHER_IVOUT[63:32]：0x0014 地址； CIPHER_IVOUT[95:64]：0x0018 地址； CIPHER_IVOUT[127:96]：0x001C 地址。

CHAN_CIPHER_IVOUT

CHAN_CIPHER_IVOUT 为通道 1～7 向量输出寄存器。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x0020～0x008C	CHAN_CIPHER_IVOUT	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	chan_cipher_ivout																															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:0]	RO	chan_cipher_ivout	0x0020～0x002C：通道 1； 0x0030～0x003C：通道 2； 0x0040～0x004C：通道 3； 0x0050～0x005C：通道 4； 0x0060～0x006C：通道 5； 0x0070～0x007C：通道 6； 0x0080～0x008C：通道 7。

CIPHER_KEY

CIPHER_KEY 为 CIPHER 模块的 CPU 配置密钥寄存器，该密钥为 CPU 配置值，CPU 可以读写。

配置本寄存器时需要注意：

- 选择 DES 运算时，低 64 位数据有效，即 CIPHER_KEY[63:0]为有效数据。
- 选择 3DES 运算：

  选择 3 个密钥运算（CIPHER_CTRL[key_length]=0b00、0b01 或 0b10）时，低 192 位数据有效，此时：
  - CIPHER_KEY bit[63:0]表示第一个密钥。
  - CIPHER_KEY bit[127:64]表示第二个密钥。
  - CIPHER_KEY bit[191:128]表示第三个密钥。

  选择 2 个密钥运算（即 CIPHER_CTRL[key_length]=0b11）时，低 128 位数据有效，此时：
  - CIPHER_KEY bit[63:0]表示第一个密钥。
  - CIPHER_KEY bit[127:64]表示第二个密钥。
- 选择 AES 运算时：
  - 如果选择 128 位密钥操作，低 128 位数据有效，即 CIPHER_KEY bit[127:0]为有效数据。
  - 如果选择 192 位密钥操作，低 192 位数据有效，即 CIPHER_KEY bit[191:0]为有效数据。
  - 如果选择 256 位密钥操作，256 位数据均有效。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

CIPHER 模块共支持配置 8 个密钥，每个通道可以配置使用其中一个密钥，可以多个通道共同使用同一个密钥。

Offset Address	Register Name	Total Reset Value
0x0090～0x018C	CIPHER_KEY	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	cipher_key																															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:0]	RW	cipher_key	CIPHER 模块的密钥输入，每 1 个地址对应一个 32 位宽的数据。 CIPHER_KEY[31:0]：0x0090 地址； CIPHER_KEY[63:32]：0x0094 地址； CIPHER_KEY[95:64]：0x0098 地址； CIPHER_KEY[127:96]：0x009C 地址； CIPHER_KEY[159:128]：0x00A0 地址； CIPHER_KEY[191:160]：0x00A4 地址； CIPHER_KEY[223:192]：0x00A8 地址； CIPHER_KEY[255:224]：0x00AC 地址。 0x0090～0x00AC：host_key0； 0x00B0～0x00CC：host_key1； 0x00D0～0x00EC：host_key2； 0x00F0～0x010C：host_key3； 0x0110～0x012C：host_key4； 0x0130～0x014C：host_key5； 0x0150～0x016C：host_key6； 0x0170～0x018C：host_key7。

CHAN0_CIPHER_CTRL

CHAN0_CIPHER_CTRL 为通道 0 加解密控制寄存器，通道 0 为单分组加解密通道。

配置本寄存器时需要注意：

- 在进行模块的其它寄存器配置之前，必须先配置该寄存器。
- AES 下除了 CFB 模式之外，其它模式不允许将 CIPHER_CTRL[width]配置为 01 或 10。
- DES/3DES 下除了 CFB 和 OFB 模式之外，其它模式不允许将 CIPHER_CTRL[width]配置为 01 或 10。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x1000	CHAN0_CIPHER_CTRL	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																key_adder				key_sel	byte_seq	reserved		key_length			ivin_sel	width			alg_sel		mode			decrypt
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:17]	-	reserved	保留。
[16:14]	RW	key_adder	当前通道使用 Key 的序号。 000：host_key0； 001：host_key1； 010：host_key2； 011：host_key3； 100：host_key4； 101：host_key5； 110：host_key6； 111：host_key7。
[13]	RW	key_sel	选择当前使用 CPU 配置的密钥或者芯片密钥管理模块产生的密钥。 0：使用 CPU 配置的密钥； 1：使用芯片密钥管理模块产生的密钥。
[12]	-	reserved	保留。
[11]	-	reserved	保留。
[10:9]	RW	key_length	密钥长度控制。 AES 算法下： 00：128 位密钥长度； 01：192 位密钥长度； 10：256 位密钥长度； 11：128 位密钥长度。 DES 算法下： 00：3 个密钥； 01：3 个密钥； 10：3 个密钥； 11：2 个密钥。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x1000	CHAN0_CIPHER_CTRL	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																key_adder		key_sel	byte_seq	reserved		key_length		ivin_sel	width		alg_sel		mode		decrypt
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[8]	RW	ivin_sel	CIPHER_IVIN 的输入选择控制。 0：CIPHER_IVIN 不需要进行配置； 1：CIPHER_IVIN 需要配置。
[7:6]	RW	width	位宽控制。 DES/3DES 算法下： 00：64 位模式； 01：8 位模式； 10：1 位模式； 11：64 位模式。 AES 算法下： 00：128 位模式； 01：8 位模式； 10：1 位模式； 11：128 位模式。
[5:4]	RW	alg_sel	算法类型选择控制。 00：DES 运算； 01：3DES 运算； 10：AES 运算； 11：DES 运算。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x1000	CHAN0_CIPHER_CTRL	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																key_adder		key_sel	byte_seq	reserved		key_length		ivin_sel	width		alg_sel		mode		decrypt
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[3:1]	RW	mode	工作模式控制。 在 AES 算法下： 000：ECB 模式； 001：CBC 模式； 010：CFB 模式； 011：OFB 模式； 100：CTR 模式； 其它：ECB 模式。 在 DES 算法下： 000：ECB 模式； 001：CBC 模式； 010：CFB 模式； 011：OFB 模式； 其它：ECB 模式。
[0]	RW	decrypt	加解密控制。 0：加密； 1：解密。

CHAN0_CIPHER_IVIN

CHAN0_CIPHER_IVIN 为 CIPHER 模块通道 0 的向量分组的输入寄存器。

配置该寄存器时需要注意：

- 如果选择使用通道 0 进行单分组加解密且执行的不是 ECB 模式（CIPHER_CTRL[mode]=0b001、0b010、0b011 或 0b100）时：
  - 如果选择不需要进行输入向量配置（CIPHER_CTRL[ivin_sel]=0b0），则不需要进行该寄存器的配置。
  - 如果选择需要进行输入向量配置（CIPHER_CTRL[ivin_sel]=0b1），则需要进行该寄存器的配置。如果此时选择进行 AES 运算（即 CIPHER_CTRL

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

[alg_sel]=0b10），CIPHER_IVIN bit[127:0]为有效数据；如果选择进行 DES 或 3DES 运算（CIPHER_CTRL[alg_sel]＝0b00、0b01 或 0b11），低 64 位数据有效，即 CIPHER_IVIN bit[63:0]为有效数据。

Offset Address	Register Name	Total Reset Value
0x1004～0x1010	CHAN0_CIPHER_IVIN	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	chan0_cipher_ivin																															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:0]	RW	chan0_cipher_ivin	通道 0 CIPHER 模块的 128 位 IV 向量或 Counter 输入的数据，每个地址对应一个 32 位宽的数据。 CIPHER_IVIN[31:0]：0x1004 地址； CIPHER_IVIN[63:32]：0x1008 地址； CIPHER_IVIN[95:64]：0x100C 地址； CIPHER_IVIN[127:96]：0x1010 地址。

CHAN0_CIPHER_DIN

CHAN0_CIPHER_DIN 为 CIPHER 模块的 128 位分组输入寄存器。

配置该寄存器时需要注意：

如果选择通道 0 进行单分组的处理，需要配置该寄存器：

- 如果选择进行 AES 运算（CIPHER_CTRL[alg_sel]=0b10）
  - 如果选择 1-CFB 操作，低 1 位有效，即 CIPHER_DIN bit[0]为有效数据。
  - 如果选择 8-CFB 操作，低 8 位有效，即 CIPHER_DIN bit[7:0]为有效数据。
  - 如果选择 128-CFB 操作，128 位数据均有效。
  - 如果选择其他操作模式，128 位数据均有效。
- 如果选择进行 DES 或 3DES 运算（CIPHER_CTRL[alg_sel]＝0b00、0b01 或 0b11）
  - 如果选择 1-CFB/1-OFB 操作，低 1 位有效，即 CIPHER_DIN bit[0]为有效数据。
  - 如果选择 8-CFB/8-OFB 操作，低 8 位有效，即 CIPHER_DIN bit[7:0]为有效数据。
  - 如果选择 64-CFB/64-OFB 操作，低 64 位数有效，即 CIPHER_DIN bit[63:0]为有效数据。

如果选择其他操作模式，低 64 位数有效，即 CIPHER_DIN bit[63:0]为有效数据。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x1014～0x1020	CHAN0_CIPHER_DIN	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	chan0_cipher_din																															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:0]	RW	chan0_cipher_din	通道 0CIPHER 模块的 128 位分组输入，每个地址对应一个 32 位宽的数据。 CIPHER_DIN[31:0]：0x1014 地址； CIPHER_DIN[63:32]：0x1018 地址； CIPHER_DIN[95:64]：0x101c 地址； CIPHER_DIN[127:96]：0x1020 地址。

CHANn_IBUF_NUM

CHANn_IBUF_NUM 为 CHANn_IBUF_BUN 为通道 n（n 为 1～7）输入队列总深度，即为可以配置链表头的总个数。

Offset Address	Register Name	Total Reset Value
0x1000+n*128	CHANn_IBUF_NUM	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																ibuf_num															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:16]	-	reserved	保留。
[15:0]	RW	ibuf_num	输入队列深度，即每个通道可以配置的链表头信息总个数。

CHANn_IBUF_CNT

CHANn_IBUF_CNT 为通道 n 输入队列中待处理的数据 Buffer 的个数。软件写该寄存器时，逻辑会在寄存器原有值的基础上加上软件新写入的值；逻辑处理完一个 Buffer 块后，该寄存器值会减 1。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x1000+n*128+0x4	CHANn_IBUF_CNT	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																ibuf_cnt															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:16]	-	reserved	保留。
[15:0]	RW	ibuf_cnt	输入队列中待处理的数据 Buffer 个数。

CHANn_IEMPTY_CNT

CHANn_IEMPTY_CNT 为通道 n 输入队列中处理完成的数据 Buffer 个数，软件写该寄存器时，逻辑会在寄存器原有值的基础上减去软件新写入的值，逻辑处理完一个 Buffer 块后，该寄存器值会加 1。

Offset Address	Register Name	Total Reset Value
0x1000+n*128+0x8	CHANn_IEMPTY_CNT	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																iempty_cnt															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:16]	-	reserved	保留。
[15:0]	RW	iempty_cnt	输入队列中处理完成的 Buffer 个数。

CHANn_INT_ICNTCFG

CHANn_INT_ICNTCFG 为通道 n 输入队列多包中断水线，当逻辑处理完成的输入队列 Buffer 数目大于等于该值时，会报输入队列中断。

Offset Address	Register Name	Total Reset Value
0x1000+n*128+0xC	CHANn_INT_ICNTCFG	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																int_icnt_cfg															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:16]	-	reserved	保留。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x1000+n*128+0xC	CHANn_INT_ICNTCFG	0x0000_0000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved				int_icnt_cfg			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[15:0]	RW	int_icnt_cfg	输入队列多包中断门限。

CHANn_CIPHER_CTRL

CHANn_CIPHER_CTRL 为通道 n 加解密控制寄存器。

配置本寄存器时需要注意：

- 在启动该通道加解密处理之前，必须先配置该寄存器。
- AES 下除了 CFB 模式之外，其它模式不允许将 CIPHER_CTRL[width]配置为 01 或 10。
- DES/3DES 下除了 CFB 和 OFB 模式之外，其它模式不允许将 CIPHER_CTRL[width]配置为 01 或 10。

Offset Address	Register Name	Total Reset Value
0x1000+n*128+0x10	CHANn_CIPHER_CTRL	0x0000_0000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	weight		reserved	key_adder	key_sel	byte_seq	ts_vld	key_length	reserved	width	alg_sel	mode	decrypt
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[31:22]	-	weight	当前通道的权重，单位为 64bytes。
[21:17]	-	reserved	保留。
[16:14]	RW	key_adder	当前通道使用 Key 的序号，可以配置选择 0～7 地址中的一个 Key。
[13]	RW	key_sel	选择当前使用 CPU 配置的密钥或者芯片密钥管理模块产生的密钥。 0：使用 CPU 配置的密钥； 1：使用芯片密钥管理模块产生的密钥。
[12:11]	-	reserved	保留。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

[10:9]	RW	key_length	密钥长度控制。 AES 算法下： 00：128 位密钥长度； 01：192 位密钥长度； 10：256 位密钥长度； 11：128 位密钥长度。 DES 算法下： 00：3 个密钥； 01：3 个密钥； 10：3 个密钥； 11：2 个密钥。
[8]	-	reserved	保留。
[7:6]	RW	width	位宽控制。 DES/3DES 算法下： 00：64 位模式； 01：8 位模式； 10：1 位模式； 11：64 位模式。 AES 算法下： 00：128 位模式； 01：8 位模式； 10：1 位模式； 11：128 位模式。
[5:4]	RW	alg_sel	算法类型选择控制。 00：DES 运算； 01：3DES 运算； 10：AES 运算； 11：DES 运算。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

[3:1]	RW	mode	工作模式控制。 在 AES 算法下： 000：ECB 模式； 001：CBC 模式； 010：CFB 模式； 011：OFB 模式； 100：CTR 模式； 其它：ECB 模式。 在 DES 算法下： 000：ECB 模式； 001：CBC 模式； 010：CFB 模式； 011：OFB 模式； 其它：ECB 模式。
[0]	RW	decrypt	加解密控制。 0：加密； 1：解密。

CHANn_SRC_LST_SADDR

CHANn_SRC_LST_SADDR 为通道 n 输入队列的起始地址，该地址必须为 WORD 对齐地址。

Offset Address	Register Name	Total Reset Value
0x1000+n*128+0x14	CHANn_SRC_LST_SADDR	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	src_lst_saddr																															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:0]	RW	src_lst_saddr	输入队列的起始地址。

CHANn_IAGE_TIMER

CHANn_IAGE_TIMER 为通道 n 输入队列中断的老化时间配置，如果在老化时间计数器溢出时，输入队列处理完成的 Buffer 数如果大于 0，会报输入队列处理完成中断。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x1000+n*128+0x18	CHANn_IAGE_TIMER	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																iage_timer															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:16]	-	reserved	保留。
[15:0]	RW	iage_timer	老化中断定时器。

CHANn_OBUF_NUM

CHANn_OBUF_NUM 为通道 n 输出队列总深度，即为可以配置链表头的总个数。

Offset Address	Register Name	Total Reset Value
0x1000+n*128+0x3C	CHANn_OBUF_NUM	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																obuf_num															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:16]	-	reserved	保留。
[15:0]	RW	obuf_num	输出队列总深度。

CHANn_OBUF_CNT

CHANn_OBUF_CNT 为通道 n 输出队列中待处理的数据 Buffer 的个数。软件写该寄存器时，逻辑会在寄存器原有值的基础上加上软件新写入的值；逻辑处理完一个 Buffer 块后，该寄存器值会减 1。

Offset Address	Register Name	Total Reset Value
0x1000+n*128+0x40	CHANn_OBUF_CNT	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																obuf_cnt															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:16]	-	reserved	保留。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

[15:0]	RW	obuf_cnt	输出队列中待处理的数据 Buffer 个数。

CHANn_OFULL_CNT

CHANn_OFULL_CNT 为通道 n 输出队列中处理完成的数据 Buffer 个数，软件写该寄存器时，逻辑会在寄存器原有值的基础上减去软件新写入的值，逻辑处理完一个 Buffer 块后，该寄存器值会加 1。

Offset Address	Register Name	Total Reset Value
0x1000+n*128+0x44	CHANn_OFULL_CNT	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																ofull_cnt																
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:16]	-	reserved	保留。
[15:0]	RW	ofull_cnt	输出队列中处理完成的 Buffer 个数。

CHANn_INT_OCNTCFG

CHANn_INT_OCNTCFG 为通道 n 输出队列多包中断水线，当逻辑处理完成的输出队列 Buffer 数目大于等于该值时，会报输出队列中断。

Offset Address	Register Name	Total Reset Value
0x1000+n*128+0x48	CHANn_INT_OCNTCFG	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																int_ocnt_cfg																
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:16]	-	reserved	保留。
[15:0]	RW	int_ocnt_cfg	输出队列多包中断门限。

CHANn_DEST_LST_SADDR

CHANn_DEST_LST_SADDR 为通道 n 输出队列的起始地址，该地址必须为 WORD 对齐地址。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x1000+n*128+0x4C	CHANn_DEST_LST_SADDR	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	dest_lst_saddr																															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:0]	RW	dest_lst_saddr	输出队列的起始地址。

CHANn_OAGE_TIMER

CHANn_OAGE_TIMER 为通道 n 输出队列中断的老化时间配置，如果在老化时间计数器溢出时，输出队列处理完成的 Buffer 数如果大于 0，会报输出队列处理完成中断。

Offset Address	Register Name	Total Reset Value
0x1000+n*128+0x50	CHANn_OAGE_TIMER	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																oage_timer															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:16]	-	reserved	保留。
[15:0]	RW	oage_timer	老化中断定时器。

INT_STATUS

INT_STATUS 为中断状态寄存器。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x1400	INT_STATUS	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																ch7_ibuf_int	ch6_ibuf_int	ch5_ibuf_int	ch4_ibuf_int	ch3_ibuf_int	ch2_ibuf_int	ch1_ibuf_int	ch0_ibuf_int	ch7_obuf_int	ch6_obuf_int	ch5_obuf_int	ch4_obuf_int	ch3_obuf_int	ch2_obuf_int	ch1_obuf_int	reserved
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:16]	-	reserved	保留。
[15]	RO	ch7_ibuf_int	通道 7 输入队列数据中断。
[14]	RO	ch6_ibuf_int	通道 6 输入队列数据中断。
[13]	RO	ch5_ibuf_int	通道 5 输入队列数据中断。
[12]	RO	ch4_ibuf_int	通道 4 输入队列数据中断。
[11]	RO	ch3_ibuf_int	通道 3 输入队列数据中断。
[10]	RO	ch2_ibuf_int	通道 2 输入队列数据中断。
[9]	RO	ch1_ibuf_int	通道 1 输入队列数据中断。
[8]	RO	ch0_ibuf_int	通道 0 数据处理完成中断。
[7]	RO	ch7_obuf_int	通道 7 输出队列数据中断。
[6]	RO	ch6_obuf_int	通道 6 输出队列数据中断。
[5]	RO	ch5_obuf_int	通道 5 输出队列数据中断。
[4]	RO	ch4_obuf_int	通道 4 输出队列数据中断。
[3]	RO	ch3_obuf_int	通道 3 输出队列数据中断。
[2]	RO	ch2_obuf_int	通道 2 输出队列数据中断。
[1]	RO	ch1_obuf_int	通道 1 输出队列数据中断。
[0]	-	reserved	保留。

INT_EN

INT_EN 为中断使能寄存器。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x1404	INT_EN	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	int_en	reserved															ch7_ibuf_en	ch6_ibuf_en	ch5_ibuf_en	ch4_ibuf_en	ch3_ibuf_en	ch2_ibuf_en	ch1_ibuf_en	ch0_ibuf_en	ch7_obuf_en	ch6_obuf_en	ch5_obuf_en	ch4_obuf_en	ch3_obuf_en	ch2_obuf_en	ch1_obuf_en	reserved
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31]	RW	int_en	Cipher 模块的总中断使能。
[30:16]	-	reserved	保留。
[15]	RW	ch7_ibuf_en	通道 7 输入队列数据中断使能。
[14]	RW	ch6_ibuf_en	通道 6 输入队列数据中断使能。
[13]	RW	ch5_ibuf_en	通道 5 输入队列数据中断使能。
[12]	RW	ch4_ibuf_en	通道 4 输入队列数据中断使能。
[11]	RW	ch3_ibuf_en	通道 3 输入队列数据中断使能。
[10]	RW	ch2_ibuf_en	通道 2 输入队列数据中断使能。
[9]	RW	ch1_ibuf_en	通道 1 输入队列数据中断使能。
[8]	RW	ch0_ibuf_en	通道 0 数据处理完成中断使能。
[7]	RW	ch7_obuf_en	通道 7 输出队列数据中断使能。
[6]	RW	ch6_obuf_en	通道 6 输出队列数据中断使能。
[5]	RW	ch5_obuf_en	通道 5 输出队列数据中断使能。
[4]	RW	ch4_obuf_en	通道 4 输出队列数据中断使能。
[3]	RW	ch3_obuf_en	通道 3 输出队列数据中断使能。
[2]	RW	ch2_obuf_en	通道 2 输出队列数据中断使能。
[1]	RW	ch1_obuf_en	通道 1 输出队列数据中断使能。
[0]	-	reserved	保留。

INT_RAW

INT_RAW 为原始中断状态寄存器。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x1408	INT_RAW	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																ch7_ibuf_raw	ch6_ibuf_raw	ch5_ibuf_raw	ch4_ibuf_raw	ch3_ibuf_raw	ch2_ibuf_raw	ch1_ibuf_raw	ch0_ibuf_raw	ch7_obuf_raw	ch6_obuf_raw	ch5_obuf_raw	ch4_obuf_raw	ch3_obuf_raw	ch2_obuf_raw	ch1_obuf_raw	reserved
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:16]	-	reserved	保留。
[15]	RWC	ch7_ibuf_raw	通道 7 输入队列数据原始中断。
[14]	RWC	ch6_ibuf_raw	通道 6 输入队列数据原始中断。
[13]	RWC	ch5_ibuf_raw	通道 5 输入队列数据原始中断。
[12]	RWC	ch4_ibuf_raw	通道 4 输入队列数据原始中断。
[11]	RWC	ch3_ibuf_raw	通道 3 输入队列数据原始中断。
[10]	RWC	ch2_ibuf_raw	通道 2 输入队列数据原始中断。
[9]	RWC	ch1_ibuf_raw	通道 1 输入队列数据原始中断。
[8]	RWC	ch0_ibuf_raw	通道 0 数据处理完成原始中断。
[7]	RWC	ch7_obuf_raw	通道 7 输出队列数据原始中断。
[6]	RWC	ch6_obuf_raw	通道 6 输出队列数据原始中断。
[5]	RWC	ch5_obuf_raw	通道 5 输出队列数据原始中断。
[4]	RWC	ch4_obuf_raw	通道 4 输出队列数据原始中断。
[3]	RWC	ch3_obuf_raw	通道 3 输出队列数据原始中断。
[2]	RWC	ch2_obuf_raw	通道 2 输出队列数据原始中断。
[1]	RWC	ch1_obuf_raw	通道 1 输出队列数据原始中断。
[0]	-	reserved	保留。

RST_STATUS

模块复位状态指示信号。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x140C	RST_STATUS	0x0000_0000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1	0
Name	reserved								rst_status
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0	0

Bits	Access	Name	Description
[31:1]	-	reserved	保留。
[0]	RO	rst_status	CIPHER 模块复位状态指示信号。 0：CIPHER 当前正处于复位状态； 1：CIPHER 当前处于正常工作状态。

CHAN0_CFG

CHAN0_CFG 为通道 0 配置寄存器。

Offset Address	Register Name	Total Reset Value
0x1410	CHAN0_CFG	0x0000_0000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2	1	0
Name	reserved								ch0_busy	ch0_start
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0	0	0

Bits	Access	Name	Description
[31:2]	-	reserved	保留。
[1]	RO	ch0_busy	通道 0 状态信号。
[0]	RW	ch0_start	通道 0 加解密启动信号。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

3.7 定时器

3.7.1 概述

Timer 模块主要实现定时、计数功能，可以供操作系统用作系统时钟，也可以供应用程序用作定时和计数。Hi3521 提供 4 组 Dual-Timer 模块：Dual-Timer0、Dual-Timer1、Dual-Timer2、Dual-Timer3。

- Dual-Timer0 包括 Timer0、Timer1，他们共用同一个基地址和同一根中断线。
- Dual-Timer1 包括 Timer2、Timer3，他们共用同一个基地址和同一根中断线。
- Dual-Timer2 包括 Timer4、Timer5，他们共用同一个基地址和同一根中断线。
- Dual-Timer3 包括 Timer6、Timer7，他们共用同一个基地址和同一根中断线。

每组 Dual-Timer 模块包含两个功能完全相同的 Timer。

3.7.2 特点

Dual-Timer 模块具有以下特点：

- 有 2 个带可编程 8 位预分频器的 32bit/16bit 减法定时器/计数器。
- 计数时钟可配置，系统处于 NORMAL 模式时，Dual-Timer0 和 Dual-Timer1 的计数时钟可以选择为系统总线时钟或晶振时钟。
- 支持 3 种计数模式：自由运行模式、周期模式和单次计数模式。
- 有 2 种载入计数初值的方法，分别通过 TIMERx_LOAD 和 TIMERx_BGLOAD 寄存器实现。
- 当前的计数值可随时读取。
- 当计数值减到 0 时会产生一个中断。

3.7.3 功能描述

功能原理

Timer 基于一个 32bit/16bit（可配置）减法计数器。计数器的值在每个计数时钟的上升沿减 1。当计数值递减到零，Timer 将产生一个中断。

Timer 有以下 3 种计数模式：

- 自由运行模式

  定时器持续计数，当计数值减到 0 时又自动回转到其最大值，并继续计数。当计数长度为 32bit 时，最大值为 0xFFFF_FFFF。当计数长度为 16bit 时，最大值为 0xFFFF。在自由模式下，也可以载入计数值，并立即从载入值递减计数，但计到 0 时回转到其最大值。
- 周期模式

  定时器持续计数，当计数值减到 0 时从 TIMERx_BGLOAD 寄存器中再次载入初值并继续计数。
- 单次计数模式

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

向定时器中载入计数初值。当定时器的计数值减到 0 时就停止计数，直到重新被载入新值且定时器处于使能状态，才再次开始计数。

每个 Timer 具有一个预分频计数器（prescaler），可将其工作时钟在 Timer 内部再次进行 1 分频、16 分频或 256 分频。进一步提高计数时钟频率的选择灵活性。

对定时器载入计数初值的方法如下：

- 通过写 TIMERx_LOAD 寄存器可对定时器载入计数初值。当定时器处于工作状态时，如果向 TIMERx_LOAD 寄存器写入值，会导致定时器立刻从新值开始重新计数。适用于所有计数模式。
- 通过写 TIMERx_BGLOAD 寄存器可以设定周期计数模式的计数周期。写该寄存器不会立刻影响定时器的当前计数，定时器会继续计数直到计数值减到 0。然后载入 TIMERx_BGLOAD 寄存器中的新值开始计数。

3.7.4 工作方式

初始化

系统初始化时应对 Timer 进行初始化。初始化 TimerX（TimerX 中的“X”取值为 0、1、2、3、4、5、6、7）时应按以下步骤进行配置：

步骤 1. 写 TIMERx_LOAD 寄存器，为 Timer 载入计数初值。

步骤 2. 当需要 Timer 工作在周期计数模式下、且计数周期与载入 Timer 的计数初值不同时，写 TIMERx_BGLOAD 寄存器，设置 Timer 的计数周期。

步骤 3. 配置系统控制寄存器，设置 Timer 的时钟使能信号的参考时钟。

步骤 4. 配置 TIMERx_CONTROL 寄存器，设置 Timer 的计数模式、计数器长度、预分频因子及中断屏蔽，同时启动 Timer 计数。

----结束

中断处理

Timer 主要用于定时产生中断，因此 Timer 的中断处理主要是激活等待定时中断的进程。操作步骤如下：

步骤 1. 配置 TIMERx_INTCLR 寄存器，清除 Timer 中断。

步骤 2. 激活等待该中断的进程，使其继续执行。

步骤 3. 当所有等待该中断的进程完成或再次执行到等待中断的休眠状态时，恢复中断现场，继续执行当前被中断的程序。

----结束

时钟选择

Dual-Timer0、Dual-Timer1、Dual-Timer2、Dual-Timer3 均有 2 种计数时钟可选择。下面以 Timer0 为例，时钟选择配置流程如下：

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

选择总线时钟进行计数

选择总线时钟进行计数的步骤如下：

步骤 1. 配置系统控制器的 SC_CTRL [timeren0ov]=1。

步骤 2. 初始化 Timer，开始计数。

----结束

选择晶振时钟进行计数

选择 3MHz 时钟进行计数的步骤如下：

步骤 1. 配置系统控制器的 SC_CTRL [timeren0ov]=0。

步骤 2. 配置系统控制器的 SC_CTRL [timeren0sel]=0。

步骤 3. 初始化 Timer，开始计数。

----结束

3.7.5 寄存器概览

Timer 模块中的 8 个定时器各自有一组寄存器，这 8 组寄存器除基址和偏移地址各不相同外其他特性都相同。其中：

- Timer0 共用一个基址：0x2000_0000。
- Timer1 共用一个基址：0x2000_0020。
- Timer2 共用一个基址：0x2001_0000。
- Timer3 共用一个基址：0x2001_0020。
- Timer4 共用一个基址：0x2013_0000。
- Timer5 共用一个基址：0x2013_0020。
- Timer6 共用一个基址：0x2014_0000。
- Timer7 共用一个基址：0x2014_0020。

说明

TIMERx 中的“x”取值为 0、1、2、3、4、5、6、7。其中 Timer0～Timer7 的寄存器相同，寄存器描述均以 Timer0 为例进行描述。

表3-36 Timer 寄存器概览

偏移地址	名称	描述	页码
0x000	TIMERx_LOAD	计数初值寄存器	3-189
0x004	TIMERx_VALUE	当前计数值寄存器	3-190
0x008	TIMERx_CONTROL	Timer 控制寄存器	3-191
0x00C	TIMERx_INTCLR	中断清除寄存器	3-193

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

偏移地址	名称	描述	页码
0x010	TIMERx_RIS	原始中断寄存器	3-194
0x014	TIMERx_MIS	屏蔽后中断寄存器	3-195
0x018	TIMERx_BGLOAD	周期模式计数初值寄存器	3-196

3.7.6 寄存器描述

TIMERx_LOAD

TIMERx_LOAD 为计数初值寄存器。用来配置定时器的计数初值。Timer0～Timer7 各有 1 个计数初值寄存器。

当定时器处于周期模式且计数值递减到 0 时，将 TIMERx_LOAD 的值重新载入计数器。当直接写 TIMERx_LOAD 寄存器时，定时器当前的计数器将在被 TIMCLKENx 使能的下一个 TIMCLK 的上升沿更新为写入值。

说明

- 向 TIMERx_LOAD 寄存器写入的最小有效值为 1。
- 当向 TIMERx_LOAD 写 0 时，Dual-Timer 将会立刻产生 1 个中断。

TIMERx_LOAD 和 TIMERx_BGLOAD 的区别：

如果在被 TIMCLKENx 使能的 TIMCLK 的上升沿到来之前，向 TIMERx_BGLOAD 寄存器和 TIMERx_LOAD 寄存器都写入值，则在被 TIMCLKENx 使能的 TIMCLK 的下一个上升沿当前计数值首先更新为 TIMERx_LOAD 的写入值。由于向 TIMERx_LOAD 寄存器写入值时，TIMERx_BGLOAD 的值也会被覆盖，所以读 TIMERx_BGLOAD，返回的值为 TIMERx_LOAD 与 TTIMERx_BGLOAD 中最晚被写入的寄存器的值。当定时器处于周期模式且计数值减到 0 时，将从 TIMERx_BGLOAD 寄存器中再次载入初值并继续计数。

Offset Address	Register Name	Total Reset Value
0x000	TIMER0_LOAD	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	timer0_load																															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:0]	RW	timer0_load	Timer0 的计数初值。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

TIMERx_VALUE

TIMERx_VALUE 为当前计数值寄存器。用于给出正在递减的计数器的当前值。Timer0～7 各有 1 个当前计数值寄存器。

当向 TIMERx_LOAD 寄存器的写操作发生后，TIMERx_VALUE 在 PCLK 时钟域立刻反映出计数器的新载入值，不用等到下一个被 TIMCLKENx 使能的 TIMCLK 时钟沿到来。

说明

当定时器处于 16bit 模式时，32bit 的 TIMERx_VALUE 寄存器的高 16bit 并未被自动设为 0。若该定时器以前处于 32bit 模式，并且自从进入 16bit 模式后 TIMERx_LOAD 从未被写过，则 TIMERx_VALUE 寄存器的高 16bit 可能具有非零值。

Offset Address	Register Name	Total Reset Value
0x004	TIMER0_VALUE	0xFFFF_FFFF

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	timer0_value																															
Reset	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

Bits	Access	Name	Description
[31:0]	RO	timer0_value	正在递减的 Timer0 的当前值。

TIMERx_CONTROL

TIMERx_CONTROL 为 TIMER 控制寄存器。Timer0～7 各有 1 个控制寄存器。

说明

当选择用周期模式进行计数时，需要将 TIMERx_CONTROL[timermode]置 1、TIMERx_CONTROL[oneshot]置 0。

Offset Address	Register Name	Total Reset Value
0x008	TIMER0_CONTROL	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																								timeren	timermode	intenable	reserved	timerpre		timersize	oneshot
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:8]	-	reserved	保留。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

[7]	RW	timeren	定时器使能。 0：Timer 禁止； 1：Timer 使能。
[6]	RW	timermode	定时器的计数模式。 0：自由运行模式； 1：周期模式。
[5]	RW	intenable	TIMERx_RIS 中断屏蔽。 0：屏蔽该中断； 1：不屏蔽该中断。
[4]	-	reserved	保留。
[3:2]	RW	timerpre	该字段用于设置 Timer 的预分频因子。 00：不经过预分频，时钟频率除以 1； 01：4 级预分频，将 Timer 时钟频率除以 16； 10：8 级预分频，将 Timer 时钟频率除以 256； 11：未定义，若设为该值，相当于 8 级预分频，将 Timer 时钟频率除以 256。
[1]	RW	timersize	选择 16bit/32bit 计数器操作模式。 0：16bit 计数器； 1：32bit 计数器。
[0]	RW	oneshot	选择计数模式为单次计数模式还是周期计数模式。 0：周期计数模式或自由运行模式； 1：单次计数模式。

TIMERx_INTCLR

TIMERx_INTCLR 为中断清除寄存器。对该寄存器的任何写操作都会清除相应计数器的中断状态。Timer0～Timer7 各有 1 个中断清除寄存器。

注意

本寄存器是只写寄存器，写进去任意值，都会引起 Timer 清中断，内部并不记忆写入的值，无复位值。

TIMER0_INTCLR

Offset Address	Register Name	Total Reset Value
0x00C	TIMER0_INTCLR	-

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	timer0_intclr																															
Reset	?	?	?	?	?	?	?	?	?	?	?	?	?	?	?	?	?	?	?	?	?	?	?	?	?	?	?	?	?	?	?	?

Bits	Access	Name	Description
[31:0]	WO	timer0_intclr	写该寄存器，清除 Timer0 的中断输出。

TIMERx_RIS

TIMERx_RIS 为原始中断寄存器。Timer0～Timer7 各有 1 个原始中断寄存器。

Offset Address	Register Name	Total Reset Value
0x030	TIMER0_RIS	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																															timer0ris
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:1]	-	reserved	保留。写入无效，读时返回 0。
[0]	RO	timer0ris	Timer0 的原始中断状态。 0：未产生中断； 1：已产生中断。

TIMERx_MIS

TIMERx_MIS 为屏蔽后中断寄存器。Timer0～Timer7 各有 1 个屏蔽后中断寄存器。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x014	TIMER0_MIS	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																															timer0mis
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:1]	-	reserved	保留。
[0]	RO	timer0mis	屏蔽后的 Timer0 的中断状态。 0：中断无效； 1：中断有效。

TIMERx_BGLOAD

TIMERx_BGLOAD 为周期模式计数初值寄存器。Timer0～Timer7 各有 1 个周期模式计数初值寄存器。

TIMERx_BGLOAD 寄存器中包含了定时器的计数初值。该寄存器用于在周期模式下，当定时器的计数值递减到 0 时重新载入计数初值。

该寄存器提供了访问 TIMERx_LOAD 寄存器的另一种方法。不同之处在于写入值到 TIMERx_BGLOAD 寄存器中不会导致定时器立即从新写入值开始计数。

Offset Address	Register Name	Total Reset Value
0x018	TIMER0_BGLOAD	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	timer0bgload																															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:0]	RW	timer0bgload	Timer0 的计数初值。 **注意：与 TIMERx_LOAD 寄存器有区别，具体请参见 TIMERx_LOAD 寄存器的描述。**

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

3.8 看门狗

3.8.1 概述

看门狗 WatchDog 用于系统异常情况下，一定时间内发出复位信号，以复位整个系统。

3.8.2 特点

WatchDog 具备以下特点：

- 内部具有一个 32bit 减法计数器，计数时钟源可配置。
- 支持超时时间间隔（即计数初值）可配置。
- 支持寄存器锁定，防止寄存器被误改。
- 支持超时中断产生。
- 支持复位信号产生。
- 支持调试模式。

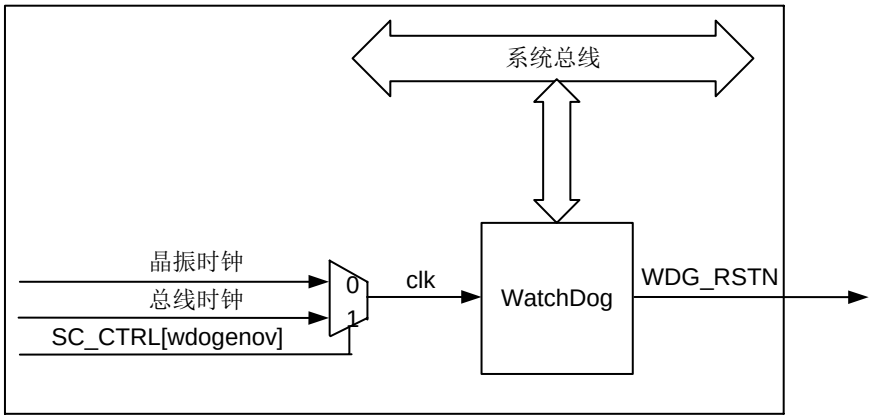
3.8.3 功能描述

应用框图

系统通过 SC_CTRL [wdogenov]给 WatchDog 选择配置时钟，并通过系统总线给 WatchDog 配置寄存器参数值。WatchDog 定时发出中断请求给系统，并在系统没有响应中断的情况下（如：死机），发出 WDG_RSTN 复位信号，使系统复位，达到监控系统运行的目的。

WatchDog 应用框图如图 3-21 所示。

图3-22 WatchDog 应用框图



海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

功能原理

WatchDog 的运行基于 1 个 32bit 减法计数器，计数初值由寄存器 WDG_LOAD 载入。在 WatchDog 时钟使能情况下，计数值在每个计数时钟的上升沿减 1。当计数值递减到 0，WatchDog 将产生一个中断。然后在下一个计数时钟上升沿，计数器又从寄存器 WDG_LOAD 中重新载入计数初值，开始递减计数。

如果计数器的计数值第二次计数递减到 0 时，CPU 还没有清除 WatchDog 中断，则 WatchDog 将发出复位信号 WDG_RSTN，计数器停止计数。

根据实际应用需要，可通过配置 WDG_CONTROL 使能或者禁止 WatchDog 产生中断和复位信号：

- 当禁止产生中断时，计数器将停止计数。
- 当重新开启中断时，WatchDog 将从 WDG_LOAD 的设定值开始计数，而不是从计数器上次停止时的计数值开始计数。在中断到来之前，可以重新载入初值。

WatchDog 的计数时钟可以选择晶振时钟或者总线时钟，便于选择不同的计数时间范围。

通过配置 WDG_LOCK 寄存器，可以禁止对 WatchDog 内部寄存器进行写操作：

- 向 WDG_LOCK 写入 0x1ACC_E551，可以打开所有 WatchDog 寄存器的写权限。
- 向 WDG_LOCK 寄存器写入其他任何值，可以关闭所有 WatchDog 寄存器（WDG_LOCK 寄存器除外）的写权限。

该特性保护 WatchDog 的寄存器不被软件错误地修改，从而使得在异常情况下，WatchDog 不致被软件错误地中止操作。

在调试模式下，WatchDog 自动关闭，以防止干扰正常的调试操作。

3.8.4 工作方式

计数时钟频率配置

系统支持 2 种 WatchDog 计数时钟：3MHz 时钟和总线时钟，通过 SC_CTRL [wdogenov] 进行配置。

WatchDog 计数时间为 T_{WDG}：

$$T_{WDG} = Value_{WDG_LOAD} \times \left(\frac{1}{f_{clk}} \right)$$

说明

其中上式中，各参数代表的意思分别是：

- T_{WDG} 表示 WatchDog 计数时间；
- $Value_{WDG_LOAD}$ 表示 WatchDog 计数初值；
- f_{clk} 表示 WatchDog 计数时钟频率。

WatchDog 在不同时钟下的计数时间范围值如下：

- 当选择 3MHz 时钟时，计数时间范围为 0s～1400s。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

- 当选择总线时钟（以 100MHz 为例）时，计数时间范围为 0s～42s。

系统初始化配置

系统上电复位后 WatchDog 计数器处于停止计数状态，在系统初始化过程中需要将 WatchDog 初始化并启动其运行。WatchDog 的初始化过程如下：

步骤 1. 写寄存器 WDG_LOAD，设定计数初值。

步骤 2. 写寄存器 WDG_CONTROL，打开中断屏蔽并启动 WatchDog 计数。

步骤 3. 写寄存器 WDG_LOCK，给 WatchDog 上锁，防止软件错误修改 WatchDog 的配置。

----结束

中断处理过程

收到 WatchDog 发出的中断后，应及时清除其中断状态，并使其载入计数初值重新开始计数。WatchDog 中断处理的过程如下所示：

步骤 1. 向 WDG_LOCK 写 0x1ACC_E551，为 WatchDog 开锁。

步骤 2. 写寄存器 WDG_INTCLR，清除 WatchDog 的中断状态，同时也使 WatchDog 自动载入计数初值重新开始计数。

步骤 3. 向寄存器 WDG_LOCK 写入 0x1ACC_E551 以外的任何值，给 WatchDog 上锁。

----结束

关闭 WatchDog

向寄存器 WDG_CONTROL[inten]控制位写入 0 或 1 控制 WatchDog 的状态：

- 0：关闭 WatchDog；
- 1：打开 WatchDog。

3.8.5 寄存器概览

WatchDog 寄存器概览如表 3-38 所示。

表3-37 WatchDog 寄存器概览（基址是 0x2004_0000）

偏移地址	名称	描述	页码
0x0000	WDG_LOAD	计数初值寄存器	3-200
0x0004	WDG_VALUE	计数器当前值寄存器	3-201
0x0008	WDG_CONTROL	控制寄存器	3-201
0x000C	WDG_INTCLR	中断清除寄存器	3-202
0x0010	WDG_RIS	原始中断寄存器	3-202

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

偏移地址	名称	描述	页码
0x0014	WDG_MIS	屏蔽后中断寄存器	3-202
0x0018～0x0BFC	RESERVED	保留	-
0x0C00	WDG_LOCK	LOCK 寄存器	3-203

3.8.6 寄存器描述

WDG_LOAD

WDG_LOAD 为计数初值寄存器。用来配置 WatchDog 内部计数器的计数初值。

Offset Address	Register Name	Total Reset Value
0x0000	WDG_LOAD	0xFFFF_FFFF

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	wdg_load																															
Reset	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

Bits	Access	Name	Description
[31:0]	RW	wdg_load	计数初值。

WDG_VALUE

WDG_VALUE 为计数器当前值寄存器。用来读出 WatchDog 内部计数器的当前计数值。

Offset Address	Register Name	Total Reset Value
0x0004	WDG_VALUE	0xFFFF_FFFF

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	wdogvalue																															
Reset	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

Bits	Access	Name	Description
[31:0]	RO	wdogvalue	WatchDog 计数器当前值。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

WDG_CONTROL

WDG_CONTROL 为控制寄存器。用来控制 WatchDog 的打开/关闭、中断和复位功能。

Offset Address	Register Name	Total Reset Value
0x0008	WDG_CONTROL	0x0000_0000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2	1	0
Name	reserved								resen	inten
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0	0	0

Bits	Access	Name	Description
[31:2]	-	reserved	保留。
[1]	RW	resen	WatchDog 复位信号输出使能。 0：禁止； 1：使能。
[0]	RW	inten	WatchDog 中断信号输出使能。 0：计数器停止计数，计数值保持当前值不变，WatchDog 被关闭； 1：既启动计数器又使能中断，WatchDog 被启动。

WDG_INTCLR

WDG_INTCLR 为中断清除寄存器。用来清除 WatchDog 中断，使 WatchDog 重新载入初值进行计数。本寄存器是只写寄存器，写进去任意值，都会引起 WatchDog 清中断，内部并不记忆写入的值，无复位值。

Offset Address	Register Name	Total Reset Value
0x000C	WDG_INTCLR	-

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	wdg_intclr							
Reset	? ? ? ?	? ? ? ?	? ? ? ?	? ? ? ?	? ? ? ?	? ? ? ?	? ? ? ?	? ? ? ?

Bits	Access	Name	Description
[31:0]	WO	wdg_intclr	对该寄存器写入任意值均可清除 WatchDog 的中断，并使 WatchDog 从寄存器 WDG_LOAD 中重新载入初值计数。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

WDG_RIS

WDG_RIS 为原始中断寄存器。用来反映 WatchDog 原始中断状态。

Offset Address	Register Name	Total Reset Value
0x0010	WDG_RIS	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																															wdogris
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:1]	-	reserved	保留。
[0]	RO	wdogris	WatchDog 原始中断状态，当计数器的计数值递减到 0 时，该位置 1。 0：未产生中断； 1：已产生中断。

WDG_MIS

WDG_MIS 为屏蔽后中断寄存器。用来反映屏蔽后的 WatchDog 中断状态。

Offset Address	Register Name	Total Reset Value
0x0014	WDG_MIS	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																															wdogmis
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:1]	-	reserved	保留。
[0]	RO	wdogmis	WatchDog 屏蔽后的中断状态。 0：未产生中断或者中断被屏蔽； 1：已产生中断。

WDG_LOCK

WDG_LOCK 为 LOCK 寄存器。用来控制 WatchDog 寄存器的读写权限。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x0C00	WDG_LOCK	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	wdg_lock																															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:0]	RW	wdg_lock	向该寄存器写入 0x1ACC_E551，可打开所有寄存器的写权限； 向该寄存器写入其他值则关闭写权限。 读该寄存器返回加锁的状态而不是写入该寄存器的值： 0x0000_0000：允许写访问（未加锁）； 0x0000_0001：禁止写访问（已加锁）。

3.9 实时时钟

3.9.1 概述

实时时钟 RTC（Real Time Clock）用于实现时间显示和定时报警功能。

3.9.2 特点

RTC 具备以下特点：

- 内部具有 1 个 32bit 加法计数器
- 计数时钟 1Hz
- 计数初值可配置
- 计数比较值可配置
- 支持超时中断产生
- 支持软复位

3.9.3 功能描述

RTC 的运行基于 1 个 32bit 加法计数器，计数初值由寄存器 RTC_LR 载入。计数器的值在每个计数时钟的上升沿加 1。当计数值递加到 RTC_LR 寄存器与 RTC_MR 寄存器值相等时，RTC 将产生一个中断，然后在下一个计数时钟上升沿，计数器继续递加计数。

根据实际应用需要，可通过配置 RTC_IMSC 使能或者禁止 RTC 产生中断信号。此时，存在以下两种情况：

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

- 当禁止产生中断时，RTC 计数器继续递加计数，将不会对外产生中断，在 RTC_MIS 中显示屏蔽后中断的状态，在 RTC_RIS 中显示原始中断状态。
- 当重新开启中断时，RTC 计数器仍然继续递加计数，当计数值递加到 RTC_LR 寄存器与 RTC_MR 寄存器值相等时，RTC 将产生一个中断。

RTC 的计数时钟采用的是 1Hz 时钟，便于通过计数值转换为具体的年、月、日、时、分、秒。

3.9.4 工作方式

计数时钟频率

RTC 采用 1Hz 时钟进行计数，计数最大时间为：

$$T_{RTC} = (2^{32} - 1) \times (1/f_{rtcclk}) = 4294967295(秒) \approx 49710(天)$$

说明

T_{RTC} 表示 RTC 计数时间，2^{32} -1 表示 RTC 计数最大值，f_{rtcclk} 表示 RTC 计数时钟频率：1Hz。

软复位

通过配置 CRG 寄存器 PERI_CRG57[rtc_srst_req]，可以实现对 RTC 的单独软复位。软复位后各个 RTC 配置寄存器的值均恢复为默认值，因此软复位后需要重新对这些寄存器进行初始化配置。

软复位步骤如下：

步骤 1. 向 PERI_CRG57 [rtc_srst_req]写 1，对 RTC 软复位。

步骤 2. 向 PERI_CRG57 [rtc_srst_req]写 0，撤消对 RTC 的软复位。

----结束

系统初始化

系统上电复位后，RTC 计数器处于停止计数状态，在系统初始化过程中需要将 RTC 初始化并启动其运行。RTC 的初始化过程如下：

步骤 1. 配置 PERI_CRG57 [rtc_srst_req]=0，撤消对 RTC 的软复位。

步骤 2. 配置 RTC_LOCK=0x1ACCE551，解除 RTC 锁定。

步骤 3. 配置 RTC_CR[rtc_start]=1，启动 RTC 计数器开始计数。

步骤 4. 配置 RTC_MR，设置 RTC 比较值。

步骤 5. 配置 RTC_LR.，设置 RTC 计数初始值。

步骤 6. RTC 按照 1Hz 的计数时钟频率，从 RTC_LR 中的值开始计数，当计数到 RTC_MR 中的值时，将根据 RTC_IMSC 的设置，决定是否产生中断。

----结束

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

中断处理

系统收到 RTC 发出的中断后，表示定时时间到，随后转入“定时开机”、“定时关机”等相应操作，RTC 计数器仍然保持递加计数。RTC 中断处理的过程如下：

步骤 1. 配置 RTC_ICR[rtc_icr]=0x1，清除 RTC 的中断状态。

步骤 2. 如果需要继续设置定时时间，则向寄存器 RTC_MR 写入新的比较值。

----结束

关闭 RTC

一旦配置 RTC_CR，启动 RTC 计数后，RTC 将一直处于计数状态。只有对 RTC 复位后，才能关闭 RTC。对 RTC 的软复位操作请参见“软复位”操作。

3.9.5 寄存器概览

表3-38 RTC 寄存器概览（基址是 0x2006_0000）

偏移地址	名称	描述	页码
0x000	RTC_DR	计数器当前值寄存器	3-206
0x004	RTC_MR	RTC 比较寄存器	3-206
0x008	RTC_LR	RTC 加载寄存器	3-207
0x00C	RTC_CR	RTC 使能寄存器	3-207
0x010	RTC_IMSC	中断屏蔽寄存器	3-208
0x014	RTC_RIS	原始中断寄存器	3-208
0x018	RTC_MIS	屏蔽后中断寄存器	3-208
0x01C	RTC_ICR	中断清除寄存器	3-209
0x020	RTC_LOCK	锁定寄存器	3-209

3.9.6 寄存器描述

RTC_DR

RTC_DR 为计数器当前值寄存器，用来读取 RTC 内部计数器的当前值。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x000	RTC_DR	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	rtc_data																															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:0]	RO	rtc_data	当前 RTC 计数值。

RTC_MR

RTC_MR 为 RTC 比较寄存器，用来设置 RTC 的比较值。

Offset Address	Register Name	Total Reset Value
0x004	RTC_MR	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	rtc_match																															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:0]	RW	rtc_match	设置的 RTC 比较值。

RTC_LR

RTC_LR 为 RTC 加载寄存器，用来设置 RTC 计数初始值。

Offset Address	Register Name	Total Reset Value
0x008	RTC_LR	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	rtc_load																															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:0]	RW	rtc_load	设置 RTC 计数初始值。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

RTC_CR

RTC_CR 为控制寄存器，用来使能 RTC。一旦使能，只有系统复位才能清除该寄存器。对该寄存器的任何写操作不起作用。读则返回当前值。

Offset Address	Register Name	Total Reset Value
0x00C	RTC_CR	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																															rtc_start
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:1]	-	reserved	保留。
[0]	RW	rtc_start	RTC 使能。 0：禁止 RTC。 1：使能 RTC。

RTC_IMSC

RTC_IMSC 为中断屏蔽设置/清除寄存器，用来反映 RTC 中断屏蔽状态。

Offset Address	Register Name	Total Reset Value
0x010	RTC_IMSC	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																															rtc_imsc
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:1]	-	reserved	保留。
[0]	RW	rtc_imsc	RTC 中断屏蔽设置/清除控制。 0：设置中断屏蔽； 1：清除中断屏蔽。

RTC_RIS

RTC_RIS 为原始中断状态寄存器，用来反映 RTC 原始中断状态。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x014	RTC_RIS	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																															rtc_ris
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:1]	-	reserved	保留。
[0]	RO	rtc_ris	RTC 原始中断状态。 0：未产生中断； 1：已产生中断。

RTC_MIS

RTC_MIS 为 RTC 屏蔽后中断寄存器，用来反映屏蔽后的 RTC 中断状态。

Offset Address	Register Name	Total Reset Value
0x018	RTC_MIS	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																															rtc_mis
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:1]	-	reserved	保留。
[0]	RO	rtc_mis	RTC 屏蔽后的中断状态。 0：未产生中断或者中断被屏蔽。 1：已产生中断。

RTC_ICR

RTC_ICR 为 RTC 清除中断寄存器，用来清除 RTC 中断。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x01C	RTC_ICR	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																															rtc_icr
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:1]	-	reserved	保留。
[0]	WO	rtc_icr	清除 RTC 中断。 0：无影响； 1：清除中断。

RTC_LOCK

RTC_LOCK 为 RTC 锁定寄存器，用来解除 RTC 的锁定状态。

Offset Address	Register Name	Total Reset Value
0x020	RTC_LOCK	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																															rtc_lock
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:0]	RW	rtc_lock	解除 RTC 锁定。 1ACCE551：RTC 解锁，可正常对 RTC 进行操作； 其他：RTC 处于锁定状态，不能进行任何操作。

3.10 电源管理与低功耗模式控制

3.10.1 概述

芯片的低功耗模式用来有效的减少芯片的功耗，芯片提供多种低功耗的控制来动态降低芯片的功耗。

- 系统工作模式控制

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

除了 NORMAL 模式之外，各种模式对功耗都有一定的减小作用，可以根据实际的功耗要求和功能要求选择不同的工作模式。

- 时钟门控和时钟频率调整

  提供时钟关断功能，可以关闭没有必要的时钟，减少芯片的功耗。系统工作的时钟频率可以进行调整，在满足功能的情况下可以调节时钟频率，降低芯片功耗。

- 模块级低功耗控制

  提供模块级的低功耗控制，在某模块不工作的情况下，关断该模块或使模块处于低功耗状态，以减少芯片的功耗。

- DDR 低功耗控制

  DDR 的控制器和相关的管脚进行了动态的功耗控制功能，可以选择启动该功能，降低芯片功耗，还可以启动 DDR 的自刷新模式，来降低整个产品的功耗。

3.10.2 系统工作模式

系统提供两种工作模式：

- 正常工作模式：对应系统运行模式控制中的 NORMAL 模式。

  系统正常工作在 NORMAL 模式下，可以通过控制运行的时钟频率，设置模块和 DDR 的低功耗控制，来降低运行时的功耗。

- 待机工作模式：对应系统运行模式控制中的 SLOW 模式和 DOZE 模式。
  - 待机工作模式工作系统在极低工作时钟下，并且关闭了大部分不使用的模块的时钟，功耗较低。
  - 待机工作在 SLOW 或 DOZE 模式下，可以通过关闭不工作模块的电源来直接减少待机的功耗。

  模式切换可在系统控制器中配置。请参见系统控制器章节。

3.10.3 时钟门控和时钟频率调整

系统提供各个模块的时钟门控功能，在模块空闲的时候，可以关闭相应的时钟，降低芯片功耗，操作流程可以参见各个模块的时钟门控部分。

NORMAL 模式下，系统可以通过调整工作频率来降低芯片功耗，方法如下：

- 关闭业务模块，使其不访问 DDR。
- 系统切换到片上内存中运行。

配置 DDRC_SREFCTRL[sr_seq]为有效值，DDRC 将控制 DDRn SDRAM 进入自刷新模式。

步骤 1. 配置 SC_PLLCTRL[27:3]为 PLL 的稳定时间。

步骤 2. 配置 PERI_CRG0 和 PERI_CRG1，进行 PLL 分频比控制。

步骤 3. 根据 DDRC 的配置要求，等待一定的时间之后，配置 DDRC_SREFCTRL 退出自刷新，进行正常的操作。

步骤 4. 程序跳转到 DDR 中运行。

----结束

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

除了提供系统工作频率的调整外，部分模块的工作频率也可以单独进行调整。调整这些模块的工作频率，也可以进一步降低系统的功耗。具体参见“3.2.3 时钟配置”中关于各模块的时钟源选择部分。

3.10.4 模块级低功耗控制

芯片中的 USB 2.0 Host、SATA、Video DAC 和 PLL 等 PHY 模块都可以提供低功耗的工作模式。（参见系统控制器及 VDP、时钟等章节寄存器描述）

- USB 2.0 Host 模块的低功耗控制
  - 配置 PERI_CRG46 bit[7]为 0，关闭 USB 2.0 Host 的时钟。
  - 配置 PERIPHCTRL21 bit[22]为 1，关断 USB PHY 电源。
- SATA 模块的低功耗控制
  - 配置 PERI_CRG45 bit[9]/PERI_CRG45 bit[8]为 0，关闭 SATA Port0 和 SATA Port1 的时钟。
  - 配置 PERIPHCTRL47 bit[2]为 1，关断 SATA PHY 的电源。
- Video DAC 不使用时的低功耗控制
  - PERI_CRG13 bit[7]为 1，关断 VOU SD DAC 电源。
  - PERI_CRG13 bit[6]为 1，关断 VOU HD DAC 电源。
- PLL 提供低功耗的功能，如果不使用 PLL 的情况下可以关闭 PLL，使系统处于低功耗状态：
  - 如果不需要使用 APLL，则配置 PERI_CRG1 bit[21]为 0，禁止 APLL，使 APLL 处于低功耗状态。
  - 如果不需要使用 VPLL0，则配置 PERI_CRG3 bit[21]为 0，禁止 VPLL0，使 VPLL0 处于低功耗状态。
  - 如果不需要使用 VPLL2，则配置 PERI_CRG7 bit[21]为 0，禁止 VPLL2，使 VPLL2 处于低功耗状态。
  - 如果不需要使用 EPLL，则配置 PERI_CRG9 bit[21]为 0，禁止 EPLL，使 EPLL 处于低功耗状态。

VICAP、VENC、VDH 等模块提供模块级单独断电和唤醒功能。（参见系统控制器寄存器描述）

- VICAP 模块的低功耗控制
  - 配置 PERI_CRG11 bit[31:28]和 PERI_CRG11 bit[23:20]为 0，关闭 VICAP 的时钟。
  - 配置 PERIPHCTRL2 bit[9]为 1 和 PERIPHCTRL2 bit[8]为 0，关断 VICAP 的电源。

    查询 PERISTAT bit[4]，获得 VICAP 的供电状态。
- VENC（VEDU）模块的低功耗控制
  - 配置 PERI_CRG16 bit[1]，关闭 VEDU 的时钟。
  - 配置 PERIPHCTRL2 bit[11]为 1 和 PERIPHCTRL2 bit[10]为 0，关断 VENC（VEDU）的电源。

    查询 PERISTAT bit[5]，获得 VENC（VEDU）的供电状态。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

- VDH 模块的低功耗控制
  - 配置 PERI_CRG20 bit[1]为 0，关闭 VDH 的时钟。
  - 配置 PERIPHCTRL2 bit[19]为 1 和 PERIPHCTRL2 bit[18]为 0，关断 VDH 的电源。

    查询 PERISTAT bit[9]，获得 VDH 的供电状态。
- TOE 模块的低功耗控制
  - 配置 PERI_CRG51 bit[1]为 0，关闭 TOE 的时钟。
  - 配置 PERIPHCTRL44 bit[9]和 PERIPHCTRL44 bit[8]为 1，关断 MAC 的电源。

    查询 PERIPHCTRL45 bit[1]，获得 MAC 的供电状态。

BOOTROM 等提供内部 RAM/ROM 断电控制。（参见系统控制器寄存器描述）

- BOOTROM 模块的低功耗控制
  - PERIPHCTRL2 bit[0]为 1，关断 BOOTROM 模块内部 ROM 的电源。
  - PERIPHCTRL2 bit[2]为 1，关断 BOOTROM 模块内部第一块 RAM 的电源。
  - PERIPHCTRL2 bit[4]为 1，关断 BOOTROM 模块内部第二块 RAM 的电源。
  - PERIPHCTRL2 bit[6]为 1，关断 BOOTROM 模块内部第三块 RAM 的电源。

3.10.5 DDR 低功耗控制

关于 DDRC 的低功耗控制的详细内容请参见“DDRC 工作方式”中的“低功耗配置”。

3.11 处理器子系统

3.11.1 ARMCortex-A9 处理器

Hi3521 采用 ARMCortex-A9 的单核处理器，具有以下的特点：

- 处理器工作频率最大支持 930MHz。
- L1 Cache 包含 32KB Instruction Cache 和 32KB Data Cache。
- 包含 256KB L2 Cache，L2 Cache 与处理器同频，且与 AXI 总线之间的工作频率关系寄存器可配。如表 3-40 所示，共支持 3 种频率关系。

表3-39 CPU 与 AXI 总线之间的工作频率关系

L2 Cache 与 AXI 总线频率比		频率描述
总线频率 310MHz	3:1	L2 频率 930MHz，总线频率 310MHz
	2:1	L2 频率 620MHz，总线频率 310MHz
	1:1	L2 频率 310MHz，总线频率 310MHz

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

- 处理器内部集成中断控制器 GIC（Generic Interrupt Controller），支持 128 个中断源的处理。
- 处理器为乱序双发射结构，基于单线程结构，2.5DMIPS。
- 处理器采用八级流水。
- 包含 MMU（Memory Management Unit）。
- 支持 Vxworks、Linux 等操作系统。
- 支持基于 GHB（Global History Buffer）的分支预测，分支预测准确率达到 95%。
- 支持 JTAG 调试接口。

3.11.2 L2 Cache

L2 Cache 具有以下特点：

- 256KB 大小。
- 基于物理地址和物理 tag。
- 支持 Format C 的 Cache Lockdown，Lockdown 对指令和数据操作分类，被 Lockdown 的 RAM 空间可用作处理器的 TCM（Tightly Coupled Memory）。
- Cache Line 大小固定为 32byte（8word/256bit），写操作支持按 byte 写。
- 支持写回（write back)、写通（write through）、读 Allocate 和写 Allocate 操作，实际模式基于页表决定。
- 支持 PipeLine 方式对 TAG RAM 和 DATA RAM 的访问，每个时钟周期能完成一次 TAG RAM 查询，和 DATA RAM 读写。
- 提供 3 个 LFB（Line Fill Buffer），该 Buffer 的功能为缓存从 memory Allocate 的数据，直到数据填充满一个 Line 后再提交给 L2 Memory。
- 为每个 Slave 端口提供 2 个 LRB（Line Read Buffer），该 Buffer 的功能为缓存命中后供给 L1 cache 的 Cache Line。
- 提供 3 个 EB（Eviction Buffer），该 Buffer 的功能为缓存由 L2 Cache 替换出来并准备写入主存的数据。
- 提供 3 个 WB（Write Buffer），该 Buffer 缓存从 L1 写入，需要写入 memory 及 L2 Cache 的数据；该 Buffer 包括 1 个地址空间和 256bit 的数据空间，支持 1 条 Line 以内的数据写入 1 条数据槽。
- 支持强制写 Allocate 功能，该功能强制所有 Cacheable 写操作发生 Allocate 操作。
- 支持 Shared 模式设置，默认情况下 Shared 操作被认定为 Cacheable 且 Not Allocate。
- 支持关键字优先。
- 支持原子性 Sync 操作。
- 支持伪随机替换算法，该算法和实际 Lockdown 状态相关（直接相联情况下替换算法将不起作用）。
- 提供 Exclusive Cache 功能，该功能可由软件配置使能；使能情况下可禁止数据同时存在于 L1 级和 L2 级。
- 支持按 Way（路）、Way+Index（路加索引）、Address（地址）进行 Clean（清理）和 Invalidate（无效）。
- 支持 Cache Memory 的 ECC，Tag RAM 和 Data RAM 均支持 1bit 纠错。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

- 支持 Cache 的 Disable 功能，该功能下 Cache 被旁路，L1 所有操作透传至 memory。
- 支持 L2 Cache 性能统计，Cache 提供包括 Cache 访问事件、写回事件、缺失事件、缺失并等待事件统计。
- 支持对 Cluster 内部的事件进行统计，同时支持对 Cluster 内部特殊信号进行配置。

说明

Format C Lockdown 原理请参见 ARM Architecture Reference Manual。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

目 录

4 存储器接口.....4-1
4.1 DDRC.....4-1
4.1.1 概述.....4-1
4.1.2 特点.....4-1
4.1.3 功能描述.....4-1
4.1.4 工作方式.....4-9
4.1.5 寄存器概览.....4-14
4.1.6 DDRC 寄存器描述.....4-17
4.2 NAND Flash 控制器.....4-64
4.2.1 概述.....4-64
4.2.2 特点.....4-64
4.2.3 功能描述.....4-65
4.2.4 工作方式.....4-67
4.2.5 其他注意事项.....4-77
4.2.6 寄存器概览.....4-77
4.2.7 寄存器描述.....4-78
4.3 SPI Flash 控制器.....4-103
4.3.1 概述.....4-103
4.3.2 特点.....4-103
4.3.3 功能描述.....4-104
4.3.4 工作流程.....4-109
4.3.5 寄存器概览.....4-112
4.3.6 寄存器描述.....4-114

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

插图目录

图 4-1 单个 DDRC 与 2 片 DDRn SDRAM 的互联示意图 4-4
图 4-2 单个 DDRC 与 1 片 DDRn SDRAM 的互联示意图 4-5
图 4-3 DDR IO 参考电阻连接示意图 4-13
图 4-4 NANDC 接口框图 4-65
图 4-5 读 NAND Flash 一个 page 数据的典型时序图 4-66
图 4-6 启动 NANDC 进行编程操作时的时序图 4-67
图 4-7 1bit ECC 模式 2KB（2048+64）byte page size NAND Flash 数据存储结构 4-73
图 4-8 1bit ECC 模式驱动软件中的数据结构 4096byte+56byte 4-74
图 4-9 1bit ECC 模式 NAND Flash 中数据结构 4-74
图 4-10 4bit ECC 模式驱动软件中的数据结构 4096byte+48byte 4-74
图 4-11 4bit ECC NAND Flash 中的数据的结构 4096byte+128byte 4-74
图 4-12 24bit ECC 模式驱动软件中的数据结构 4096byte+32byte 4-75
图 4-13 24bit ECC 模式 NAND Flash 器件中数据结构 4096byte+200byte（n=8） 4-75
图 4-14 24bit ECC 模式驱动软件中的数据结构 8192byte+32byte 4-75
图 4-15 24bit ECC 模式 NAND Flash 器件中的数据结构 8192byte+368byte（n=4） 4-75
图 4-16 Standard SPI(写)接口时序图 4-104
图 4-17 Standard SPI(读)接口时序图 4-104
图 4-18 Dual Input/Dual Output SPI 接口时序图 4-105
图 4-19 Dual I/ O SPI 接口时序图 4-105
图 4-20 Full Dual I/O SPI 接口时序图 4-106
图 4-21 Quad Input/Quad Output SPI 接口时序图 4-106
图 4-22 Quad I/O SPI 接口时序图 4-107
图 4-23 Full Quad SPI 接口时序图 4-107
图 4-24 SPI 输出时序图 4-109
图 4-25 SPI 写保护时序图 4-109

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

图 4-26 通过寄存器读取 Flash 的操作流程（查询方式） 4-110
图 4-27 通过寄存器写 Flash 的操作流程（中断方式） 4-111
图 4-28 通过总线直接读写 Flash 的操作流程 4-112

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

表格目录

表 4-1 DDRC 支持的 DDR2 SDRAM 列表 4-2
表 4-2 DDRC 支持的 DDR3 SDRAM 列表 4-3
表 4-3 DDRC 命令真值表 4-6
表 4-4 DDRC 32bit 模式地址映射表 4-8
表 4-5 DDRC 16bit 模式地址映射表 4-8
表 4-6 发送阻抗选择表 4-13
表 4-7 接收阻抗选择表 4-14
表 4-8 各模块的寄存器偏移地址变量表 4-14
表 4-9 DDRC 寄存器概览（基址是 0x2011_0000） 4-14
表 4-10 管脚映射方式 4-67
表 4-11 Boot 相关的配置管脚 4-71
表 4-12 三星 K9F2G08U0M 的地址表 4-72
表 4-13 三星 K9GAG08X0M 的地址表 4-72
表 4-14 NAND Flash 常用命令表 4-73
表 4-15 NANDC 寄存器概览（基址是 0x1000_0000） 4-77
表 4-16 SFC 寄存器概览（0x1001_0000） 4-112
表 4-17 寄存器配置影响总线访问 Flash 方式和寄存器访问 Flash 方式范围 4-113

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

4 存储器接口

4.1 DDRC

4.1.1 概述

DDRC（DDR2/3 SDRAM Controller）实现对动态存储器 DDR2/3 SDRAM 的存取控制。后文统一使用 DDRn SDRAM 替代 DDR2/3 SDRAM。

说明
Hi3521 有 1 个 DDRC，支持 32bit、16bit 两种 DDR 位宽。

4.1.2 特点

DDRC 的功能特点：

- DDRC 提供 1 个 DDRn SDRAM 片选空间；支持 DDRn SDRAM 数据总线位宽(32bit 或 16bit 模式)可配置，支持 DDRn SDRAM 地址总线位宽(最大为 15bit)可配置。
- 支持最大存储空间为：32bit 模式 1GB；16bit 模式 512MB。
- 支持 620MHz DDRn SDRAM 总线工作频率。
- 支持 DDRn SDRAM 的 Power Down、SELF Refresh 等低功耗模式。
- 支持 DDR2 SDRAM 的 burst4、burst8 的传输模式；DDR3 SDRAM 的 burst8 传输模式。

4.1.3 功能描述

4.1.3.1 应用框图

DDRC 实现了 SoC 系统中的 CPU 等主设备对外存 DDRn SDRAM 的数据访问。通过 CPU 配置 DDRC 的时序参数寄存器，可以支持符合 JEDEC（JESD79）标准的 DDR2 SDRAM 器件和 DDR3 SDRAM 器件。表 4-1 列举了 DDRC 支持的几家主流 DRAM 厂商的 DDR2 SDRAM。此表针对 DDR2 SDRAM 的工作频率进行描述，没有考虑容量等因素的限制。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

表4-1 DDRC 支持的 DDR2 SDRAM 列表

厂商	200MHz	333MHz	400MHz	备注
JESD79 （DDR2 Standard）	DDR2-400 DDR2-533 DDR2-667 DDR2-800	DDR2-667 DDR2-800	DDR2-800	1、2
Micron	-5E DDR2-400 -37E DDR2-533 -3 DDR2-667 -3E DDR2-667 -25 DDR2-800 -25E DDR2-800	-3 DDR2-667 -3E DDR2-667 -25 DDR2-800 -25E DDR2-800	-25 DDR2-800 -25E DDR2-800	1、2
ELPIDA	-4A DDR2-400 -5C DDR2-533 -6E DDR2-667 -6C DDR2-667 -8E DDR2-800	-6E DDR2-667 -6C DDR2-667 -8E DDR2-800	-8E DDR2-800	1、2
Hynix	-E3 DDR2-400 -C4 DDR2-533 -Y4 DDR2-667 -Y5 DDR2-667 -S5 DDR2-800 -S6 DDR2-800	-Y4 DDR2-667 -Y5 DDR2-667 -S5 DDR2-800 -S6 DDR2-800	-S5 DDR2-800 -S6 DDR2-800	1、2
Samsung	-CC DDR2-400 -D5 DDR2-533 -E6 DDR2-667 -E7 DDR2-800	-E6 DDR2-667 -E7 DDR2-800	-E7 DDR2-800	1、2

注：

1、DDRC 支持满足 JESD79 标准的 DRAM 器件，在不同的工作模式下，DDRC 只能支持 DRAM 工作频率高于或等于 DDRC 工作频率的器件。在使用非表中厂商的器件时，可以参考该标准来选取器件。

2、表中以各个厂商的 DDR2 SDRAM 的工作频率为判断的基本元素。真实的器件产品中，对同一工作频率的会有多种容量、位宽等系列版本，但只要该 DDR2 SDRAM 的工作频率在此列表中，DDRC 就可以支持该 DDR2 SDRAM。对于容量和位宽的选取，则根据芯片的实际应用场景来作出选择。

DDRC 支持的 DDR3 SDRAM 列表如表 4-2 所示。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

表4-2 DDRC 支持的 DDR3 SDRAM 列表

厂商	400MHz	533MHz	800MHz	备注
JESD79 （DDR3 Standard）	DDR3-800 DDR3-1066 DDR3-1333	DDR3-800 DDR3-1066 DDR3-1333	-	3、4

注：

3、若 DDRC 工作频率为 400MHz，则所有支持的 DDR3 都可以降频到 400MHz 工作。

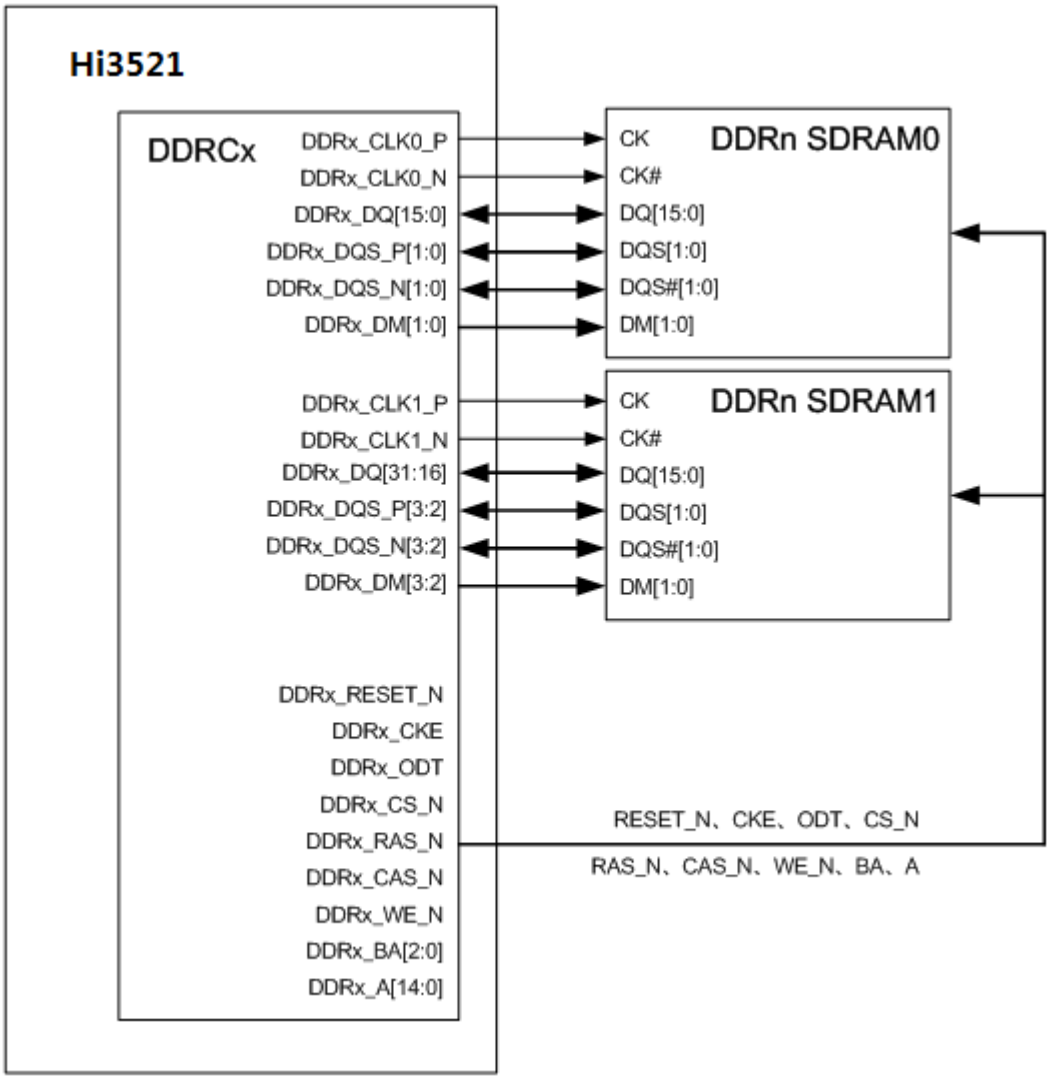
4、这里的支持器件类型以 JEDEC 标准为基准。

DDRC 支持两种互联模式：32bit 模式和 16bit 模式。

32bit 模式下，DDRC 与 2 片数据总线位宽为 16bit 或 4 片数据总线位宽为 8bit 的 DDRn SDRAM 相连，以 2 片 16bit DDRn SDRAM 为例，其连接示意图如图 4-1 所示。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

图4-1 单个 DDRC 与 2 片 DDRn SDRAM 的互联示意图

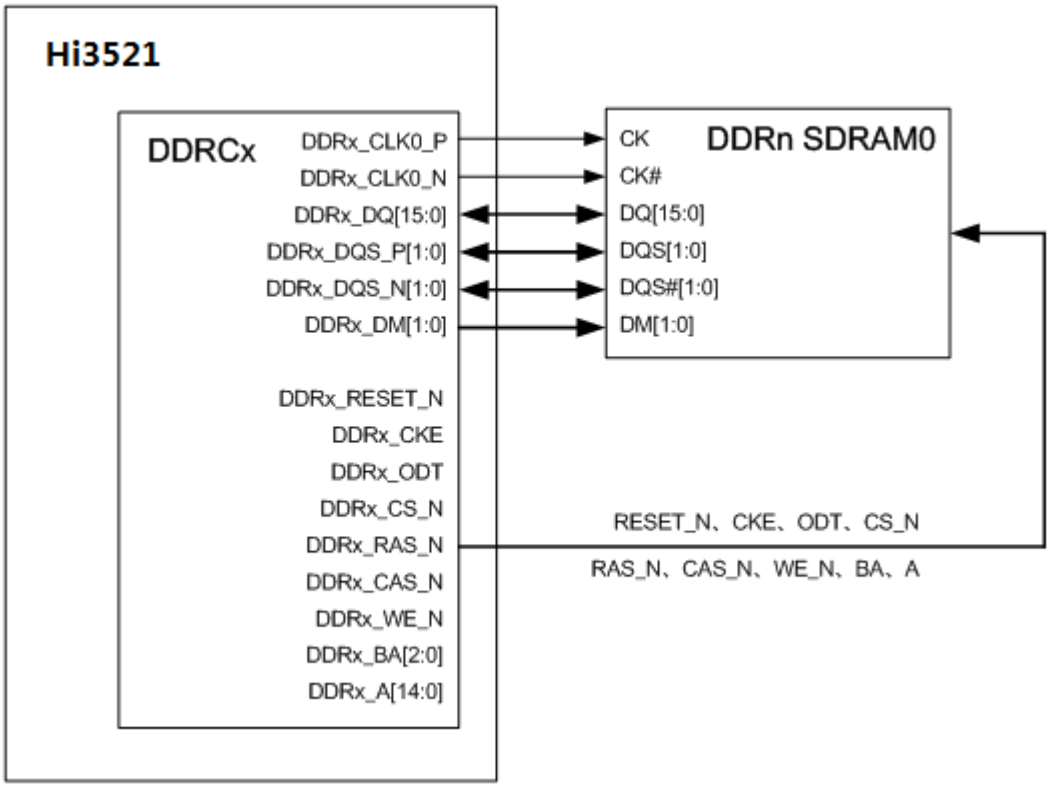


连接说明：
DDRCx 和 DDRx 中 x=0 或 1，表示第 x 个 DDR 控制器。
DDRn SDRAMx 是数据总线宽度为 16bit 的存储器件。
DDRC 的命令控制信号：DDRx_CKE、DDRx_RESET_N、DDRx_ODT、DDRx_CS_N、DDRx_RAS_N、DDRx_CAS_N、DDRx_WE_N、DDRx_BA[2:0]、DDRx_A[14:0]，同时与 DDRn SDRAMx 的命令控制信号相连，即 DDRC 的命令控制总线是 1 驱 2 的连接模式。
在 DDR2 SDRAM 容量小于 1Gbit 的场景下，DDRC 的 DDRx_BA[2]地址信号输出悬空。
在 DDR2 模式下，DDRx_RESET_N 悬空。

16bit 模式下，DDRC 与 1 片数据总线位宽为 16bit 或 2 片数据总线位宽为 8bit 的 DDRn SDRAM 相连，以 1 片 16bit DDRn SDRAM 为例，其连接示意图如图 4-2 所示。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

图4-2 单个 DDRC 与 1 片 DDRn SDRAM 的互联示意图



连接说明：
DDRCx 和 DDRx 中 x=0 或 1，表示第 x 个 DDR 控制器。
DDRn SDRAMx 是数据总线宽度为 16bit 的存储器件。
DDRC 的命令控制信号：DDRx_CKE、DDRx_RESET_N、DDRx_ODT、DDRx_CS_N、DDRx_RAS_N、DDRx_CAS_N、DDRx_WE_N、DDRx_BA[2:0]、DDRx_A[14:0]，与 DDRn SDRAM 的命令控制信号相连，即 DDRC 的命令控制总线是 1 驱 1 的连接模式。
当 DDR2 SDRAM 容量小于 1Gbit 时，DDRC 的 DDRx_BA[2]地址信号输出悬空。
在 16bit 模式下 DDRx_DQS_P[3:2]、DDRx_DQS_N[3:2]、DDRx_DQ[31:16]、DDRx_DM[3:2]悬空。
在 DDR2 模式下，DDRx_RESET_N 悬空。

4.1.3.2 功能原理

DDRC 接口时序满足 JESD79 标准，通过发送 DDRn SDRAM 的命令字，完成对 DDRn SDRAM 的数据访问和状态控制。包括 DDRn SDRAM 的读写访问、自动刷新、低功耗控制等功能。

命令真值表

DDRC 支持 DDRn SDRAM 的读写和控制命令字。DDRC 的命令真值表如表 4-3 所示。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

表4-3 DDRC 命令真值表

FUNCTION	DDRn_CKE	DDRn_CSN	DDRn_RASN	DDRn_CASN	DDRn_WEN	DDRn_ADR			DDRn_BA
						11	AP(10)	9:0	
DESELECT	H	H	X	X	X	X	X	X	X
ACTIVE	H	L	L	H	H	V	V	V	V
READ	H	L	H	L	H	V	V	V	V
WRITE	H	L	H	L	L	V	V	V	V
PRECHARGE	H	L	L	H	L	X	L	X	V
PRECHARGE ALL	H	L	L	H	L	X	H	X	X
AUTO REFRESH	H	L	L	L	H	X	X	X	X
SELF REFRESH	L	L	L	L	H	X	X	X	X
MODE REGISTER SET	H	L	L	L	L	V	V	V	V
ZQCL	H	L	H	H	L	X	H	X	X
ZQCS	H	L	H	H	L	X	L	X	X

H：表示高电平；L：表示低电平；V：表示有效；X：表示不关心。

ZQCL（ZQ Calibration Long）：用于在 DDR3 SDRAM 上电初始化时，启动 DDR3 的 ZQ Calibration 操作。

ZQCS（ZQ Calibration Short）：用于在芯片环境条件发生变化时，启动 DDR3 的 ZQ Calibration 操作。

自动刷新

当配置 DDRC_TIMING2 [taref]为非零值，DDRC 自动产生周期性 AUTO REFRESH 命令，完成对 DDRn SDRAM 的刷新操作。常温下，DDRn SDRAM 要求在 64ms 内必须完成 8,192 次自动刷新操作，即自动刷新操作的周期为 7.8μs。DDRC_TIMING2[taref]的配置值（Taref）与自动刷新周期（T=7.8μs 或 3.9μs）的关系为：

Taref≤T / (16 x DDR 时钟周期)

在配置了 DDRC_TIMING2[taref]，DDRC 内部的计数器会自动加载 Taref 值进行减计数，当计数器值为 0 时，DDRC 发起一次自动刷新操作，同时重新加载 Taref 值进行计数。

低功耗管理

DDRC 支持两种模式的低功耗管理：普通低功耗模式和自刷新低功耗模式。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

当系统处于空闲状态时（DDRC 总线接口一定时间内无读写 DDR 访问），自动控制 DDRn SDRAM 进入到普通低功耗模式。

当系统需要进入到待机模式时，可通过配置 DDRC_SREFCTRL[sr_req]的寄存器，控制 DDRn SDRAM 进入到自刷新低功耗模式。该模式下可以将 DDRn SDRAM 的功耗降至最低，同时保持 DDRn SDRAM 中的数据，但是此时系统不能访问 DDRn SDRAM。

仲裁机制

DDRC 实现了优先级调度算法。配置 DDRC_QOS[pri]寄存器，DDRC 将给总线的命令添加优先级属性，然后根据命令的优先级属性进行调度，实现对 DDRn SDRAM 的高效率访问。配置 DDRC_QOS[qos_en]和 DDRC_QOSx[qos]，DDRC 将给总线的命令添加响应延迟（timeout）属性，然后根据响应延迟优先的调度算法，实现总线命令响应延迟的保证。配置 DDRC_FLUX[flux_port_en]和 DDRC_FLUX[flux]，DDRC 将给总线的端口添加流量控制属性，在延迟时间未耗尽的前提下，对每个总线端口的流量进行分配，保证各端口在 DDRC 访问繁忙时的带宽。

地址映射方式

DDRC 实现了将系统总线的访问地址转换为 DDRn SDRAM 的访问地址。配置寄存器 DDRC_RNKCFG[mem_map]、DDRC_RNKCFG[mem_row]和 DDRC_RNKCFG[mem_col]，DDRC 根据地址映射算法将系统总线地址转换为 DDRn SDRAM 地址。

下面示例说明系统总线地址和 DDRn SDRAM 地址的映射算法。假设系统总线地址为 BUSADR[28:0]，有效地址为 BUSADR[m-1:0]，DDRn SDRAM 的地址为 DDRADR[13:0]。当 DDRADR[13:0]作为行地址时，其有效地址为 DDRROW[x-1:0]，作为列地址时，其有效地址为 DDRCOL[y-1:0]，DDR 的 BANK 地址为 DDRBA[z-1:0]，DDRC 的存储数据总线宽度为 DW，此时地址映射关系为：

- DDRC_RNKCFG[mem_map]为 0b00 时，RBC 映射方式：
  BUSADR[m-1:0] = {DDRROW[x-1:0],DDRBA[z-1:0],DDRCOL[y-1:0],DW{b0}}
- DDRC_RNKCFG[mem_map]为 0b01 时，BRC 映射方式：
  BUSADR[m-1:0] = {DDR_BA[z-1:0],DDRROW[x-1:0],DDRCOL[y-1:0],DW{b0}}

在上面的表达式中，参数的关系满足：m = x+y+z+DW。

当 DDRC 为 32bit 应用模式时，DW 为 2。

当 DDRC_RNKCFG[mem_map]为 0b00，A10 作为 DDR 的 AP 功能位时，系统总线地址到 DDRn SDRAM 地址的映射表如表 4-4。

该表格示例说明了 RBC 模式下的地址映射关系，BRC 模式下按照上面的表达式进行地址映射。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

表4-4 DDRC 32bit 模式地址映射表

存储器类型	行地址	列地址	DDR BA			行地址	DDR ADR						
Mbit×bw	宽度	宽度	2	1	0	列地址	13	12	11	10/AP	9	8	[7:0]
256Mbit 4bank													
16×16	13	9	-	12	11	行地址	-	25	24	23	22	21	[20:13]
						列地址	-	-	-	AP		10	[9:2]
512Mbit 4bank													
32×16	13	10	-	13	12	行地址	-	26	25	24	23	22	[21:14]
						列地址	-	-	-	AP	11	10	[9:2]
1024Mbit 8bank													
64×16	13	10	14	13	12	行地址		27	26	25	24	23	[22:15]
						列地址	-	-	-	AP	11	10	[9:2]
2048Mbit 8bank													
128×16	14	10	14	13	12	行地址	28	27	26	25	24	23	[22:15]
						列地址	-	-	-	AP	11	10	[9:2]

当 DDRC 为 16bit 应用模式时，DW 为 1。

当 DDRC_RNKCFG[mem_map]为 0b00，A10 作为 DDR 的 AP 功能位时，系统总线地址到 DDRn SDRAM 地址的映射表如表 4-5。

该表格示例说明了 RBC 模式下的地址映射关系，BRC 模式下按照上面的表达式进行地址映射。

表4-5 DDRC 16bit 模式地址映射表

存储器类型	行地址	列地址	DDR BA			行地址	DDR ADR						
Mbit×bw	宽度	宽度	2	1	0	列地址	13	12	11	10/AP	9	8	[7:0]
256Mbit 4bank													
16×16	13	9	-	11	10	行地址	-	24	23	22	21	20	[19:12]
						列地址	-	-	-	AP		9	[8:1]
512Mbit 4bank													
32×16	13	10	-	12	11	行地址	-	25	24	23	22	21	[20:13]
						列地址	-	-	-	AP	10	9	[8:1]

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

存储器类型	行地址	列地址	DDR BA			行地址	DDR ADR						
Mbit×bw	宽度	宽度	2	1	0	列地址	13	12	11	10/AP	9	8	[7:0]
1024Mbit 8bank													
64×16	13	10	13	12	11	行地址		26	25	24	23	22	[21:14]
						列地址	-	-	-	AP	10	9	[8:1]
2048Mbit 8bank													
128×16	14	10	13	12	11	行地址	27	26	25	24	23	22	[21:14]
						列地址	-	-	-	AP	10	9	[8:1]

4.1.4 工作方式

4.1.4.1 时钟门控

系统进入低功耗模式后，可以关闭 DDRC 的工作时钟。同样，在系统恢复到正常模式之前，需要先打开 DDRC 的工作时钟。

DDRC 进入低功耗模式，时钟关闭的流程：

步骤 1. 系统进入 Flash 或者 TCM 中运行。

步骤 2. 配置 DDRC_SREFCTRL[sr_req]为 1，请求进入自刷新模式。

步骤 3. 查询 DDRC_STATUS[in_sr]，直到其值为 1，则进入低功耗模式。

步骤 4. 配置 DDRC_IOCFG[odis_clk]为 0x7，关断 DDR 时钟。

步骤 5. 关断 DDRC 时钟。

步骤 6. 低功耗状态。

----结束

DDRC 退出低功耗模式，时钟打开的流程：

步骤 1. 系统进入正常工作模式，打开 DDRC 时钟。

步骤 2. 配置 DDRC_IOCFG[odis_clk]为 0x4，打开 DDR 时钟。

步骤 3. 等待 50μs 至 DLL 锁定。

步骤 4. 配置 DDRC_SREFCTRL[sr_req]为 0，请求退出自刷新模式。

步骤 5. 查询 DDRC_STATUS[in_sr]位，直到其值为 0，表示已退出 DDR 低功耗模式。

步骤 6. 系统可以正常访问 DDR。

----结束

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

4.1.4.2 软复位

DDRC 不能进行单独的复位操作。只有在全局软复位时，才能复位 DDRC。复位之后，需要按照初始化流程进行重新初始化 DDRn SDRAM。

4.1.4.3 DDR2 初始化配置流程

系统上电之后，必须先完成 DDR2 SDRAM 的初始化操作，系统才能访问 DDR2 SDRAM。在进行初始化之前需要注意以下几点：

- 对 DDR2 SDRAM 进行上电操作时，需要遵循 JEDEC 标准。即先提供 VDD，然后提供 VDDQ，最后提供 VREF 和 VTT。
- 该初始化过程需要在系统进入 NORMAL 模式后进行。

在 DDRC 32bit 模式下，假设存储空间由两片容量为 1Gbit，数据总线位宽为 16bit 的 DDR2 SDRAM 构成，DDRC 的初始化步骤如下：

步骤 1. 软件等待 200μs 以上。

步骤 2. 把 DDRC_IOCFG 寄存器配置为 0x427，配置 IO 的工作模式、匹配电阻以及信号驱动。

步骤 3. 根据器件的单片容量配置 DDRC_RNKCFG 寄存器为 0x122。总线地址映射模式为 R-B-C-DW 模式，AP 为 A10，列地址宽度为 10，行地址宽度为 13。

步骤 4. 将 DDRC_PHYSRST 配置为 0x0，DDRC_CDLLCFG，DDRC_QDLLCFG0～3 寄存器配置为 0x52，复位 DDR PHY 和 DLL。

步骤 5. 软件等待 50ns。

步骤 6. 把 DDRC_PHYSRST 配置为 0x1，把 DDRC_CDLLCFG，DDRC_QDLLCFG0～3 寄存器配置为 0x56，撤消 DDR PHY 和 DLL 复位。

步骤 7. 软件等待 3μs 以上。

步骤 8. 配置 DDRC_TIMING2[taref]为 0x000，禁止自动刷新。

步骤 9. 把 DDRC_SREFCTRL 寄存器配置为 0x0，退出自刷新状态。

步骤 10. 软件等待 1μs 以上。

步骤 11. 根据工作频率和器件要求，配置 DDRC_EMRS01 寄存器和 DDRC_EMRS23 寄存器，以设置 DDR 的读延迟（cas latency），写恢复延迟（write recovery），突发长度（burst length），DDR 器件的输出驱动阻抗和输入 ODT 阻抗等。

说明

cas latency 必须和 DDRC_TIMING1[cl]设置成同一个值。

DDRC_EMRS01 寄存器对应 DDR2 SDRAM 的模式寄存器 MRS 和扩展模式寄存器 1（EMRS1）。配置该寄存器时，只需要 DDR2 SDRAM 器件手册的模式寄存器的 A15-A0（实际有效位为：A13~A0），不需要配置模式寄存器的最高 3 位 A18~A16 寄存器选择位，即 bank 地址。但是，有些 DDRn SDRAM 厂家的 bank 地址是：A17~A15。

DDR2 SDRAM 的扩展模式寄存器 1（EMRS1）需要特别注意：将该模式寄存器中的 RDQS 和 DQS#都配置为禁止模式（disable）。

步骤 12. 根据器件的类型和存储空间配置 DDRC_CONFIG0 寄存器为 0x8000_0510，DDRC_CONFIG1 寄存器为 0x784，表示 DDRC 为 32bit DDR2 SDRAM 模式。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

说明
低功耗配置的上电复位值是关闭的，初始化过程中必须关闭低功耗自动进入功能以及时钟自动关闭功能，但在正常使用中，建议使能低功耗的控制，可以降低功耗。

步骤 13. 配置存储空间基地址寄存器 DDRC_BASEADDR 为 0x8000_0000。

步骤 14. 根据工作频率和 DDR 器件要求配置 DDRC_TIMING0～DDRC_TIMING3 寄存器，其中 cl 值必须跟 DDRC_EMRS01 寄存器中的配置一致。

步骤 15. 配置 DDRC_DTRCTRL 寄存器为 0x0F00_0503，使能初始化自动训练模式。

步骤 16. 配置 DDRC_ODTCFG 寄存器 DDRC_ODTCFG[wodt0]=0x1，DDRC_ODTCFG[rodt0]=0x0。

步骤 17. 配置 DDRC_PHYCFG 寄存器为 0x2。

步骤 18. 将 DDRC_INITCTRL 寄存器设置为 0x1，启动初始化过程。

步骤 19. 等待 DDRC_INITCTRL 寄存器的值变为 0，初始化完成。

----结束

完成以上步骤以后，DDR2 SDRAM 就可以正常工作。

4.1.4.4 DDR3 初始化配置流程

系统上电之后，必须先完成 DDR3 SDRAM 的初始化操作，系统才能访问 DDR3 SDRAM。在进行初始化之前需要注意以下几点：

- 对 DDR3 SDRAM 进行上电操作时，需要遵循 JEDEC 标准。即先提供 VDD，然后提供 VDDQ，最后提供 VREF 和 VTT。
- 该初始化过程需要在系统进入 NORMAL 模式后进行。

在 DDRC 32bit 模式下，假设存储空间由两片容量为 1Gbit，数据总线位宽为 16bit 的 DDR3 SDRAM 构成，DDRC 的初始化步骤如下：

步骤 1. 软件等待 200μs 以上。

步骤 2. 把 DDRC_IOCFG 寄存器配置为 0x467，配置 IO 的工作模式、匹配电阻以及信号驱动。

步骤 3. 根据器件的单片容量配置 DDRC_RNKCFG 寄存器为 0x122。总线地址映射模式为 R-B-C-DW 模式，AP 为 A10，列地址宽度为 10，行地址宽度为 13。

步骤 4. 把 DDRC_PHYSRST 配置为 0x0，把 DDRC_CDLLCFG，DDRC_QDLLCFG0～3 寄存器配置为 0x52，复位 DDR PHY 和 DLL。

步骤 5. 软件等待 50ns。

步骤 6. 把 DDRC_PHYSRST 配置为 0x1，把 DDRC_CDLLCFG，DDRC_QDLLCFG0～3 寄存器配置为 0x56，撤消 DDR PHY 和 DLL 复位。

步骤 7. 软件等待 3μs 以上。

步骤 8. 配置 DDRC_TIMING2[taref]为 0x000，禁止自动刷新。

步骤 9. 配置 DDRC_CTRL 寄存器为 0x1，配置 DDR3 SDRAM 退出复位状态。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

步骤 10. 软件等待 500μs 以上。

步骤 11. 把 DDRC_SREFCTRL 寄存器配置为 0x0，退出自刷新状态。

步骤 12. 软件等待 1μs 以上。

步骤 13. 根据工作频率和器件要求，配置 DDRC_EMRS01 寄存器和 DDRC_EMRS23 寄存器，以设置 DDR 读延迟（cas latency），写延迟（cas write latency），写恢复延迟（write recovery），突发长度（burst length），DDR 器件的输出驱动阻抗和输入 ODT 阻抗等。

说明

cas latency 和必须和 DDRC_TIMING1[cl]设置成同一个值。

cas write latency 和必须和 DDRC_TIMING1[wl]设置成同一个值。

DDRC_EMRS01 寄存器对应 DDR3 SDRAM 的模式寄存器 MRS 和扩展模式寄存器 1（EMRS1）。配置该寄存器时，只需要 DDR3 SDRAM 器件手册的模式寄存器的 A15-A0（实际有效位为：A13~A0），不需要配置模式寄存器的最高 3 位 A18~A16 寄存器选择位，即 bank 地址。但是，有些 DDRn SDRAM 厂家的 bank 地址是：A17~A15。

步骤 14. 根据器件的类型和存储空间配置 DDRC_CONFIG0 寄存器为 0x8000_0610，DDRC_CONFIG1 寄存器为 0x785，表示 DDRC 为 32bit DDR3 SDRAM 模式。

说明

低功耗配置的上电复位值是关闭的，初始化过程中必须关闭低功耗自动进入功能以及时钟自动关闭功能，但在正常使用中，建议使能低功耗的控制，可以降低功耗。

步骤 15. 配置存储空间基地址寄存器 DDRC_BASEADDR 为 0x8000_0000。

步骤 16. 根据工作频率和器件要求配置 DDRC_TIMING0～DDRC_TIMING3 的值，其中 cl 和 wl 值必须跟 DDRC_EMRS01 和 DDRC_EMRS23 模式寄存器中的配置一致。

步骤 17. 配置 DDRC_DTRCTRL 寄存器为 0x0F00_0503，使能初始化自动训练模式。

步骤 18. 配置 DDRC_ODTCFG 寄存器 DDRC_ODTCFG[wodt0]=0x1，DDRC_ODTCFG[rodt0]=0x0。

步骤 19. 配置 DDRC_PHYCFG 寄存器 0x2。

步骤 20. 将 DDRC_INITCTRL 寄存器设置为 0x1，启动初始化过程。

步骤 21. 等待 DDRC_INITCTRL 寄存器的值变为 0，初始化完成。

----结束

完成以上步骤以后，DDR3 SDRAM 就可以正常工作。

4.1.4.5 低功耗配置

DDRC 支持两种 DDRn SDRAM 的低功耗模式：DDRn SDRAM PowerDown 模式和 DDRn SDRAM 自刷新模式。

配置 DDRC_CONFIG0[pd_en]和 DDRC_CONFIG0[pd_prd]为有效值，DDRC 在系统空闲状态下会自动控制 DDRn SDRAM 进入低功耗状态。当 DDRC_CONFIG0[pd_en]配置为 1，DDRC 在 DDRC_CONFIG0[pd_prd]个总线时钟周期没有任何访问操作，则会控制 DDRn SDRAM 进入低功耗模式。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

配置 DDRC_SREFCTRL[sr_seq]为有效值，DDRC 将控制 DDRn SDRAM 进入自刷新模式。当配置 DDRC_SREFCTRL[sr_req]为 1 时，DDRC 完成正在执行的访问之后，控制 DDRn SDRAM 进入自刷新模式，并不再响应总线上的请求。

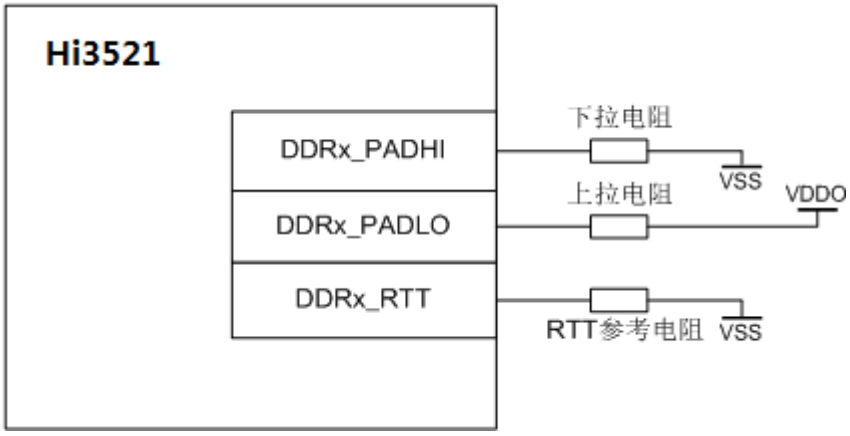
4.1.4.6 DDR IO 阻抗配置

在 DDRn SDRAM 的应用场景，DDRC 具有自动校准 DDR IO 的发送阻抗和接收阻抗的功能。

自动校准功能通过配置 DDRC_IOCMP [update_en]使能。默认配置为使能自动校准功能。

DDR IO 的阻抗校准需要在芯片 IO 连接参考电阻，参考电阻的精度偏差为 2%。电阻的连接示示意图如图 4-3 所示。

图4-3 DDR IO 参考电阻连接示意图



连接说明：
DDRx 中 x=0 或 1，表示第 x 个 DDR 控制器。

DDR IO 的参考电阻选择不同的值实现对 DDR IO 发送阻抗和接收阻抗的不同配置。参考电阻和 IO 发送阻抗以及接收阻抗的匹配关系如表 4-6 和表 4-7 所示。

表4-6 发送阻抗选择表

DDR IO 类型	上拉电阻（Ω）	下拉电阻（Ω）	驱动阻抗（Ω）
SSTL_1.8V_ClassI	68	68	34
SSTL_1.8v_CalassII	43	43	21.5
SSTL_1.5v	68	68	34

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

表4-7 接收阻抗选择表

DDRC_IOCFG[rtt]	参考电阻 RTT（Ω）	匹配阻抗（Ω）
01	200	100
01	240	120
01	300	150
1x	200	50
1x	240	60
1x	300	75

说明
建议在 DDR3 模式，接收阻抗电阻选用 240Ω 电阻；DDR2 模式选用 300Ω 电阻。

4.1.5 寄存器概览

各模块的寄存器偏移地址中变量的取值范围和含义如表 4-8 所示。

表4-8 各模块的寄存器偏移地址变量表

变量名称	取值范围	描述
blanes	0～3	DDRC 支持的 ByteLane 数。
id0	0～15	DDRC 支持的可配置优先级的个数。
ports	0～5	AXI 端口个数。

DDRC 寄存器概览如表 4-9 所示。

表4-9 DDRC 寄存器概览（基址是 0x2011_0000）

偏移地址	名称	描述	页码
0x000	DDRC_STATUS	DDRC 状态寄存器	4-17
0x004	DDRC_SREFCTRL	DDRC 自刷新控制寄存器	4-18
0x008	DDRC_INITCTRL	DDRC 初始化控制寄存器	4-18
0x010	DDRC_CTRL	DDRC 控制寄存器	4-18
0x014	DDRC_EMRS01	DDR 的模式配置寄存器	4-19
0x018	DDRC_EMRS23	DDR 的扩展模式配置寄存器	4-20
0x01C	DDRC_CONFIG0	配置 DDRC 功能的寄存器 0	4-20

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

偏移地址	名称	描述	页码
0x020	DDRC_CONFIG1	配置 DDRC 功能的寄存器 1	4-22
0x024	DDRC_CMDCFG	DDRC 命令配置寄存器	4-25
0x028	DDRC_CMDEXE	DDRC 软件配置命令启动寄存器	4-26
0x02C	DDRC_RNKCFG	配置 DDR 特性的寄存器	4-27
0x040	DDRC_BASEADDR	DDR 空间基地址配置寄存器	4-28
0x050	DDRC_TIMING0	DDR 时序参数寄存器 0	4-28
0x054	DDRC_TIMING1	DDR 时序参数寄存器 1	4-29
0x058	DDRC_TIMING2	DDR 时序参数寄存器 2	4-30
0x05C	DDRC_TIMING3	DDR 时序参数寄存器 3	4-32
0x060	DDRC_TIMING4	DDR 时序参数寄存器 4	4-33
0x0A0	DDRC_DTRADDR	DDRC 门控训练地址配置寄存器	4-34
0x0A4	DDRC_DTRDATA0	DDRC 门控训练数据配置寄存器 0	4-34
0x0A8	DDRC_DTRDATA1	DDRC 门控训练数据配置寄存器 1	4-35
0x0AC	DDRC_DTRCTRL	DDRC 门控训练控制寄存器	4-35
0x0B0	DDRC_DTRPRD	DDRC 门控跟踪周期配置寄存器	4-37
0x0B4	DDRC_DTRGATE	DDRC 门控相位位置寄存器	4-37
0x0C4	DDRC_DTRLAT	DDRC 门控周期位置寄存器	4-38
0x0D4	DDRC_DTRSTATUS	DDRC 门控状态寄存器	4-39
0x0F0	DDRC_AXISTATUS	DDRC 接口状态寄存器	4-39
0x0F4	DDRC_ODTCFG	DDR 的 ODT 特性配置寄存器	4-41
0x100	DDRC_QOSCFG0	DDRC 的 QoS 算法配置寄存器 0	4-41
0x150+0x4 x id0	DDRC_RDQOS	DDRC 的读命令优先级配置寄存器	4-42
0x200+0x4 x ports	DDRC_FLUX	DDRC AXI 端口带宽流量控制配置寄存器	4-43
0x240	DDRC_TEST0	DDRC 的测试状态寄存器	4-44
0x244	DDRC_TEST1	DDRC 的测试状态寄存器	4-45
0x248	DDRC_TEST2	DDRC 的测试状态寄存器	4-45
0x24C	DDRC_TEST3	DDRC 的测试状态寄存器	4-45

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

偏移地址	名称	描述	页码
0x250	DDRC_TEST4	DDRC 的测试状态寄存器	4-46
0x260	DDRC_TEST7	DDRC 性能统计控制寄存器	4-46
0x264	DDRC_TEST8	DDRC 写命令统计寄存器	4-47
0x268	DDRC_TEST9	DDRC 读命令统计寄存器	4-48
0x26C	DDRC_TEST10	DDRC DMC 命令等待个数统计寄存器	4-48
0x280	DDRC_TEST12	DDRC 的测试状态寄存器	4-49
0x400	DDRC_PHYCFG	DDRPHY 配置寄存器	4-49
0x410	DDRC_PHYNEG	DDRPHY 门控相位位置	4-50
0x420	DDRC_PHYSEL	DDRPHY 门控周期位置	4-51
0x430	DDRC_CDLLCFG	DDRPHY 的命令通道 DLL 配置寄存器	4-52
0x440+0x4 x blanes	DDRC_QDLLCFG	DDRPHY 数据通道 DLL 配置寄存器	4-53
0x470	DDRC_LVLSKEW	DDRPHY 数据线相位微调控制寄存器	4-54
0x474	DDRC_LVLCTRL	DDRPHY Write Level 控制寄存器	4-54
0x478	DDRC_LVLSTR	DDRPHY WriteLevel 的 DQS 控制寄存器	4-55
0x47C	DDRC_LVLODT	DDRPHY WriteLevel 的 ODT 控制寄存器	4-55
0x480+0x4 x blanes	DDRC_LVLCTL	DDRPHY WriteLevel 配置寄存器 0	4-56
0x4B0+0x4 x blanes	DDRC_LVLFC	DDRPHY WriteLevel 配置寄存器 1	4-57
0x4E0	DDRC_LVLRSP	DDRPHY 的 WriteLevel 响应寄存器	4-57
0x4E4	DDRC_LVLST	DDRPHY Write Level 状态寄存器	4-55
0x4F0	DDRC_PHYSRST	DDRPHY 软复位控制信号	4-58
0x500	DDRC_WRDQS_SKEW	DDRPHY 写 DQS 微调寄存器	4-59
0x504	DDRC_RDDQS_SKEW	DDRPHY 读 DQS 微调寄存器	4-59
0x508	DDRC_WRDMSKEW	写屏蔽微调配置寄存器	4-60

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

偏移地址	名称	描述	页码
0x510+0x4 x blanes	DDRC_WRDQSKEW	DDRPHY 写数据延迟微调寄存器	4-60
0x540+0x4 x blanes	DDRC_RDDQSKEW	DDRPHY 读数据延迟微调寄存器	4-61
0x570	DDRC_IOCFG	DDRPHY 的 IO 配置寄存器	4-61
0x580	DDRC_IOCMP	DDRPHY 的 IO 补偿配置寄存器	4-62
0x590	DDRC_CMPSTATUS0	DDRPHY IO 补偿状态寄存器 0	4-63
0x598	DDRC_CMPSTATUS1	DDRPHY IO 补偿状态寄存器 1	4-63

4.1.6 DDRC 寄存器描述

DDRC_STATUS

DDRC_STATUS 为 DDRC 状态寄存器。

Offset Address	Register Name	Total Reset Value
0x000	DDRC_STATUS	0x0000_0005

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3	2	1	0
Name	reserved							in_init	in_sr	reserved	busy
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0	1	0	1

Bits	Access	Name	Description
[31:4]	RO	reserved	保留。
[3]	RO	in_init	控制器初始化状态。 0：正常状态； 1：初始化状态。
[2]	RO	in_sr	控制器自刷新状态。 0：正常状态； 1：自刷新状态。
[1]	RO	reserved	保留。
[0]	RO	busy	控制器忙状态寄存器。 0：空闲； 1：命令处理中。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

DDRC_SREFCTRL

DDRC_SREFCTRL 为 DDRC 自刷新控制寄存器。

Offset Address	Register Name	Total Reset Value
0x004	DDRC_SREFCTRL	0x0000_0001

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																															sr_req
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1

Bits	Access	Name	Description
[31:1]	RO	reserved	保留。
[0]	RW	sr_req	SDRAM 自刷新请求。 0：退出自刷新状态； 1：进入自刷新状态。

DDRC_INITCTRL

DDRC_INITCTRL 为 DDRC 初始化控制寄存器。

Offset Address	Register Name	Total Reset Value
0x008	DDRC_INITCTRL	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																															init_req
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:1]	RO	reserved	保留。
[0]	RW	init_req	初始化启动。 0：完成初始化或处于正常工作状态； 1：启动 SDRAM 初始化操作。

DDRC_CTRL

DDRC_CTRL 为 DDRC 控制寄存器。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x010	DDRC_CTRL	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																															ddr_rst_n
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:1]	RO	reserved	保留。
[0]	RW	ddr_rst_n	DDR3 SDRAM 复位。 0：复位； 1：撤消复位。 **注意：仅对 DDR3 SDRAM 有效，默认配置为 0。**

DDRC_EMRS01

DDRC_EMRS01 为 DDR 的模式配置寄存器。

Offset Address	Register Name	Total Reset Value
0x014	DDRC_EMRS01	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	emrs1																mrs															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:16]	RW	emrs1	DDRn SDRAM 扩展模式寄存器 1。 对应 DDRn SDRAM 手册中 Mode Register 1 (MR1) [15:0]。其中，大多数 DDR 器件的 MR1[15:14]不用，则 DDRC_EMRS01 的[31:30]保留，设置为 0b00。 **注意：MR1 的具体解释，请参考所使用 DDRn SDRAM 手册。**
[15:0]	RW	mrs	DDRn SDRAM 模式寄存器。 对应 DDRn SDRAM 手册中 Mode Register 0 (MR0) [15:0]。其中，大多数 DDR 器件的 MR0[15:14]不用，则 DDRC_EMRS01 [15:14]保留，设置为 0b00。 **注意：MR0 的具体解释，请参考所使用 DDRn SDRAM 手册。**

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

DDRC_EMRS23

DDRC_EMRS23 为 DDR 的扩展模式配置寄存器。

Offset Address	Register Name	Total Reset Value
0x018	DDRC_EMRS23	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	emrs3																emrs2															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:16]	RW	emrs3	DDRn SDRAM 扩展模式寄存器 3。 对应 DDRn SDRAM 手册中 Mode Register 3 (MR3) [15:0]。其中，大多数 DDR 器件的 MR3[15:14]不用，则 DDRC_EMRS01[15:14]保留，设置为 0b00。 **注意：MR3 的具体解释，请参考所使用 DDRn SDRAM 手册。**
[15:0]	RW	emrs2	DDRn SDRAM 扩展模式寄存器 2。 对应 DDRn SDRAM 手册中 Mode Register 2 (MR2) [15::0]。其中，大多数 DDR 器件的 MR2[15:14]不用，则保留 DDRC_EMRS23 [15:14]保留，设置为 0b00。 **注意：MR2 的具体解释，请参考所使用 DDRn SDRAM 手册。**

DDRC_CONFIG0

DDRC_CONFIG0 为配置 DDRC 功能的寄存器 0。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x01C	DDRC_CONFIG0	0x2000_0510

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	init_arefnum				pd_prd								rcv_pdr	sr_cc	pd_cc	pd_en	reserved			rank	reserved			dram_type	reserved			mem_width	reserved			brstlen
Reset	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1	0	0	0	1	0	0	0	0

Bits	Access	Name	Description
[31:28]	RW	init_arefnum	DDRn SDRAM 初始化过程中发出的自动刷新操作次数。 0x0～0x2：2 次； 0x3～0xF：n 次。
[27:20]	RW	pd_prd	SDRAM 低功耗（Power Down）周期配置。当 DDRC 在连续的 pd_prd 个周期内没有接受到命令，则控制 SDRAM 进入到低功耗状态，当新命令到来，则控制 SDRAM 退出低功耗状态。 0x00：1 个时钟周期； 0x01～0xFF：n 个时钟周期。 **注意：该参数仅在 pd_en 为 1 时有效。**
[19]	RW	rcv_pdr	DDR 接收 IO 动态 Power Down 控制使能。使能时 DDRC 会在非读状态关断 DDR 数据 IO 的接收 Buffer。 0：禁止； 1：使能。
[18]	RW	sr_cc	自刷新模式，SDRAM 时钟控制。 0：不关断 SDRAM 时钟； 1：关断 SDRAM 时钟。
[17]	RW	pd_cc	低功耗模式（PowerDown），SDRAM 时钟控制。 0：不关断 SDRAM 时钟； 1：关断 SDRAM 时钟。 **注意：该参数仅在外接 DDR 为 LPDDR/LPDDR2 SDRAM 时有效。**
[16]	RW	pd_en	SDRAM 自动低功耗使能。 0：禁止； 1：使能。
[15:14]	RW	reserved	保留。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

[13:12]	RW	rank	控制器 Rank 配置。 00：1 个 rank； 其它：保留。
[11]	RW	reserved	保留。
[10:8]	RW	dram_type	外部存储器类型。 101：DDR2； 110：DDR3； 其它：保留。
[7:6]	RW	reserved	保留。
[5:4]	RW	mem_width	存储数据总线位宽。 00：16bit； 01：32bit； 其它：保留。
[3:2]	RW	reserved	保留。
[1]	RW	brst_a12	DDR3 SDRAM A12 命令使能。 0：禁止 A12 功能位； 1：使能 A12 功能位。 **注意：推荐配置为 0。**
[0]	RW	brstlen	控制器 Burst Length 配置。 0：BL4； 1：BL8。 DDRC 与 PHY 频率比为 1:1 时，DDR2 可配置为 Burst4 和 Burst8，DDR3 只能配置为 Burst8 模式； DDRC 与 PHY 频率比为 1:2 时，DDR2 和 DDR3 都只能配置为 Burst4 模式。

DDRC_CONFIG1

DDRC_CONFIG1 为配置 DDRC 功能的寄存器 1。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x020	DDRC_CONFIG1	0x0000_A380

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	sref_arefnum				reserved							clk_switch	reserved		odis_ddrio	pd_ac	pd_pst_opn		pd_pre_cls		reserved		auto_pre_en	wr_rcv_mode	exclu_en	lock_en		aref_mode	wrlvl_en	reserved	read_mode		clkratio	ecc_en	zqc_en
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1	0	0	0	1	1	1	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:28]	RW	sref_arefnum	DDRn SDRAM 在 DFS 流程中，退出自刷新后发出的自动刷新操作次数。 0x0～0x1：发送 1 次 Auto Refresh 操作； 0x2～0xF：发送 n 次 Auto Refresh 操作。 **注意：在 train_en=1 时有效。当 train_en=0 时，会直接退出自刷新，不会发送 Auto Refresh 操作。**
[27:21]	RW	reserved	保留。
[20]	RW	clk_switch	DDRC 低功耗时钟切换控制。DDRC 进入低功耗状态（DDR Self Refresh）状态是否反压 AXI 接口命令。 0：不反压命令，直接返回 ERROR 相应； 1：反压接口命令，时钟切换完成后，继续执行原有命令。
[19:18]	RW	reserved	保留。
[17]	RW	odis_ddrio	DDR 命令和数据 IO 的输出关断配置。 0：不关断管脚输出； 1：关断管脚输出。 **注意：此配置为静态配置。建议当配置 DDR 进入 self_refresh 后，可配置为 1，关断 DDR 命令和数据 IO 的输出。在配置 DDR 退出 self_refresh 前，配置为 0，打开 DDR 命令和数据 IO 的输出。**
[16]	RW	pd_ac	低功耗模式（PowerDown），SDRAM 地址命令动态关断控制。 0：不关断管脚输出； 1：关断管脚输出。 **注意：在 pd_en 使能下有效，控制管脚不包括 CKE、ODT、CSN 和 RESET_N。**

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

[15:14]	RW	pd_pst_opn	退出低功耗模式（PowerDown）前 SDRAM 地址命令管脚提前打开延时。 00：提前 0 拍； 01：提前 1 拍； 10：提前 2 拍； 11：提前 3 拍。 **注意：在 pd_en 使能下有效，控制管脚不包括 CKE 和 RESET_N。**
[13:12]	RW	pd_pre_cls	进入低功耗模式（PowerDown）后 SDRAM 地址命令关断延时。 00：延时 0 拍； 01：延时 1 拍； 10：延时 2 拍； 11：延时 3 拍。 **注意：在 pd_en 使能下有效，控制管脚不包括 CKE 和 RESET_N。**
[11]	RW	reserved	保留。
[10]	RW	auto_pre_en	Auto Precharge 功能使能。 0：禁止； 1：使能。
[9]	RW	wr_rcv_mode	DDRC AXI 端口写命令接收模式选择。 0：写命令直接接收模式； 1：写命令需要等待与其对应的写数据到来后，才被接收。
[8]	RW	exclu_en	排它命令使能。 0：禁止； 1：使能。
[7]	RW	lock_en	WRAP 命令锁定使能。 0：禁止； 1：使能。
[6]	RW	aref_mode	自动刷新模式选择。 0：每 1 个 tREFI 周期执行 1 次自动刷新操作； 1：每 9 个 tREFI 周期执行 8 次自动刷新操作。
[5]	RW	wrlvl_en	DDR3 WriteLVL 硬件自动控制使能。 0：禁止； 1：使能。
[4]	RW	reserved	保留。必须配置为 0。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

[3]	RW	read_mode	控制器读模式选择。 0：随路读模式； 1：延迟读模式。 随路读模式，是指控制器根据 PHY 送出的数据有效信号完成数据采样。 延迟读模式，是指控制器内部延迟等待完成对 PHY 送出数据的采样。 **注意：该值在 DDRC_DTRCTRL[train_mode]配置为 0 时，必须配置为 0。**
[2]	RW	clkratio	控制器工作模式。 当 DDRC 与 PHY 频率比为 1:1 时，配置为 0； 当 DDRC 与 PHY 频率比为 1:2 时，配置为 1。
[1]	RW	ecc_en	控制器 ECC 使能。 0：禁止； 1：使能。
[0]	RW	zqc_en	DDR3 SDRAM ZQ 使能。 0：禁止； 1：使能。 **注意：仅对 DDR3 SDRAM 有效，默认配置为 0。**

DDRC_CMDCFG

DDRC_CMDCFG 为 DDRC 命令配置寄存器。

Offset Address	Register Name	Total Reset Value
0x024	DDRC_CMDCFG	0x0000_0000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2	1 0
Name	cmd_mrs				cmd_ba		cmd_rank	reserved	cmd_type
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0	0 0

Bits	Access	Name	Description
[31:16]	RW	cmd_mrs	配置 LMR 命令时，DDR 模式寄存器配置值。
[15:8]	RW	cmd_ba	配置 LMR 命令时，DDR BA 配置值。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x024	DDRC_CMDCFG	0x0000_0000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2	1 0
Name	cmd_mrs				cmd_ba		cmd_rank	reserved	cmd_type
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0	0 0

Bits	Access	Name	Description
[7:4]	RW	cmd_rank	执行命令的 Rank。 0：执行配置命令； 1：不执行配置命令。 每 bit 对应一个存储 Rank 的控制。 **注意：Hi3521 只有 rank0，cmd_rank 只能配置为 0x0 或者 0x1。**
[3:2]	RW	reserved	保留。
[1:0]	RW	cmd_type	DDR 命令配置。 00：Deep Power Down 进入； 01：Deep Power Down 退出； 10：Load Mode Reigser（LMR）命令； 11：ZQCL。

DDRC_CMDEXE

DDRC_CMDEXE 为 DDRC 软件配置命令启动寄存器。

Offset Address	Register Name	Total Reset Value
0x028	DDRC_CMDEXE	0x0000_0000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1	0
Name	reserved								cmd_req
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0	0

Bits	Access	Name	Description
[31:1]	RO	reserved	保留。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x028	DDRC_CMDEXE	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																															cmd_req
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[0]	RW	cmd_req	控制器配置命令执行请求。 0：不执行命令或者当命令执行完成后，自动将该参数清零； 1：请求执行命令。

DDRC_RNKCFG

DDRC_RNKCFG 为配置 DDR 特性的寄存器。

Offset Address	Register Name	Total Reset Value
0x02C	DDRC_RNKCFG	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																		mem_map		reserved			mem_bank	reserved			mem_row			reserved				mem_col			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:14]	RO	reserved	保留。
[13:12]	RW	mem_map	SDRAM 地址译码模式。 00：{Rank,Row,Ba,Col,DW}= AXI_Address； 01：{Rank,Ba,Row,Col,DW}= AXI_Address； 其它：保留。
[11:9]	RW	reserved	保留。
[8]	RW	mem_bank	单片 SDRAM Bank 数。 0：4 Bank； 1：8 Bank。
[7]	RW	reserved	保留。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

[6:4]	RW	mem_row	单片 SDRAM 行地址位宽配置。 000：11 bit； 001：12 bit； 010：13 bit； 011：14 bit； 100：15 bit； 101：16 bit； 其它：保留。
[3]	RW	reserved	保留。
[2:0]	RW	mem_col	单片 SDRAM 列地址位宽配置。 000：8 bit； 001：9 bit； 010：10 bit； 011：11 bit； 100：12 bit； 其它：保留。

DDRC_BASEADDR

DDRC_BASEADDR 为 DDR 空间基地址配置寄存器。

Offset Address	Register Name	Total Reset Value
0x040	DDRC_BASEADDR	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	mem_base_addr																															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:0]	RW	mem_base_addr	DDR 存储空间在整芯片系统中的起始基地址配置。

DDRC_TIMING0

DDRC_TIMING0 为 DDR 时序参数寄存器 0。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x050	DDRC_TIMING0	0xFFFF_3F1F

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	tmrd				trrd				trp				trcd				reserved				trc				reserved				tras			
Reset	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	0	0	1	1	1	1	1	1	0	0	0	1	1	1	1	1

Bits	Access	Name	Description
[31:28]	RW	tmrd	模式寄存器加载（LMR）命令的等待周期。 0x0～0x1：1 个时钟周期； 0x2～0xF：n 个时钟周期。
[27:24]	RW	trrd	打开 BANK A 到打开 BANK B 的（ACT bank a to ACT bank b）等待周期。 0x0～0x1：1 个时钟周期； 0x2～0xF：n 个时钟周期。
[23:20]	RW	trp	关闭（PRE period）命令的等待周期。 0x0～0x1：1 个时钟周期； 0x2～0xF：n 个时钟周期。
[19:16]	RW	trcd	同 BANK 激活到读或写（ACT to READ or WRITE）命令的等待周期。 0x0～0x3：3 时钟周期； 0x4～0xF：n 时钟周期。
[15:14]	RW	reserved	保留。
[13:8]	RW	trc	同 BANK 的激活命令到激活命令（active a bank to active a bank）的等待周期。 0x00～0x01：1 个时钟周期； 0x02～0x3F：n 个时钟周期。
[7:5]	RW	reserved	保留。
[4:0]	RW	tras	同 BANK 的激活命令到到关闭命令（ACT to PRE）的等待周期。 0x00～0x01：1 个时钟周期； 0x02～0x0F：n 个时钟周期。

DDRC_TIMING1

DDRC_TIMING1 为 DDR 时序参数寄存器 1。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x054	DDRC_TIMING1	0xFF01_45FF

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	tsre								trdlat				trtw				twl				tcl				trfc							
Reset	1	1	1	1	1	1	1	1	0	0	0	0	0	0	0	1	0	1	0	0	0	1	0	1	1	1	1	1	1	1	1	1

Bits	Access	Name	Description
[31:24]	RW	tsre	退出自刷新（Self-Refresh）到读命令的等待周期。 0x0：1 个时钟周期； 0x01～0xFF：nx2 个时钟周期。 DDR3 SDRAM 时，该值配置 tXSDLL 值。
[23:20]	RW	trdlat	DDRPHY 固有延迟。 0x0～0xF：n+1 个周期。 在使用 Dolphin PHY 时，配置为 0x5。 在 read_mode=1（延迟读模式）时有效。
[19:16]	RW	trtw	最后一个读数据到第一个写数据延迟。 0x0～0x1：1 个时钟周期； 0x2～0xF：n+1 个时钟周期。
[15:12]	RW	twl	写命令到写数据的等待周期。 0x0～0x1：1 个时钟周期； 0x2～0xF：n 个时钟周期。 如：0x3：3 个时钟周期。 **注意：DDR2 模式，twl 配置为 tcl-1，twl 配置时应满足 twl－taond ≥1。**
[11:8]	RW	tcl	DDR 的读命令到读数据的延迟（CAS Latency）。 0x0～0x1：1 个时钟周期； 0x2～0xF：n 个时钟周期。
[7:0]	RW	trfc	自动刷新命令周期和自动刷新到激活（AREF period or AREF to ACT）命令的等待周期。该寄存器选择配置 max{trfc,tzqcs}的大值。 0x00～0x01：1 个时钟周期； 0x02～0xFF：n 个时钟周期。

DDRC_TIMING2

DDRC_TIMING2 为 DDR 时序参数寄存器 2。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x058	DDRC_TIMING2	0xF3F3_F000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	tcke				twtr				twr				reserved				tfaw				reserved				taref							
Reset	1	1	1	1	0	0	1	1	1	1	1	1	0	0	1	1	1	1	1	1	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:28]	RW	tcke	低功耗状态维持的最短时间。 0x0～0x1：1 个时钟周期； 0x2～0xF：n 个时钟周期。 该值需要配置 tCKESR, tCKSRE, tCKSRX, tCKE 几个值中的最大值。 在使用 Dophin 的 DDRPHY 时，该寄存器的值配置为 max{tCKSRx,tCKE}+3。
[27:24]	RW	twtr	写操作最后一个写数据到读命令（write to read）的等待周期。 0x0～0x1：1 个时钟周期； 0x2～0xf：n 个时钟周期。 如 0x3：3 个时钟周期。
[23:20]	RW	twr	写恢复（write recovery）等待周期。 0x0～0x1：1 个时钟周期； 0x2～0xf：n 个时钟周期。 **注意：在有 DFS 的需求下，tWR 参数需要按照 DFS 中芯片可能使用最高频率配置。并且不能随 DDR 的频率变化修改 tWR 的配置。**
[19:18]	RW	reserved	保留。
[17:12]	RW	tfaw	连续 4 个激活命令所需时间周期。 0x00～0x3F：n 个时钟周期； 如 0x14：20 个时钟周期。
[11]	RW	reserved	保留。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

[10:0]	RW	taref	自动刷新周期。 0x000：自动刷新禁止； 0x001～0x7FF：SDRAM 刷新周期时间为 16xn 时钟周期。 如 0x008：128 个时钟周期（16x8）。 配置间隔时间为 tREFI = 7800/16/tclk。Tclk 为 SDRAM 使用时的运行周期。 当 DDRC_CONFIG1[aref_mode]=1 时，此寄存器需要配置为 8 x tREFI 的间隔时间。

DDRC_TIMING3

DDRC_TIMING3 为 DDR 时序参数寄存器 3。

Offset Address	Register Name	Total Reset Value
0x05C	DDRC_TIMING3	0xFFDF_F0F2

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	tzq_prd												tzqinit								taond				txard				trtp			
Reset	1	1	1	1	1	1	1	1	1	1	0	1	1	1	1	1	1	1	1	1	0	0	0	0	1	1	1	1	0	0	1	0

Bits	Access	Name	Description
[31:22]	RW	tzq_prd	ZQCS 命令周期。 0x000：ZQCS 命令禁止； 0x001～0x3FF：nx128 个 AREF 周期。 ZQCS 命令周期时间为 nx128 个 taref 时钟周期。
[21:12]	RW	tzqinit	ZQ 初始化延迟周期。 0x0～0x1ff：n+1 个时钟周期。 该值配置 tZQINIT，tDLLK 的最大值。
[11:8]	RW	taond	ODT（On-die termination）打开和关闭周期。 DDR2 模式下（taond/taofd）： 0x0：2/2.5； 0x1：3/3.5； 0x2：4/4.5； 0x3：5/5.5； 其它：保留。 在 DDR3 模式下，该值配置为 tWL-1。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

[7:4]	RW	txard	退出 DDR 低功耗状态等待周期。 0x0～0xF：n 个时钟周期，n 代表十进制数； 如：0x7：为 7 个时钟周期。 取{tXP,tXARD,tXARDS,tXS}中的最大值。 在 DDR3 模式下，该寄存器作为 tXS 配置时，txard 只需要配置为 10ns 的等价时钟周期即可。
[3:0]	RW	trtp	读命令到关闭命令的等待延迟。 000～010：2 个时钟周期； 011～111：n 个时钟周期。 Trtp 的计算公式是 AL+BL/2+Max(trtp,2)-2

DDRC_TIMING4

DDRC_TIMING4 为 DDR 时序参数寄存器 4。

Offset Address	Register Name	Total Reset Value
0x060	DDRC_TIMING4	0x000F_2028

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved												twlo				reserved		twldqsen						reserved		twlmrd					
Reset	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1	0	0	1	0	0	0	0	0	0	0	1	0	1	0	0	0

Bits	Access	Name	Description
[31:20]	RW	reserved	保留。
[19:16]	RW	twlo	DDR3 WriteLevel 状态延迟参数。 0x0～0x1：1 个时钟周期； 0x2～0xF：n 个时钟周期。 该参数等同于 DDR3 协议中的 twlo+twloe 之和。
[15:14]	RW	reserved	保留。
[13:8]	RW	twldqsen	DDR3 WriteLevel 启动延迟参数。 0x0～0x1：1 个时钟周期； 0x2～0x3F：n 个时钟周期。
[7:6]	RW	reserved	保留。
[5:0]	RW	twlmrd	DDR3 WriteLevel 首个 DQS 有效延迟参数。 0x0～0x1：1 个时钟周期； 0x2～0x3F：n 个时钟周期。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

DDRC_DTRADDR

DDRC_DTRADDR 为 DDRC 门控训练地址配置寄存器。

Offset Address	Register Name	Total Reset Value
0x0A0	DDRC_DTRADDR	0x0000_0000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	train_row				train_bank	train_col		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[31:16]	RW	train_row	门控位置训练，使用的 DDRn SDRAM 的行地址。行地址不足 16 位时，高位补 0。
[15:13]	RW	train_bank	门控位置训练，使用的 DDRn SDRAM 的 BANK 地址。BANK 地址不足 3 位时，高位补 0。
[12:0]	RW	train_col	门控位置训练，使用的 DDRn SDRAM 的列地址。列地址不足 13 位时，高位补 0。

DDRC_DTRDATA0

DDRC_DTRDATA0 为 DDRC 门控训练数据配置寄存器 0。

Offset Address	Register Name	Total Reset Value
0x0A4	DDRC_DTRDATA0	0xE11E_D22D

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	dtr_byte3		dtr_byte2		dtr_byte1		dtr_byte0	
Reset	1 1 1 0	0 0 0 1	0 0 0 1	1 1 1 0	1 1 0 1	0 0 1 0	0 0 1 0	1 1 0 1

Bits	Access	Name	Description
[31:24]	RW	dtr_byte3	控制器门控训练数据配置 0。 控制器进行训练时，要求每次读操作或写操作都是按照 DDR BL8 进行传输。 **注意：每个 byte 配置的数据，高 4 位和低 4 位需要为不同值。**
[23:16]	RW	dtr_byte2	控制器门控训练数据配置。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

[15:8]	RW	dtr_byte1	控制器门控训练数据配置。
[7:0]	RW	dtr_byte0	控制器门控训练数据配置。

DDRC_DTRDATA1

DDRC_DTRDATA1 为 DDRC 门控训练数据配置寄存器 1。

Offset Address	Register Name	Total Reset Value
0x0A8	DDRC_DTRDATA1	0xC33C_B44B

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	dtr_byte7								dtr_byte6								dtr_byte5								dtr_byte4							
Reset	1	1	0	0	0	0	1	1	0	0	1	1	1	1	0	0	1	0	1	1	0	1	0	0	0	1	0	0	1	0	1	1

Bits	Access	Name	Description
[31:24]	RW	dtr_byte7	控制器门控训练数据配置 1。 控制器进行训练时，要求每次读操作或写操作都是按照 DDR BL8 进行传输。 **注意：每个 byte 配置的数据，高 4 位和低 4 位需要为不同值。**
[23:16]	RW	dtr_byte6	控制器门控训练数据配置。
[15:8]	RW	dtr_byte5	控制器门控训练数据配置。
[7:0]	RW	dtr_byte4	控制器门控训练数据配置。

DDRC_DTRCTRL

DDRC_DTRCTRL 为 DDRC 门控训练控制寄存器。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x0AC	DDRC_DTRCTRL	0x0000_0400

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	dt_byte								reserved				train_start_pos				reserved		train_rank		rensel			train_mode	reserved		dt_limit		reserved		track_en		train_en	reserved
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:24]	RW	dt_byte	字节训练使能。 0：禁止字节训练； 1：使能字节训练。 bit[31]～bit[24]：依次对应 DDRC Byte7～DDRC Byte0 训练使能。
[23:20]	RW	reserved	保留。
[19:16]	RW	train_start_pos	门控训练起始位置。 0x0～0x5：n 个时钟周期。 其它：保留。
[15:14]	RW	reserved	保留。
[13:12]	RW	train_rank	门控训练的 rank 数。 0x0～0x3：n+1 个 rank。 **注意：Hi3521 只有 1 个 rank，只能配置为 0。**
[11:9]	RW	rensel	读使能延迟周期。 000～011：n 个时钟周期。 其它：保留。
[8]	RW	train_mode	门控训练方式选择。 0：Dolphin 训练方式； 1：普通训练方式。
[7:6]	RW	reserved	保留。
[5:4]	RW	dt_limit	DQS 门控位置偏移控制。 00：偏移 0 度； 01：偏移 90 度； 10：偏移 180 度； 11：偏移 270 度。
[3]	RW	reserved	保留。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

[2]	RW	track_en	门控位置自动更新使能。 0：禁止； 1：使能 **注意：两次 train 操作之间必须有一组读操作，连续访问长度大于 DDRBURST8。**
[1]	RW	train_en	门控位置训练使能。 0：禁止； 1：使能；
[0]	RW	reserved	保留。

DDRC_DTRPRD

DDRC_DTRPRD 为 DDRC 门控跟踪周期配置寄存器。

Offset Address	Register Name	Total Reset Value
0x0B0	DDRC_DTRPRD	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved												track_prd																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:20]	RO	reserved	保留。
[19:0]	RW	track_prd	DQS 门控自动更新周期配置。在设置的周期内，DDRC 完成门控位置的跟踪。 0x0：1 个 AREF 周期； 0x1～0x7FF：（n+1）个 AREF 周期完成门控位置的跟踪。

DDRC_DTRGATE

DDRC_DTRGATE 为 DDRC 门控相位位置寄存器。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x0B4	DDRC_DTRGATE	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																gate_sel															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:16]	RO	reserved	保留。 **注意：该寄存器不能连续读。**
[15:0]	RW	gate_sel	控制器门控相位为位置。 00：0 度； 01：90 度； 10：180 度； 11：270 度。 [2x(N+1)-1:2xN]：DDRC ByteN 门控相位； N=（0,1,…,7）。

DDRC_DTRLAT

DDRC_DTRLAT 为 DDRC 门控周期位置寄存器。

Offset Address	Register Name	Total Reset Value
0x0C4+0x4*rnks rnks(0～0)	DDRC_DTRLAT	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	sys_lat																															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:0]	RW	sys_lat	控制器门控延迟周期数。 0x0～0x5：n 个时钟周期； 其它：保留。 [4x(N+1)-1:4xN]： DDRC ByteN 门控相位； N=（0,1,…,7）。 **注意：该寄存器不能连续写或读。**

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

DDRC_DTRSTATUS

DDRC_DTRSTATUS 为 DDRC 门控状态寄存器。

Offset Address	Register Name	Total Reset Value
0x0D4+0x4 x rnks rnks(0～0)	DDRC_DTRSTATUS	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	dtr_st																dtr_ok								dtr_err							
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:16]	RO	dtr_st	字节门控位置偏移相位状态。 00：偏移 0 度； 01：偏移 90 度； 10：偏移 180 度； 11：偏移 270 度。 bit[31:30]～bit[17:16]：每 2bit 依次对应 DDRC Byte7～DDRC Byte0。
[15:8]	RO	dtr_ok	门控训练正确状态。 0：训练错误； 1：训练正确。 bit[15]～bit[8]：每 bit 依次对应 DDRC Byte7～DDRC Byte0。
[7:0]	RO	dtr_err	门控位置自动跟踪出错状态。 0：跟踪正确； 1：跟踪出错。 bit[7]～bit[0]：每 bit 依次对应 DDRC Byte7～DDRC Byte0。

DDRC_AXISTATUS

DDRC_AXISTATUS 为 DDRC 接口状态寄存器。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x0F0	DDRC_AXISTATUS	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																								axi_st7	axi_st6	axi_st5	axi_st4	axi_st3	axi_st2	axi_st1	axi_st0
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:8]	RO	reserved	保留。
[7]	RO	axi_st7	控制器总线接口 7 状态。 0：空闲； 1：有命令执行。
[6]	RO	axi_st6	控制器总线接口 6 状态。 0：空闲； 1：有命令执行。
[5]	RO	axi_st5	控制器总线接口 5 状态。 0：空闲； 1：有命令执行。
[4]	RO	axi_st4	控制器总线接口 4 状态。 0：空闲； 1：有命令执行。
[3]	RO	axi_st3	控制器总线接口 3 状态。 0：空闲； 1：有命令执行。
[2]	RO	axi_st2	控制器总线接口 2 状态。 0：空闲； 1：有命令执行。
[1]	RO	axi_st1	控制器总线接口 1 状态。 0：空闲； 1：有命令执行。
[0]	RO	axi_st0	控制器总线接口 0 状态。 0：空闲； 1：有命令执行。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

DDRC_ODTCFG

DDRC_ODTCFG 为 DDR 的 ODT 特性配置寄存器。

Offset Address	Register Name	Total Reset Value
0x0F4	DDRC_ODTCFG	0x0000_0000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved				rodt0	reserved		wodt0
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[31:17]	RW	reserved	保留。必须配置为 0
[16]	RW	rodt0	Rank0 读 ODT 配置。 0：禁止读 ODT； 1：使能读 ODT。
[15:1]	RW	reserved	保留。必须配置为 0
[0]	RW	wodt0	Rank0 写 ODT 配置。 0：禁止写 ODT； 1：使能写 ODT。

DDRC_QOSCFG0

DDRC_QOSCFG0 为 DDRC 的 QoS 算法配置寄存器 0。

Offset Address	Register Name	Total Reset Value
0x100	DDRC_QOSCFG0	0x0000_000F

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6	5	4	3 2 1 0
Name	reserved						idmap_mo	id_order_ctrl	order_en	dmc_fifo_lvl
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0	0	0	1 1 1 1

Bits	Access	Name	Description
[31:7]	RW	reserved	保留。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

[6]	RW	idmap_mode	ID 映射模式： 0：采用寄存器配置的 id_map 的映射方式（默认）； 1：采用 AXI 接口随读写命令随路配置 Qos 映射模式（RTL 代码中打开了此模式的宏定义才能有效）。 **必须配置为 1，即采用随路配置 Qos 映射模式。**
[5]	RW	id_order_ctl	指定 ID 的乱序执行使能。 0：禁止； 1：使能。控制器不保证指定 ID 的读写命令与其它 ID 的命令发生地址（DDR 行地址）冲突时的先后顺序。数据一致性由 Master 保证。
[4]	RW	order_en	同优先级命令顺序执行使能。 0：禁止； 1：使能。
[3:0]	RW	dmc_fifo_lvl	DMC 中，命令寄存器 FIFO 的深度。 0x0～0xF：n+1 个命令深度。 **注意：Hi3521 最大配置为 0xB，建议配置为 0xB。**

DDRC_QOS

DDRC_QOS 是 DDRC 的命令优先级配置寄存器。

Offset Address	Register Name	Total Reset Value
0x150+0x4 x id0 id0(0～15)	DDRC_QOS	0x0000_0004

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved	rd_pri_apt	rd_age_prd	reserved	rd_qos_en	reserved	rd_qos	reserved	rd_pri
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 1 0 0

Bits	Access	Name	Description
[31:28]	RW	reserved	保留。
[27:24]	RW	pri_apt	命令优先级自适应配置。 0x0：禁止优先级自适应功能； 0x1～0xF：Nx16 个时钟周期。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

[23:20]	RW	age_prd	命令老化时间配置。 0x0：禁止 Aging 功能； 0x1～0xF：Nx16 个时钟周期。
[19:17]	RW	reserved	保留。
[16]	RW	qos_en	命令 QOS 使能（timeout）。 0：禁止； 1：使能。
[15:14]	RW	reserved	保留。
[13:4]	RW	qos	命令 QoS 配置（timeout）。 0x1～0x3FF：n 个时钟周期； 其它：保留。 **注意：实际使用的 timeout 值是 16 的整数倍，会忽略 rd_qos 的低 4 位。**
[3]	RW	reserved	保留。
[2:0]	RW	pri	命令先级配置。 000：最高优先级； 001：次高优先级； …… 111：最低优先级。

DDRC_FLUX

DDRC_FLUX 为 DDRC AXI 端口带宽流量控制配置寄存器。

Offset Address	Register Name	Total Reset Value
0x200+0x4 x ports ports(0～5)	DDRC_FLUX	0x0000_0000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved		flux_port_en, flux_ovfl	reserved	flux_lvl	reserved	flux	
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[31:22]	RW	reserved	保留。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

[21]	RW	flux_port_en	AXI 接口 DDRC 流量统计使能。 0：禁止流量控制功能； 1：使能流量控制。
[20]	RW	flux_ovfl	AXI 接口流量溢出允许使能。 0：禁止； 1：使能。 配置为 1 时，在 AXI 端口流量超过带宽限制，且不存在无流量溢出的 AXI 端口，有命令请求时，允许此 AXI port 的带宽超过配置流量。
[19:17]	RW	reserved	保留。
[16:12]	RW	flux_lvl	AXI 接口流量溢出允许水线。 0x0～0x10：允许流量溢出的 DMC 水线深度。 其它：保留。 当 AXI 端口的流量超过 flux 的配置带宽时，在 flux_ovfl=1 的条件下，DMC 中的待处理命令个数小于此配置水线时，才允许发送。否则不给予仲裁。
[11:10]	RW	reserved	保留。
[9:0]	RW	flux	AXI 接口的允许带宽配置。 0x0～0x3FF：AXI 接口的允许访问的最大 DDR 带宽占总带宽的比例。总带宽为 1024，配置值为占总带宽的比例。

DDRC_TEST0

DDRC_TEST0 为 DDRC 的测试状态寄存器。

Offset Address	Register Name	Total Reset Value
0x240	DDRC_TEST0	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	dmc_ct																dmc_cv															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:16]	RO	dmc_ct	控制器命令类型。
[15:0]	RO	dmc_cv	控制器正在处理的命令。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

DDRC_TEST1

DDRC_TEST1 为 DDRC 的测试状态寄存器。

Offset Address	Register Name	Total Reset Value
0x244	DDRC_TEST1	0x0000_0000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved						dt_num	reserved / byte_sel
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[31:9]	RO	reserved	保留。
[8:4]	RW	dt_num	选择第 n 个 Cycle，训练模块读回的数据（n = 0～23）。
[3]	RW	reserved	保留。
[2:0]	RW	byte_sel	返回数据的通道选择。 0x0～0x7：通道 n 选择。

DDRC_TEST2

DDRC_TEST2 为 DDRC 的测试状态寄存器。

Offset Address	Register Name	Total Reset Value
0x248	DDRC_TEST2	0x0000_0000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	data_h							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[31:0]	RO	data_h	训练数据高 32bit。

DDRC_TEST3

DDRC_TEST3 为 DDRC 的测试状态寄存器。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x24C	DDRC_TEST3	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	data_l																															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:0]	RO	data_l	训练数据低 32bit。

DDRC_TEST4

DDRC_TEST4 为是 DDRC 的测试状态寄存器。

Offset Address	Register Name	Total Reset Value
0x250	DDRC_TEST4	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	dt_ok_cnt																															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:0]	RO	dt_ok_cnt	训练数据正确次数。 0x0～0xF：n+1 次。 [3x(N+1)-1:3xN]：ByteN 的正确次数。

DDRC_TEST7

DDRC_TEST7 为 DDRC 性能统计控制寄存器。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x260	DDRC_TEST7	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	perf_mode	perf_en	perf_ch		perf_prd																											
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31]	RW	perf_mode	性能统计模式。 0：连续触发模式。性能统计相关计数器连续计数。可保证在连续统计模式下，1s 内统计不溢出（533MHz）。 1：单次触发模式。性能统计时间计满 perf_prd 后，统计结果保持，并停止统计。 **注意：当统计值溢出后，会 WRAP 绕回。**
[30]	RW	perf_en	性能统计使能。 0：禁止； 1：使能。 **注意：在 perf_mode=0 时，此位使能表示性能统计寄存器将开始循环计数。在 perf_mode=1 时，完成一次统计之后，该位自动清零。**
[29:28]	RW	perf_ch	读写命令统计通道。 00：禁止； 01：通道 0； 10：通道 1； 11：所有通道。 **注意：此寄存器限制的 DDRC_TEST8 和 DDRC_TEST9 的读写命令统计的通道数。**
[27:0]	RW	perf_prd	性能统计周期。 0x0～0xFFF_FFFF：统计周期。 实际统计周期为 perf_prd x 4 x tclk（Tclk 为 DDRC 总线时钟周期）。 **注意：此配置只在 perf_mode=1 时有效。当 perf_mode=0 的连续统计模式下，性能统计相关计数器会一直计数。**

DDRC_TEST8

DDRC_TEST8 为 DDRC 写命令统计寄存器。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x264	DDRC_TEST8	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	wr_num																															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:0]	RWC	wr_num	统计时限内，写命令个数。此寄存器写清零。 支持 Wrap 循环计数。

DDRC_TEST9

DDRC_TEST9 为 DDRC 读命令统计寄存器。

Offset Address	Register Name	Total Reset Value
0x268	DDRC_TEST9	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	rd_num																															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:0]	RWC	rd_num	统计时限内，读命令个数。此寄存器写清零。 支持 Wrap 循环计数。

DDRC_TEST10

DDRC_TEST10 为 DDRC DMC 命令等待个数统计寄存器。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x26C	DDRC_TEST10	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	dmc_cmd_num																															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:0]	RWC	dmc_cmd_num	统计时限内，DDRC 中 DMC 命令等待个数统计。此寄存器写清零。 支持 Wrap 循环计数。 **注意：受限于寄存器位宽限制，为了保证在 533MHz 下，1s 内不溢出。此寄存器的显示的统计结果为真实统计结果除以 2 后的计数值。**

DDRC_TEST12

DDRC_TEST12 为 DDRC 的测试状态寄存器。

Offset Address	Register Name	Total Reset Value
0x280	DDRC_TEST12	0x0000_0FFF

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	wfifo_f																wfifo_e															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1	1	1	1	1

Bits	Access	Name	Description
[31:16]	RO	wfifo_f	写 FIFO 满状态。
[15:0]	RO	wfifo_e	写 FIFO 空状态。 **注意：Hi3521 中，只有 12bit 复位值为 0xFFF。**

DDRC_PHYCFG

DDRC_PHYCFG 为 DDRPHY 配置寄存器。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x400	DDRC_PHYCFG	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																								ref_e	reserved			comp	comp_en	bl	bl_en
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:8]	RO	reserved	保留。
[7]	RW	ref_e	DDRPHYIO 配置使能。 0：外部输入控制； 1：内部电阻控制。
[6:4]	R0	reserved	保留。
[3]	RW	comp	DDRPHY 门控选择。 0：DDRC 输出门控值； 1：DDRPHY 自身门控值。
[2]	RW	comp_en	DDRPHY 门控训练使能。 0：禁止； 1：使能。
[1]	RW	bl	DDRPHY 的 burst 配置。 0：BL4； 1：BL8。
[0]	RW	bl_en	DDRPHY 的 burst 配置使能。 0：禁止，使用可变的 Burst Length。 1：使能。

DDRC_PHYNEG

DDRC_PHYNEG 为 DDRPHY 门控相位位置。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x410	DDRC_PHYNEG	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																								neg_mod							
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:8]	RO	reserved	保留。 **注意：该寄存器不能连续读。**
[7:0]	RW	neg_mod	DDRPHY 门控相位选择（Dolphin 模式）。 00：0 度相移； 01：90 度相移； 10：180 度相移； 11：270 度相移。 [2x(N+1)-1:2xN]： 数据通道 N 的相位位置。 N = 0，1，2，3。

DDRC_PHYSEL

DDRC_PHYSEL 为 DDRPHY 门控周期位置。

Offset Address	Register Name	Total Reset Value
0x420+0x4*rnks rnks(0～0)	DDRC_PHYSEL	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																								sel_mod							
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:8]	RO	reserved	保留。 **注意：该寄存器不能连续读。**
[7:0]	RW	sel_mod	DDRPHY 门控延迟选择（Dolphin 模式）。 00～11： n 个时钟周期。 [2x(N+1)-1:2xN]： 数据通道 N 的相位位置。 N = 0，1，2，3。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

DDRC_CDLLCFG

DDRC_CDLLCFG 为 DDRPHY 的命令通道 DLL 配置寄存器。

Offset Address	Register Name	Total Reset Value
0x430	DDRC_CDLLCFG	0x0000_0053

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved		unfl	ovfl	reserved				bypctl				reserved	bypfc			reserved				limit								byp	dll_updt_en	dll_en	dll_reset
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1	0	0	1	1

Bits	Access	Name	Description
[31:30]	RO	reserved	保留。
[29]	RO	unfl	DLL 下溢出状态。 0：未溢出； 1：溢出。
[28]	RO	ovfl	DLL 上溢出状态。 0：未溢出； 1：溢出。
[27:25]	RW	reserved	保留。
[24:20]	RW	bypctl	DLL 旁路时，DLL 的 ctlout 值。
[19]	RW	reserved	保留。
[18:16]	RW	bypfc	DLL 旁路时，DLL 的 fcout 值。
[15:11]	RW	reserved	保留。
[10:4]	RW	limit	DLL 锁定带宽。
[3]	RW	byp	DLL 旁路使能。 0：禁止； 1：使能。
[2]	RW	dll_updt_en	DLL 更新使能。 0：禁止； 1：使能。
[1]	RW	dll_en	DLL 使能。 0：禁止； 1：使能。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

[0]	RW	dll_reset	DLL 复位。 0：复位； 1：撤消复位。

DDRC_QDLLCFG

DDRC_QDLLCFG 为 DDRPHY 数据通道 DLL 配置寄存器。

Offset Address	Register Name	Total Reset Value
0x440+0x4 x blanes blanes(0～3)	DDRC_QDLLCFG	0x0000_0053

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved		unfl_mod	ovfl_mod	reserved				bypctl_mod				reserved		bypfc_mod		reserved				limit_mod								byp_mod	dll_updt_en_mod	dll_en_mod	dll_reset_mod
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1	0	0	1	1

Bits	Access	Name	Description
[31:30]	RO	reserved	保留。
[29]	RO	unfl_mod	DLL 下溢出状态。 0：未溢出； 1：溢出。
[28]	RO	ovfl_mod	DLL 上溢出状态。 0：未溢出； 1：溢出。
[27:25]	RW	reserved	保留。
[24:20]	RW	bypctl_mod	DLL 旁路时，DLL 的 ctlout 值。
[19]	RW	reserved	保留。
[18:16]	RW	bypfc_mod	DLL 旁路时，DLL 的 fcout 值。
[15:11]	RW	reserved	保留。
[10:4]	RW	limit_mod	DLL 锁定带宽。
[3]	RW	byp_mod	DLL 旁路使能。 0：禁止； 1：使能。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

[2]	RW	dll_updt_en_mod	DLL 更新使能。 0：禁止； 1：使能。
[1]	RW	dll_en_mod	DLL 使能。 0：禁止； 1：使能。
[0]	RW	dll_reset_mod	DLL 复位。 0：复位； 1：撤消复位。

DDRC_LVLSKEW

DDRC_LVLSKEW 为 DDRPHY 数据线相位微调控制寄存器。

Offset Address	Register Name	Total Reset Value
0x470	DDRC_LVLSKEW	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved												dm_skew				reserved												dqs_skew			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:20]	RO	reserved	保留。
[19:16]	RW	dm_skew	写数据屏蔽信号延迟微调使能。 0：禁止； 1：使能。
[15:4]	RW	reserved	保留。
[3:0]	RW	dqs_skew	数据线微调使能。 0：禁止； 1：使能。

DDRC_LVLCTRL

DDRC_LVLCTRL 为 DDRPHY Write Level 控制寄存器。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x474	DDRC_LVLCTRL	0x0000_0000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved							wrlvl_allow
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[31:4]	RO	reserved	保留。
[3:0]	RW	wrlvl_allow	WriteLevel 操作启动。 0：禁止； 1：使能。 bit[N]：表示 ByteN 的使能。N=0，1，2，3。

DDRC_LVLSTR

DDRC_LVLSTR 为 DDRPHY WriteLevel 的 DQS 控制寄存器。

Offset Address	Register Name	Total Reset Value
0x478	DDRC_LVLSTR	0x0000_0000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved							wrlvl_strobe
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[31:4]	RO	reserved	保留。
[3:0]	RW	wrlvl_strobe	WriteLevel 单周期使能操作。 0：空闲； 1：写 1 使能。 bit[N]：表示 ByteN 的使能。N=0，1，2，3。

DDRC_LVLODT

DDRC_LVLODT 为 DDRPHY WriteLevel 的 ODT 控制寄存器。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x47C	DDRC_LVLODT	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																															wrlvl_odt
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:1]	RO	reserved	保留。
[0]	RW	wrlvl_odt	WriteLevel 模式下 ODT 控制。 0：不使能； 1：使能。

DDRC_LVLCTL

DDRC_LVLCTL 为 DDRPHY WriteLevel 配置寄存器 0。

Offset Address	Register Name	Total Reset Value
0x480+0x4 x blanes blanes(0～3)	DDRC_LVLCTL	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	clkinv	lvlctl_mod																														
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31]	RW	clkinv	leveling 相位选择。 0：0 相位； 1：180 度相位。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

[30:0]	RW	lvlctl_mod	WriteLevel 模式，DQS 的粗调值。 0x0000_0000：0 个延迟单元； 0x0000_0001：1 个延迟单元； 0x0000_0003：2 个延迟单元； 0x0000_0007：3 个延迟单元； …… 0x7FFF_FFFF：31 个延迟单元。 **注意：该寄存器的访问受控于 DDRC_CONFIG1[wrlvl_en]。在 wrlvl_en 不使能的情况下，才可以访问。**

DDRC_LVLFC

DDRC_LVLFC 为 DDRPHY WriteLevel 配置寄存器 1。

Offset Address	Register Name	Total Reset Value
0x4B0+0x4 x blanes blanes(0～3)	DDRC_LVLFC	0x0000_0000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved							lvlfc_mod
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[31:7]	RO	reserved	保留。
[6:0]	RW	lvlfc_mod	WriteLevel 模式，DQS 的细调值。 **注意：通常不对该寄存器进行配置。**

DDRC_LVLRSP

DDRC_LVLRSP 为 DDRPHY 的 WriteLevel 响应寄存器。

Offset Address	Register Name	Total Reset Value
0x4E0	DDRC_LVLRSP	0x0000_0000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved							lvlrsp_mod
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[31:4]	RO	reserved	保留。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

[3:0]	RO	lvlrsp_mod	WriteLevel 模式，返回响应。 0：ERROR； 1：OK。

DDRC_LVLST

DDRC_LVLST 为 DDRPHY Write Level 状态寄存器。

Offset Address	Register Name	Total Reset Value
0x4E4	DDRC_LVLST	0x0000_0000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved							lvl_ok
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[31:4]	RO	reserved	保留。
[3:0]	RO	lvl_ok	WriteLevel 状态。 0：完成初始化之后，表示失败； 1：成功。

DDRC_PHYSRST

DDRC_PHYSRST 为 DDRPHY 软复位控制信号。

Offset Address	Register Name	Total Reset Value
0x4F0	DDRC_PHYSRST	0x0000_0001

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved							ddrphy_srst
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 1

Bits	Access	Name	Description
[31:1]	RW	reserved	保留。
[0]	RW	ddrphy_srst	DDRPHY 复位控制。 0：复位； 1：撤消复位。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

DDRC_WRDQS_SKEW

DDRC_WRDQS_SKEW 为 DDRPHY 写 DQS 微调寄存器。

Offset Address	Register Name	Total Reset Value
0x500	DDRC_WRDQS_SKEW	0x0000_0000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved					wrdqs_skew		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[31:12]	RW	reserved	保留。
[11:0]	RW	wrdqs_skew	DDR 写 DQS 延迟微调。 0x0～0x7：延时单元个数。 [3x(N+1)-1:3xN]：写 DQS 延时配置。 N=0，1，2，3。 N 表示对应的 BytelaneN 的写 DQS。

DDRC_RDDQS_SKEW

DDRC_RDDQS_SKEW 为 DDRPHY 读 DQS 微调寄存器。

Offset Address	Register Name	Total Reset Value
0x504	DDRC_RDDQS_SKEW	0x0000_0000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved					rddqs_skew		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[31:12]	RW	reserved	保留。
[11:0]	RW	rddqs_skew	DDR 读 DQS 延迟微调。 0x0～0x7：延时单元个数。 [3x(N+1)-1:3xN]：读 DQS 延时配置。 N=0，1，2，3。 N 表示对应的 BytelaneN 的读 DQS。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

DDRC_WRDMSKEW

DDRC_WRDMSKEW 为写屏蔽微调配置寄存器。

Offset Address	Register Name	Total Reset Value
0x508	DDRC_WRDMSKEW	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																				dm_wr_skew											
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:12]	RO	reserved	保留。
[11:0]	RW	dm_wr_skew	写数据屏蔽信号延迟微调。 0x0～0x7：延时单元个数。 [3x(N+1)-1:3xN]：DM 延时配置。 N=0，1，2，3。 N 表示对应的 BytelaneN 的 DM。

DDRC_WRDQSKEW

DDRC_WRDQSKEW 为 DDRPHY 写数据延迟微调寄存器。

Offset Address	Register Name	Total Reset Value
0x510+0x4 x blanes blanes(0～3)	DDRC_WRDQSKEW	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	dq_skew_wr_mod								dq_skew_wrsel_mod																							
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:24]	RW	dq_skew_wr_mod	DDR 写数据延迟微调使能。 0：禁止； 1：使能。 bit[31]～bit[24]：依次对应 DQ7～DQ0 写数据延迟微调控制。
[23:0]	RW	dq_skew_wrsel_mod	写数据延迟微调。 0x0～0x7：延迟单元个数。 [3x(N+1)-1:3xN]：DQ 写数据延迟配置。 N=0，1，……，7。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

DDRC_RDDQSKEW

DDRC_RDDQSKEW 为 DDRPHY 读数据延迟微调寄存器。

Offset Address	Register Name	Total Reset Value
0x540+0x4 x blanes blanes(0～3)	DDRC_RDDQSKEW	0x0000_0000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	dq_skew_rd_mod		dq_skew_rdsel_mod					
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[31:24]	RW	dq_skew_rd_mod	DDR 读数据延迟微调使能。 0：禁止； 1：使能。 bit[31]～bit[24]：依次对应 DQ7～DQ0 读数据延迟微调控制。
[23:0]	RW	dq_skew_rdsel_mod	读数据延迟微调。 0x0～0x7：延迟单元个数。 [3x(N+1)-1:3xN]：DQN 读数据延迟配置。 N=0，1，……，7。

DDRC_IOCFG

DDRC_IOCFG 为 DDRPHY 的 IO 配置寄存器。

Offset Address	Register Name	Total Reset Value
0x570	DDRC_IOCFG	0x0000_0007

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11	10 9 8	7	6	5 4	3	2 1 0
Name	reserved					lpddr_en	odis_clk	fena_rcv	ddr3	rtt	reserved	sl
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0	0 0 0	0	0	0 0	0	1 1 1

Bits	Access	Name	Description
[31:12]	RO	reserved	保留。
[11]	RW	lpddr_en	DDR 读 DQS 单端接收模式使能。 0：禁止。采用差分 DQS 模式； 1：使能。采用单端 DQS 模式。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

[10:8]	RW	odis_clk	输出时钟使能信号。odis_clk[n]，n 取 0～2，代表 DDR_CLKP/N[n]，odis_clk[0]对应 bit[8]，odis_clk[1]对应 bit[9]，odis_clk[2]对应 bit[10]。 0：对应 DDR_CLKP/N 的输出时钟使能； 1：对应 DDR_CLKP/N 的输出时钟禁止。
[7]	RW	fena_rcv	强制接收使能。 0：禁止； 1：使能。
[6]	RW	ddr3	模式选择。 0：DDR2 模式； 1：DDR3 模式。
[5:4]	RW	rtt	匹配电阻阻值。（ren75,ren150) 00：禁止； 01：外部电阻阻值/2； 1X：外部电阻阻值/4。
[3]	RO	reserved	保留。
[2:0]	RW	sl	信号斜率控制。 000：最慢； …… 111：最快。

DDRC_IOCMP

DDRC_IOCMP 为 DDRPHY 的 IO 补偿配置寄存器。

Offset Address	Register Name	Total Reset Value
0x580	DDRC_IOCMP	0x0000_0005

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved															rtt_byp_en	rtt_byp				drv_byp_n				drv_byp_p				drv_byp_en		update_en		mvg_en		comp_e	
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1

Bits	Access	Name	Description
[31:17]	RO	reserved	保留。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

[16]	RW	rtt_byp_en	匹配电阻补偿电路旁路使能。 0：不使能； 1：使能。
[15:12]	RW	rtt_byp	旁路模式下，电阻配置值。
[11:8]	RW	drv_byp_n	旁路模式下，下拉电阻配置值。
[7:4]	RW	drv_byp_p	旁路模式下，上拉电阻配置值。
[3]	RW	drv_byp_en	旁路使能。 0：不使能； 1：使能。
[2]	RW	update_en	补偿更新使能。 0：不使能； 1：使能。
[1]	RW	mvg_en	取平均值使能。 0：不使能； 1：使能。
[0]	RW	comp_e	驱动和接收使能。 0：不使能； 1：使能。

DDRC_CMPSTATUS0

DDRC_CMPSTATUS0 为 DDRPHY IO 补偿状态寄存器 0。

Offset Address	Register Name	Total Reset Value
0x590	DDRC_CMPSTATUS0	0x0001_0001

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	pctl_core																nctl_core															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1

Bits	Access	Name	Description
[31:16]	RO	pctl_core	上拉补偿电阻值状态。
[15:0]	RO	nctl_core	下拉补偿电阻值状态。

DDRC_CMPSTATUS1

DDRC_CMPSTATUS1 为 DDRPHY IO 补偿状态寄存器 1。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x598	DDRC_CMPSTATUS1	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																				ctl_core											
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:14]	RO	reserved	保留。
[13:0]	RO	ctl_core	RTT 补偿电阻值状态。

4.2 NAND Flash 控制器

4.2.1 概述

NANDC（NAND Flash Controller）提供存储控制器接口连接片外 NAND Flash，从而完成数据的存取。

4.2.2 特点

NANDC 的主要特点如下：

- 提供 2KB（2048byte+320byte）片内缓存，提高读取速度。
- 支持 2 个片选信号和 2 个 ready/busy 信号，同时也支持 2 个 NAND Flash 器件共用 1 个 ready/busy 信号。
- 支持 8bit data-bus NAND Flash 接口。
- 支持 NAND Boot 功能，支持 2KB、4KB 和 8K page szie 的 NAND Flash 器件，支持从片选 0 对应的 NAND Flash 启动。
- 支持 ECC 校验使能和关闭，支持纠错使能和关闭。支持 1bit/512byte、4bit/512byte、24bit/1024byte 的校验纠错。
- 支持读写、擦除、编程完成；ECC 校验错误等中断上报。
- 支持不定长数据读写。
- 可以灵活配置控制器发出的命令，从而可以支持各种 NAND Flash 命令操作（包括 cache 读写等）。
- 支持读写 NAND Flash 过程可以被打断，以支持存储器共享总线出让。
- 支持交替操作 2 个 NAND Flash 器件，并行工作以提高效率。
- 支持对 NAND Flash 写保护功能，写保护地址空间可配置。
- 支持 lock 和 lock-down 两种模式。支持 Flashlock 使能/去使能、Flash 整体锁定使能/去使能，默认为 Flashlock 使能，Flash 整体锁定使能。凡是对锁定地址范围内的写操作，NANDC 均上报操作错误中断。
- 支持 EDO（Enhanced Data Out）增强数据输出模式的 NAND Flash 数据读取。

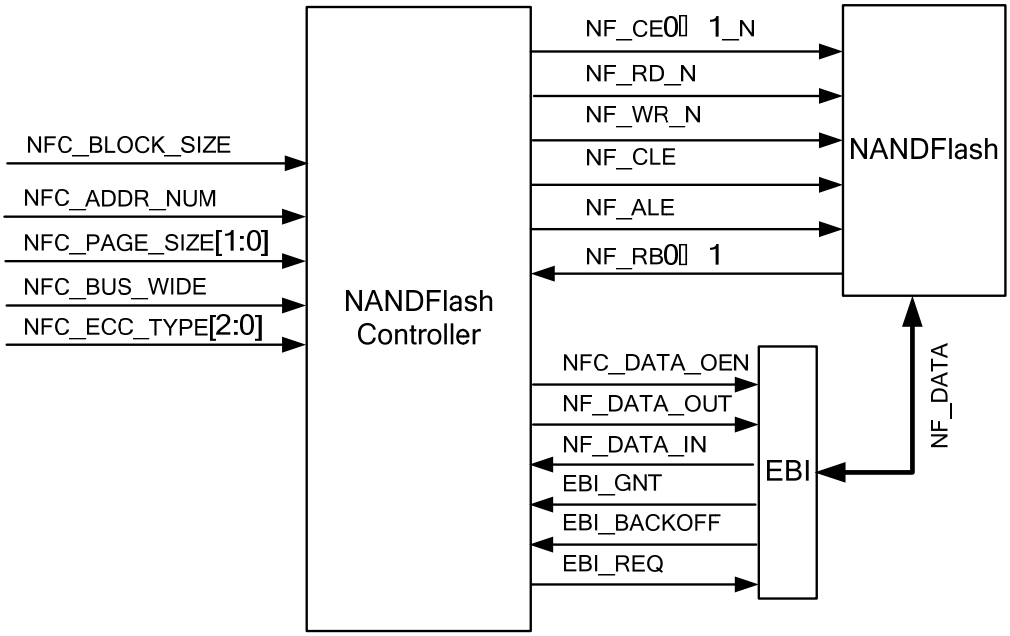
海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

4.2.3 功能描述

4.2.3.1 接口框图

芯片对外提供 2 个片选和 2 个 ready/busy 信号，方便与 NAND Flash 器件对接。如果只用 1 个 ready/busy 信号，应使用 NF_RB0。NANDC 接口框图如图 4-4 所示。

图4-4 NANDC 接口框图



4.2.3.2 功能原理

NAND Flash 器件的数据存储结构一般分为 block 和 page，每个 block 包括若干个 page。对 NAND Flash 写入数据前，必须先进行擦除操作，擦除以 block 为单位。然后以 page 为单位进行读写。

不同厂家提供的操作 NAND Flash 的命令会有所不同，应以厂家器件手册为准。

一次典型的读数据操作过程如下：

步骤 1. 向 NAND Flash 发读命令 0x00。

步骤 2. 发送读取的起始地址（由页内地址和页地址、block 地址共同组成，相关信息，请参见相关厂家 NAND Flash 器件手册）。

步骤 3. 发送读确认命令 0x30。此时，NAND Flash 器件会拉低 RB 信号，表示 NAND Flash 正在进行内部读操作。过一段时间后（一般约 25μs），RB 变高，此时代表 NAND Flash 已经准备好数据。

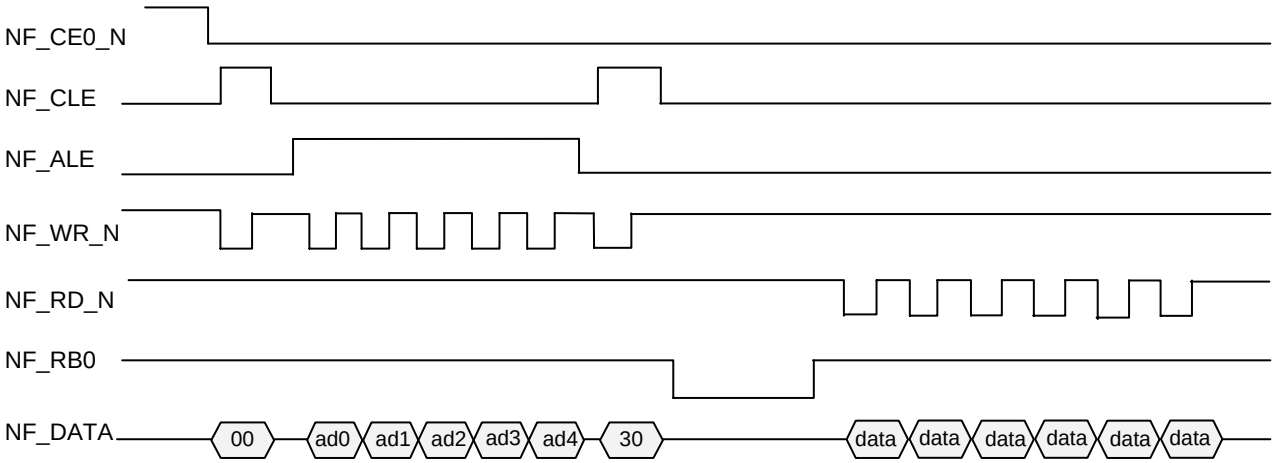
步骤 4. CPU 通过 NF_RD_N 信号，把数据从 NAND Flash 读出来。

----结束

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

NANDC 读 NAND Flash 一个 page 数据的典型时序如图 4-5 所示。

图4-5 读 NAND Flash 一个 page 数据的典型时序图



一次典型的编程（写数据）的操作如下：

步骤 1. 向 NAND Flash 发编程命令 0x80。

步骤 2. 发送写入数据的起始地址（由页内地址和页地址、block 地址共同组成，需参照对应的 NAND Flash 器件手册）。

步骤 3. 把数据写入 NAND Flash 的内部缓存。

步骤 4. CPU 再发送编程确认命令 0x10。此时，NAND Flash 器件会拉低 RB 信号，表示 NAND Flash 正在进行内部编程操作，维持一段时间后（一般约 200ms），RB 变高，此时，代表 NAND Flash 内部编程已经结束。

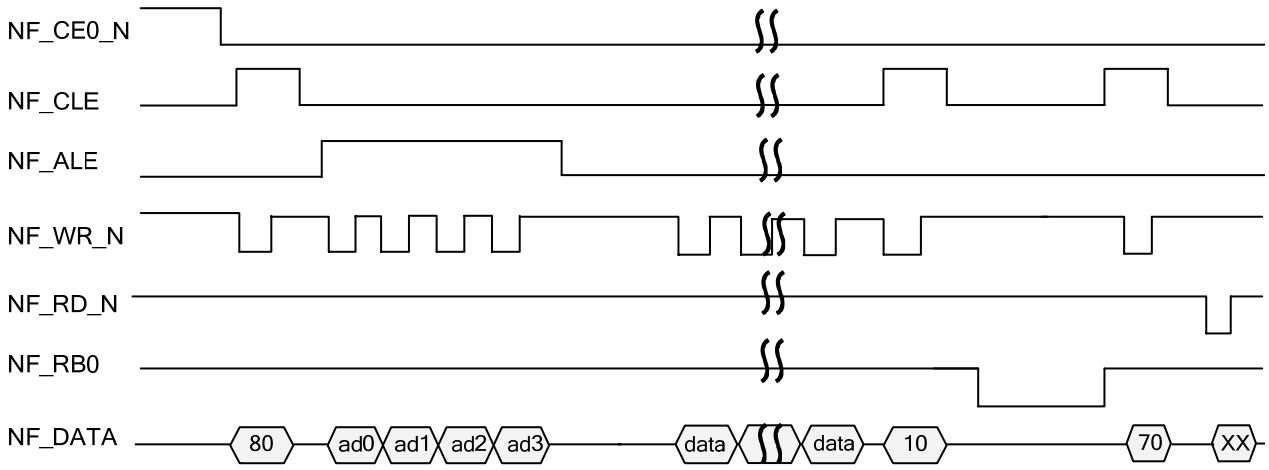
步骤 5. CPU 通过发送 0x70 读状态，读出本次编程是否成功的状态数据。

----结束

启动 NANDC 进行编程操作时的时序如图 4-6 所示。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

图4-6 启动 NANDC 进行编程操作时的时序图



4.2.4 工作方式

NAND FLASH 类型映射方式

芯片在启动时，需要通过分别对管脚 NF_BOOT_PIN0（与管脚 LCD_DV 复用）、NF_BOOT_PIN1（与管脚 SIO2_DOUT 复用）、NF_BOOT_PIN2（与管脚 SPI_CSN1 复用）、NF_BOOT_PIN3（与管脚 SPI_CSN2 复用）、NF_BOOT_PIN4（与管脚 SPI_CSN3 复用）的上下拉来选择 NAND FLASH 器件的类型。无论系统是否从 NAND FLASH 启动，都要将相应管脚进行正确的上下拉，否则系统不能正常启动。

管脚映射方式如表 4-10 所示。

表4-10 管脚映射方式

{NF_BOOT_PIN4, NF_BOOT_PIN3, NF_BOOT_PIN2, NF_BOOT_PIN1, NF_BOOT_PIN0}	page size	ecc_type	block_size	addr_num	bus_wide	备注
00000	保留	保留	保留	保留	保留	保留
00001	001	001	00	1	0	2KB page size 1bit ecc 64page/block 5 个地址
00010	保留	保留	保留	保留	保留	保留

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

{NF_BOOT_PIN4, NF_BOOT_PIN3, NF_BOOT_PIN2, NF_BOOT_PIN1, NF_BOOT_PIN0}	page size	ecc_type	block_size	addr_num	bus_wide	备注
00011	001	010	00	1	0	2KB page size 4bit ecc 64page/block 5 个地址
00100	保留	保留	保留	保留	保留	保留
00101	001	100	00	1	0	2KB page size 24bit ecc 64page/block 5 个地址
00110	001	001	00	0	0	2KB page size 1bit ecc 64page/block 4 个地址
00111	保留	保留	保留	保留	保留	保留
01000	010	010	01	1	0	4KB page size 4bit ecc 128page/block 4 个地址
01001	010	010	00	1	0	4KB page size 4bit ecc 64page/block 4 个地址
01010	001	010	00	0	0	2KB page size 4bit ecc 64page/block 4 个地址
01011	010	100	01	1	0	4KB page size 24bit ecc 128page/block 4 个地址
01100	保留	保留	保留	保留	保留	保留

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

{NF_BOOT_PIN4, NF_BOOT_PIN3, NF_BOOT_PIN2, NF_BOOT_PIN1, NF_BOOT_PIN0}	page size	ecc_type	block_size	addr_num	bus_wide	备注
01101	011	100	01	1	0	8KB page size 24bit ecc 128page/block 4 个地址
01110	保留	保留	保留	保留	保留	保留
01111	保留	保留	保留	保留	保留	保留
10000	011	100	00	1	0	8KB page size 24bit ecc 64page/block 4 个地址
10001	010	100	00	1	0	4KB page size 24bit ecc 64page/block 4 个地址
10010	保留	保留	保留	保留	保留	保留
10011	010	001	00	1	0	4KB page size 1bit ecc 64page/block 4 个地址
10100	保留	保留	保留	保留	保留	保留
10101	001	010	01	1	0	2KB page size 4bit ecc 128page/block 4 个地址
10110	保留	保留	保留	保留	保留	保留
10111	保留	保留	保留	保留	保留	保留
11000	保留	保留	保留	保留	保留	保留
11001	001	100	01	1	0	2KB page size 24bit ecc 128page/block 4 个地址

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

{NF_BOOT_PIN4, NF_BOOT_PIN3, NF_BOOT_PIN2, NF_BOOT_PIN1, NF_BOOT_PIN0}	page size	ecc_type	block_size	addr_num	bus_wide	备注
11010	保留	保留	保留	保留	保留	保留
11011	保留	保留	保留	保留	保留	保留
11100	保留	保留	保留	保留	保留	保留
11101	保留	保留	保留	保留	保留	保留
11110	保留	保留	保留	保留	保留	保留
11111	保留	保留	保留	保留	保留	保留

时钟门控

当不使用 NAND Flash 时，可以关断 NANDC 的工作时钟，步骤如下：

步骤 1. 读 NANDC 的 NFC_STATUS[nfc_ready]。

步骤 2. 如果 NFC_STATUS[nfc_ready]为 1，软件确认不再读写 NAND Flash，进入步骤 3；否则，返回步骤 1。

步骤 3. 向系统寄存器 PERI_CRG52[nfc_cken]写 0，关闭时钟。

----结束

软复位

写 NFC_OP 寄存器启动 NANDC 执行操作后，如果 NFC_STATUS[nfc_ready]变为 0 后，长时间不能变为 1（最大时间长度取决于 NAND Flash 器件，SLC Flash 器件一般小于 4ms、MLC 器件一般小于 11ms），说明 NANDC 出现异常，需要软复位。

通过向 PERI_CRG52[nfc_srst_req]写 1，可实现对 NANDC 的软复位。复位后各配置寄存器的值均复位为默认值，因此复位后需要重新对这些寄存器进行初始化配置。软复位后，为了保证 NAND Flash 的可靠工作，需要对其发出复位命令（如果 NAND Flash 支持复位操作）。

说明

NANDC 有一个锁定功能。当设置该功能有效后，只有硬件复位才能够取消该功能。

Boot 配置管脚

NANDC 支持 NAND Boot 功能，支持 2KB、4KB 和 8KB page size 的器件，只支持从片选 0 对应的 NAND Flash 启动。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

复位后 NANDC Boot 配置管脚的电平决定 Boot 模式。NANDC 在复位结束后，采样一次 Boot 配置管脚的电平值。之后，这些管脚的电平值不再影响 NANDC 的工作状态。Boot 相关的配置管脚如表 4-11 所示。

表4-11 Boot 相关的配置管脚

名称	I/O	描述
NFC_ADDR_NUM	I	Boot 时，NANDC 发给 NAND Flash 器件的地址数目。 0：4 个地址周期； 1：5 个地址周期。
NFC_PAGE_SIZE	I	Boot 时，NAND Flash 器件的 page 容量。 01：2KB； 10：4KB； 11：8KB； 其他：保留。
NFC_BUS_WIDE	I	Boot 时，NAND Flash 器件的总线宽度。 0：8bit； 1：16bit。
NFC_ECC_TYPE[2:0]	I	Boot 时，选择 ECC 模式。 000：不使能； 001：1bit 模式； 010：4bits 模式； 100：24bit 模式。 其他：保留。
NFC_BLOCK_SIZE	I	Boot 时，NAND Flash 器件的 block 的大小。 0：64 个 page； 1：128 个 page。

Boot 模式

NANDC 默认处于 Boot 模式，只能从片选 0 对应的 NAND Flash 进行 Boot 操作。

在 Boot 模式下：

- CPU 可以直接读取 1Mbyte 地址范围的数据。
- 支持自动识别坏块并跳过坏块。
- 从 NAND Flash Boot 时，根据 CPU 读取的地址，NANDC 会自动发出读取 NAND Flash 相应 page 的命令，并返回相应的数据。
- 不支持 CPU 写内部 buffer 的操作。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

- 需要根据外接 NAND Flash 器件的型号特点，对 Boot 配置管脚信号进行正确的设置。

NORMAL 模式

把寄存器 NFC_CON[op_mode]置 1，切换到 Normal 模式。该模式下，CPU 可以对 NAND Flash 进行擦除、编程、读等各种操作。向系统寄存器 PERI_CRG52[nfc_clk_sel]写 1，切换为快速的 ECC 纠错时钟。

NAND Flash 地址设置

NANDC 对地址不作翻译，直接把低位地址寄存器和高位地址寄存器的值按照命令配置寄存器设置的地址数目发送给 NAND Flash 器件。所以软件应把 CPU 的地址翻译为 NAND Flash 的地址，写到地址寄存器。对于各个 Flash 器件的地址设置要求，以 NAND Flash 器件的用户手册为准。

三星 K9F2G08U0M 容量为 256M x 8bit，page size 为 2KB 的器件的地址设置要求如表 4-12 所示。A0～A11 为页内地址（列地址），A12～A27 为页地址（行地址）。

表4-12 三星 K9F2G08U0M 的地址表

周期	IO0	IO1	IO2	IO3	IO4	IO5	IO6	IO7
1st cycle	A0	A1	A2	A3	A4	A5	A6	A7
2nd cycle	A8	A9	A10	A11	0	0	0	0
3rd cycle	A12	A13	A14	A15	A16	A17	A18	A19
4th cycle	A20	A21	A22	A23	A24	A25	A26	A27

三星 K9GAG08X0M，容量为 2G x 8bit，page size 为 4KB 的器件的地址设置要求如表 4-13 所示。A0～A12 为页内地址（列地址），A13～A31 为页地址（行地址）。

表4-13 三星 K9GAG08X0M 的地址表

周期	IO0	IO1	IO2	IO3	IO4	IO5	IO6	IO7
1st cycle	A0	A1	A2	A3	A4	A5	A6	A7
2nd cycle	A8	A9	A10	A11	A12	0	0	0
3rd cycle	A13	A14	A15	A16	A17	A18	A19	A20
4th cycle	A21	A22	A23	A24	A25	A26	A27	A28
5th cylce	A29	A30	A31	0	0	0	0	0

地址映射

在 Normal 模式下，NANDC 地址映射如下：

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

- NANDC 的内部 buffer 的基地址为 0x5000_0000。
- NANDC 的内部寄存器区的基地址为 0x1000_0000。

操作命令

NAND Flash 厂家的器件会提供的一些高级命令，NAND Flash 操作的一些基本的命令如表 4-14 所示。

表4-14 NAND Flash 常用命令表

功能	1st cycle	2nd cycle	备注
READ	00H	30H	-
PROGRAM	80H	10H	-
BLOCK ERASE	60H	D0H	-
READ ID	90H	-	-
READ STATUS	70H	-	-
RESET	FFH	-	-

数据存储结构

NANDC 内部 buffer 大小为（2048+320）byte。读写 NAND Flash 数据在 NANDC buffer 中的数据结构如下所述。

- 1bit ECC 模式
  - 2KB（2048＋64）page size

    2048byte 有效数据存放在 buffer 的 0x000～0x7FF 地址，64byte spare 数据存放 0x800～0x83F 地址。

    驱动软件中的数据结构与 NANDC buffer 中的数据结构，以及 NAND Flash 中的数据结构完全相同，如图 4-7 所示。

图4-7 1bit ECC 模式 2KB（2048+64）byte page size NAND Flash 数据存储结构

B	bad block，2byte
DECC	数据区的 ECC 码，12byte
SECC	bad block 标志和 CTRL 区域的 ECC 码，8byte（从 bad block 标志开始，每 16byte 数据计算一个 2byte 的校验码。计算校验码时，DECC 和 SECC 的位置数据屏蔽为 0）。
CTRL	留给软件用的控制区域，42byte

  - 4KB（4096+56）page size

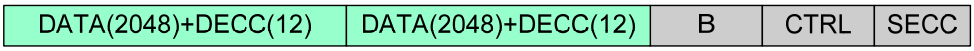
海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

驱动软件中的数据结构 4096byte+56byte 如图 4-8 所示。在 NAND Flash 中，数据按照 2048byte+12byte ECC 码的方式交替存放（共 4096byte+24byte），如图 4-9 所示。

图4-8 1bit ECC 模式驱动软件中的数据结构 4096byte+56byte

B	bad block，2byte
CTRL	留给软件用的控制区域，54byte

图4-9 1bit ECC 模式 NAND Flash 中数据结构



B	bad block，2byte
CTRL	留给软件用的控制区域，54byte
SECC	bad block 标志和 CTRL 区域的 ECC 码，8byte（从 bad block 标志开始，每 16byte 数据计算一个 2byte 的校验码。计算校验码时，SECC 的位置数据屏蔽为 0）。

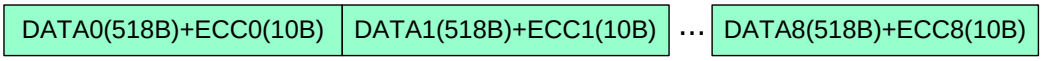
- 4bit ECC 模式
  - 4KB(4096+128) page size

    对 4KB page size 的器件，软件可用的 spare area 区的大小为 46byte。驱动软件中的数据结构如图 4-10 所示。写到 NAND Flash 中的数据结构如图 4-11 所示。把软件有效数据切成 8 个 518byte 的数据块，每 518byte 数据计算一次 ECC。写到 NAND Flash 器件内部的数据结构会自动调整为 518byte 数据+10byte ECC 码的格式交替存放，共 8 组。

图4-10 4bit ECC 模式驱动软件中的数据结构 4096byte+48byte

B	bad block，2byte
CTRL	留给软件用的控制区域，46byte

图4-11 4bit ECC NAND Flash 中的数据的结构 4096byte+128byte



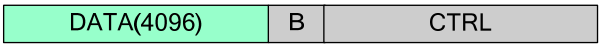
- 24bit ECC 模式
  - 4KB page size

    4K page size 时，驱动软件中的数据结构如图 4-12 所示。当写到 NAND Flash 器件中时，先把数据切分成（1024+n）byte 的 4 个数据段（n 的大小可配置

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

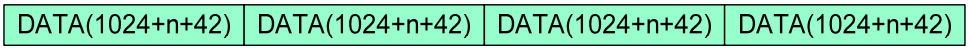
4、8），然后对每个数据段计算一个 42byte 的 ECC 码。写到 NAND Flash 中时，数据段和 ECC 码交替存放，共（4096+200）byte，如图 4-13 所示。

图4-12 24bit ECC 模式驱动软件中的数据结构 4096byte+32byte



B	bad block，2byte
CTRL	留给软件用的控制区域，30byte（n 配置为 8 时）

图4-13 24bit ECC 模式 NAND Flash 器件中数据结构 4096byte+200byte（n=8）



boot 模式下，逻辑默认为 n 为 8byte。

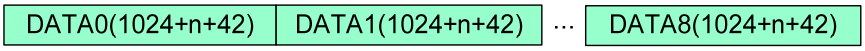
- 8KB page size

  对于 8K page size，驱动软件中的数据结构如图 4-14 所示。当写到 NAND Flash 器件中时，先把上述数据切分成 1024+n 的 8 个数据段（n 的大小可配置为 4 或 8），然后对每个数据段计算一个 42byte 的 ECC 码。写到 NAND Flash 中时，数据段和 ECC 码交替存放，如图 4-15 所示。

图4-14 24bit ECC 模式驱动软件中的数据结构 8192byte+32byte

B	bad block，2byte
CTRL	留给软件用的控制区域，30byte（n 配置为 4 的情况下）

图4-15 24bit ECC 模式 NAND Flash 器件中的数据结构 8192byte+368byte（n=4）



boot 模式下，逻辑默认为 n 为 8byte。

初始化

初始化步骤如下：

步骤 1. 向 NFC_CON[op_mode]写 1，进入 Normal 模式。根据对接器件的位宽和 page size 大小，设置 NFC_CON[bus_width]和 NFC_CON[page_size]。根据外接器件的片选个数和 ready_busy 信号个数，设置 NFC_CON[rb_sel]。写寄存器 NFC_CON[ecc_type]，设定校验和纠错模式。

步骤 2. 根据对接器件的时序要求，写寄存器 NFC_PWIDTH。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

如果是查询方式，写中断使能寄存器 NFC_INTEN，屏蔽所有中断。如果是中断方式，只需使能 op_done 中断，其余可屏蔽。

----结束

对 NAND Flash 执行擦除操作

执行擦除操作的步骤如下：

步骤 1. 向寄存器 NFC_ADDRL 和 NFC_ADDRH 写入编程 page 地址，向寄存器 NFC_CMD 写入擦除命令 0x0070_D060。

步骤 2. 向寄存器 NFC_OP 写入 0x369，启动 NANDC 对 NAND Flash 进行擦除操作（假设 NAND Flash 芯片需要 3 个地址，并且是对片选 0 操作）。

步骤 3. 查询方式下，检测 NFC_STATUS[nfc_ready]，如果为 1，进入步骤 4。否则，继续查询；

中断方式下，检测 NFC_INTS[op_done]，如果为 1，进入步骤 4。

步骤 4. 读寄存器 NFC_STATUS[nf_status]，判断擦除是否成功。

----结束

DMA 方式写 NAND Flash

DMA 方式写 NAND Flash 操作步骤如下：

步骤 1. 根据对接器件类型配置好 NFC_CON 的 page size、ecc_type、bus_wide 参数。如果是 24bit ECC 纠错类型，配置 NFC_OP_PARA[ext_len]寄存器。

步骤 2. CPU 配置数据在 DDR 中存放的基地址寄存器 NFC_BADDR_D，配置读出 tag 区在 DDR 中存放的基地址寄存器 NFC_BADDR_OOB，如果是 ECC0 模式，还要配置 NFC_DMA_LEN 寄存器。

步骤 3. CPU 写寄存器 NFC_DMA_CTRL，启动 NANDC 写 NAND Flash。

步骤 4. CPU 等待 NANDC 发出 DMA 传输完成中断。

----结束

DMA 方式读 NAND Flash

DMA 方式读 NAND Flash 操作步骤如下：

步骤 1. 根据对接器件类型配置好 NFC_CON 的 page size、ecc_type、bus_wide 参数。如果是 24bit ECC 纠错类型，配置 NFC_OP_PARA[ext_len]。

步骤 2. CPU 配置读出数据在 DDR 中存放的基地址寄存器 NFC_BADDR_D，配置 NFC_DMA_LEN 寄存器。配置 DMA 读 NAND Flash 的逻辑地址寄存器 NFC_RD_LOGIC_ADDR，配置 DMA 读 NAND Flash 的逻辑长度寄存器 NFC_RD_LOGIC_LEN。

步骤 3. CPU 写寄存器 NFC_DMA_CTRL，启动 NANDC 读 NAND Flash。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

步骤 4. CPU 等待 NANDC 发出 DMA 传输完成中断。

----结束

4.2.5 其他注意事项

其它注意事项如下：

- 各个厂家的 NAND Flash 器件支持的操作命令有所不同，需要根据器件手册合理设置命令寄存器 NFC_CMD。同时，不同容量的 NAND Flash 器件需要的地址周期数不同，需要参照器件手册设置 NFC_OP 中的 address_cycles 域。不同器件支持的时序有所不同，需要根据器件手册合理设置读写脉冲宽度寄存器 NFC_PWIDTH 和操作间隔寄存器 NFC_OPIDLE。
- 在配置好相关寄存器和 buffer 后，再写 NFC_OP 寄存器，以启动 NANDC 发起 Flash 读写操作。之后，不要再写相关的寄存器，否则可能导致 NANDC 或 Flash 工作不正常。
- 写 NFC_OP 寄存器启动读写 NAND Flash 之后，在 NFC_STATUS[nfc_ready]标志为 0 期间，不要读写 NANDC 的 buffer。否则，可能返回错误的数据。

4.2.6 寄存器概览

NANDC 寄存器概览如表 4-15 所示。

表4-15 NANDC 寄存器概览（基址是 0x1000_0000）

偏移地址	名称	描述	页码
0x00	NFC_CON	NANDC 配置寄存器	4-78
0x04	NFC_PWIDTH	读写脉冲宽度配置寄存器	4-80
0x08	NFC_OPIDLE	操作间隔配置寄存器	4-80
0x0C	NFC_CMD	命令字配置寄存器	4-81
0x10	NFC_ADDRL	低位地址配置寄存器	4-82
0x14	NFC_ADDRH	高位地址配置寄存器	4-82
0x18	NFC_DATA_NUM	读写数据数目配置寄存器	4-82
0x1C	NFC_OP	操作寄存器	4-83
0x20	NFC_STATUS	状态寄存器	4-84
0x24	NFC_INTEN	中断使能寄存器	4-85
0x28	NFC_INTS	中断状态寄存器	4-86
0x2C	NFC_INTCLR	中断清除寄存器	4-88
0x30	NFC_LOCK	锁地址配置寄存器	4-89

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

偏移地址	名称	描述	页码
0x34	NFC_LOCK_SA0	锁起始地址 0 配置寄存器	4-90
0x38	NFC_LOCK_SA1	锁起始地址 1 配置寄存器	4-90
0x3C	NFC_LOCK_SA2	锁起始地址 2 配置寄存器	4-91
0x40	NFC_LOCK_SA3	锁起始地址 3 配置寄存器	4-91
0x44	NFC_LOCK_EA0	锁结束地址 0 配置寄存器	4-92
0x48	NFC_LOCK_EA1	锁结束地址 1 配置寄存器	4-92
0x4C	NFC_LOCK_EA2	锁结束地址 2 配置寄存器	4-93
0x50	NFC_LOCK_EA3	锁结束地址 3 配置寄存器	4-93
0x54	NFC_EXPCMD	扩展页命令寄存器	4-94
0x58	NFC_EXBCMD	扩展块命令寄存器	4-94
0x5C	NFC_ECC_TEST	ECC 测试寄存器	4-95
0x60	NFC_DMA_CTRL	DMA 控制寄存器	4-95
0x64	NFC_BADDR_D	传送数据区的基地址寄存器	4-97
0x68	NFC_BADDR_OOB	OOB 区的基地址寄存器	4-97
0x6C	NFC_DMA_LEN	传送长度寄存器	4-98
0x70	NFC_OP_PARA	操作参数寄存器	4-98
0x74	NFC_VERSION	控制器版本寄存器	4-100
0x78	NFC_BUF_BADDR	NANDC 的 BUFFER 基地址寄存器	4-100
0x7C	NFC_RD_LOGIC_ADDR	DMA 读 NAND Flash 的逻辑地址寄存器	4-101
0x80	NFC_RD_LOGIC_LEN	为 DMA 读 NAND Flash 的逻辑长度寄存器	4-101
0x90	NFC_FIFO_EMPTY	内部 FIFO 状态寄存器	4-101
0x94	NFC_BOOT_SET	boot 参数设定寄存器	4-102
0x98	NF_STATUS	NAND Flash 的 status 寄存器	4-102

4.2.7 寄存器描述

NFC_CON

NFC_CON 为 NANDC 配置寄存器。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x00	NFC_CON	-

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																				edo_en	ecc_type			rb_sel	cs_ctrl	reserved		bus_width		pagesize		op_mode	
Reset	?	?	?	?	?	?	?	?	?	?	?	?	?	?	?	?	?	?	?	0	0	0	0	0	1	0	1	?	0	0	0	0

Bits	Access	Name	Description
[31:12]	-	reserved	保留。
[11]	RW	edo_en	以 EDO 模式读取 NAND Flash 数据使能。 0：正常模式； 1：EDO 模式。 使用该功能时，需要参照具体器件的要求进行。
[10:8]	RW	ecc_type	ECC 模式选择。 000：无 ECC； 001：1bit 模式； 010：4bit 模式； 011：保留； 100：24bit 模式 for 1KB； 101～111：保留。 复位值由管脚 NFC_ECC_TYPE 决定。
[7]	RW	rb_sel	当外接多个 NAND Flash 器件（多个片选）时有效。 0：NAND Flash 器件共用同一个 ready/busy 信号； 1：NAND Flash 器件使用各自独立的 ready/busy 信号。 当只接一个 NAND Flash 器件时，只用片选信号 cs0 和 ready/busy0。
[6]	RW	cs_ctrl	片选控制。 0：在 NAND Flash 为 busy 时，保持片选信号为 0； 1：在 NAND Flash 为 busy 时，把片选信号置位 1。 该模式对应 NAND Flash 的 cs do not care 模式。
[5:4]	-	reserved	保留。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

[3]	RW	bus_width	NAND Flash 的数据线宽度。 0：8bit； 1：16bit。 复位值由管脚 NFC_BUS_WIDE 决定。
[2:1]	RW	pagesize	NAND Flash 的 Page size（页大小）。 01：2Kbyte； 10：4Kbyte； 11：8Kbyte； 其他：保留。 复位值由管脚 NFC_PAGE_SIZE 决定。
[0]	RW	op_mode	NANDC 所处的工作模式。 0：NANDC 处于 Boot 模式； 1：NANDC 处于 normal 模式。

NFC_PWIDTH

NFC_PWIDTH 为读写脉冲宽度配置寄存器。

Offset Address	Register Name	Total Reset Value
0x04	NFC_PWIDTH	-

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved					rw_hcnt	r_lcnt	w_lcnt
Reset	? ? ? ?	? ? ? ?	? ? ? ?	? ? ? ?	? ? ? ?	0 0 1 1	0 0 1 1	0 0 1 1

Bits	Access	Name	Description
[31:12]	-	reserved	保留。
[11:8]	RW	rw_hcnt	NAND Flash 读/写信号高电平宽度。 0x0～0xF：1～16 个时钟周期。
[7:4]	RW	r_lcnt	NAND Flash 读信号低电平宽度。 0x0～0xF：1～16 个时钟周期。
[3:0]	RW	w_lcnt	NAND Flash 写信号低电平宽度。 0x0～0xF：1～16 个时钟周期。

NFC_OPIDLE

NFC_OPIDLE 为操作间隔配置寄存器。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x08	NFC_OPIDLE	-

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved								frb_wait				cmd1_wait				addr_wait				write_data_wait				cmd2_wait				frb_idle			
Reset	?	?	?	?	?	?	?	?	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

Bits	Access	Name	Description
[31:24]	-	reserved	保留。
[23:20]	RW	frb_wait	发出读写命令后，先延时一段时间，然后再检测 ready 信号是否变为高电平。延时的周期数为：frb_wait×8。
[19:16]	RW	cmd1_wait	发送完 Command1 之后的等待周期数。 0x0～0xF：1～16 个时钟周期。
[15:12]	RW	addr_wait	发送完 Address 之后的等待周期数。 0x0～0xF：1～16 个时钟周期。
[11:8]	RW	write_data_wait	写数据之后的等待周期数。 0x0～0xF：1～16 个时钟周期。
[7:4]	RW	cmd2_wait	发送完 Command2 之后的等待周期数。 0x0～0xF：1～16 个时钟周期。
[3:0]	RW	frb_idle	NAND Flash 的 ready 信号变高之后，延时一段时间，之后才能发出读信号读数据。 延时的周期数为：frb_idle×8。

NFC_CMD

NFC_CMD 为命令字配置寄存器。

Offset Address	Register Name	Total Reset Value
0x0C	NFC_CMD	-

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved								read_status_cmd								cmd2								cmd1							
Reset	?	?	?	?	?	?	?	?	0	1	1	1	0	0	0	0	0	0	1	1	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:24]	-	reserved	保留。
[23:16]	RW	read_status_cmd	Read status 命令字。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

[15:8]	RW	cmd2	NANDC 发给 NAND Flash 的第 2 个命令。
[7:0]	RW	cmd1	NANDC 发给 NAND Flash 的第 1 个命令。

NFC_ADDRL

NFC_ADDRL 为低位地址配置寄存器。

Offset Address	Register Name	Total Reset Value
0x10	NFC_ADDRL	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	addr_l																															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:0]	RW	addr_l	NAND Flash 低 32bit 地址。

NFC_ADDRH

NFC_ADDRH 为高位地址配置寄存器。

Offset Address	Register Name	Total Reset Value
0x14	NFC_ADDRH	-

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																addr_h															
Reset	?	?	?	?	?	?	?	?	?	?	?	?	?	?	?	?	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:16]	-	reserved	保留。
[15:0]	RW	addr_h	NAND Flash 高 16bit 地址。

NFC_DATA_NUM

NFC_DATA_NUM 为读写数据数目配置寄存器。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x18	NFC_DATA_NUM	-

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																				nfc_data_num											
Reset	?	?	?	?	?	?	?	?	?	?	?	?	?	?	?	?	?	?	?	?	1	0	0	0	0	1	0	0	0	0	0	0

Bits	Access	Name	Description
[31:12]	-	reserved	保留。
[11:0]	RW	nfc_data_num	配置 NANDC 随机读写的数据个数，最大 2368byte。 **注意：只在 ecc_type 为 00 时有效。**

NFC_OP

NFC_OP 为操作寄存器。

Offset Address	Register Name	Total Reset Value
0x1C	NFC_OP	-

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																				address_cycles			nf_cs		cmd1_en	addr_en	write_data_en	cmd2_en	wait_ready_en	read_data_en	read_status_en
Reset	?	?	?	?	?	?	?	?	?	?	?	?	?	?	?	?	?	?	?	?	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:12]	-	reserved	保留。
[11:9]	RW	address_cycles	发给 NAND Flash 的地址周期数。
[8:7]	RW	nf_cs	选择操作的 NAND Flash 器件。 00：cs0； 01：cs1； 其他：保留。
[6]	RW	cmd1_en	发 command1 命令使能。 0：禁止； 1：使能。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

[5]	RW	addr_en	向 NAND 写操作地址使能。 0：禁止； 1：使能。
[4]	RW	write_data_en	向 NAND Flash 写数据使能。 0：禁止； 1：使能。 **注意：read_data_en 和 write_data_en 不能同时为 1。**
[3]	RW	cmd2_en	发 command2 命令使能。 0：禁止； 1：使能。
[2]	RW	wait_ready_en	等待 ready/busy 信号变高使能。 0：禁止； 1：使能。
[1]	RW	read_data_en	启动读状态机，从 NAND Flash 读数据使能。 0：禁止； 1：使能。 **注意：read_data_en 和 write_data_en 不能同时为 1。**
[0]	RW	read_status_en	该标志为 1 时，使能向 NAND 发出读 status 的 0x70 命令，并从 NAND Flash 读取状态数据，返回的数据写入 NANDC 状态寄存器的 NFC_STATUS 域中（而不写入内部 buffer）。 在对 NAND 器件进行擦除和编程时，需要读取擦除和编程的结果，看是否成功。使能时，CPU 一次操作就可以完成编程擦除等操作，并从 NAND 返回了是否操作成功的数据，从而减少了 CPU 的干预。 **注意：在 read_data_en 标志为 1 时，该标志无效。**

NFC_STATUS

NFC_STATUS 为状态寄存器。

Offset Address	Register Name	Total Reset Value
0x20	NFC_STATUS	-

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																				nf_status								reserved		nf1_ready	nf0_ready	nfc_ready
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	?	?	?	0	0	0	0	0	0	0	0	0	0	0	0	0

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Bits	Access	Name	Description
[31:13]	-	reserved	保留。
[12:5]	RO	nf_status	读回的 NAND Flash 的 status 数据。 只在 NFC_OP 寄存器的 read_status 标志为 1，且该寄存器的 nfc_ready 标志为 1 时有效。
[4:3]	-	reserved	保留。
[2]	RO	nf1_ready	片选 1 对应的 NAND 器件的 ready/busy 信号状态。 当外接多个 Flash 器件且使用各自独立的 ready/busy 信号时有效。 因为默认多个 NAND Flash 器件共用同一个 ready/busy 信号，该 bit 复位值为 0。
[1]	RO	nf0_ready	片选 0 对应的 NAND Flash 器件的 ready/busy 信号状态。 当外接多个 Flash 器件且使用各自独立的 ready/busy 信号时有效。 因为默认多个 NAND Flash 器件共用同一个 ready/busy 信号，该 bit 复位值为 0。
[0]	RO	nfc_ready	NANDC 的 ready/busy 信号状态。 0：NANDC 正在进行操作； 1：操作完成，可以接收下一次命令。 当写 NFC_OP 寄存器启动 NANDC 操作时，该位自动清零。

NFC_INTEN

NFC_INTEN 为中断使能寄存器。

Offset Address	Register Name	Total Reset Value
0x24	NFC_INTEN	-

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																								wr_lock_en	ahb_op_en	err_invalid	err_valid	reserved				cs1_done_en	cs0_done_en	op_done_en
Reset	?	?	?	?	?	?	?	?	?	?	?	?	?	?	?	?	?	?	?	?	?	?	?	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:9]	-	reserved	保留。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

[8]	RW	wr_lock_en	对 lock 地址进行写操作错误中断使能。 0：禁止； 1：使能。
[7]	RW	ahb_op_en	NANDC 读写 Flash 数据期间，CPU 读写 NANDC Buffer 错误中断使能。 0：禁止； 1：使能。
[6]	RW	err_invalid	不可纠正错误，产生中断。
[5]	RW	err_valid	可纠正的错误，产生中断。
[4:3]	-	reserved	保留。
[2]	RW	cs1_done_en	片选 cs1 对应的 ready busy 信号由低变高，产生中断使能。 0：禁止； 1：使能。
[1]	RW	cs0_done_en	片选 cs0 对应的 ready busy 信号由低变高，产生中断使能。 0：禁止； 1：使能。
[0]	RW	op_done_en	NANDC 本次操作结束中断使能。 0：禁止； 1：使能。

NFC_INTS

NFC_INTS 为中断状态寄存器。

Offset Address	Register Name	Total Reset Value
0x28	NFC_INTS	-

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9	8	7	6	5	4	3	2	1	0
Name	reserved						wr_lock_en	ahb_op_en	err_invalid	err_vavid	reserved	cs1_done	cs0_done	op_done	
Reset	? ? ? ?	? ? ? ?	? ? ? ?	? ? ? ?	? ? ? ?	? ? ?	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:9]	-	reserved	保留。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

[8]	RO	wr_lock_en	对 lock 地址进行写操作产生的中断。 0：不中断； 1：中断。
[7]	RO	ahb_op_en	NANDC 对 NAND Flash 进行数据操作期间，CPU 读写 NANDC Buffer。 0：不中断； 1：中断。
[6]	RO	err_invalid	不可纠正的错误。 0：不中断； 1：中断。 1bit 纠错模式下，校验 512byte 数据中出现 2bit 以上错误，产生中断； 4bit 纠错模式下，校验 512byte 数据中出现 5bit 以上错误，产生中断； 8bit 纠错模式下，校验 512byte 数据中出现 8bit 以上错误，产生中断。
[5]	RO	err_vavid	可纠正的错误。 0：不中断； 1：中断。 1bit 纠错模式下，校验 512byte 数据中出现 1bit 错误，产生中断； 4bit 纠错模式下，校验 512byte 数据中出现 1bit～4bit 错误，产生中断； 8bit 纠错模式下，校验 512byte 数据中出现 1bit～8bit 错误，产生中断。
[4:3]	-	reserved	保留。
[2]	RO	cs1_done	片选 cs1 对应的 ready/busy 信号由低变高，产生中断。 0：不中断； 1：中断。 当外接两个 NAND Flash 器件，同时两个器件使用各自独立的 ready/busy 信号时有效。否则，该 bit 一直保持为 0。
[1]	RO	cs0_done	片选 cs0 对应的 ready busy 信号由低变高，产生中断。 0：不中断； 1：中断。 当外接两个 Flash 器件，同时两个器件使用各自独立的 ready/busy 信号时有效。否则，该 bit 一直保持为 0。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

[0]	RO	op_done	NANC 本次操作结束中断。 0：不中断； 1：中断。 写 NFC_OP 寄存器后，该标志自动清零。

NFC_INTCLR

NFC_INTCLR 为中断清除寄存器。

Offset Address	Register Name	Total Reset Value
0x2C	NFC_INTCLR	-

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																							wr_lock_en	ahb_op_en	r_5bit_err_clr	r_4bit_err_clr	reserved			cs1_done_clr	cs0_done_clr	op_done_clr
Reset	?	?	?	?	?	?	?	?	?	?	?	?	?	?	?	?	?	?	?	?	?	?	?	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:9]	-	reserved	保留。
[8]	WO	wr_lock_en	清除 wr_lock_en 中断。 0：不清除； 1：清除。
[7]	WO	ahb_op_en	清除 ahb_op_en 中断。 0：不清除； 1：清除。
[6]	WO	r_5bit_err_clr	清除 r_5bit_err 中断。 0：不清除； 1：清除。
[5]	WO	r_4bit_err_clr	清除 r_4bit_err 中断。 0：不清除； 1：清除。
[4:3]	-	reserved	保留。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

[2]	WO	cs1_done_clr	清除 cs1_done 中断。 0：不清除； 1：清除。
[1]	WO	cs0_done_clr	清除 cs0_done 中断。 0：不清除； 1：清除。
[0]	WO	op_done_clr	清除 op_done 中断。 0：不清除； 1：清除。

NFC_LOCK

NFC_LOCK 为锁地址配置寄存器。

Offset Address	Register Name	Total Reset Value
0x30	NFC_LOCK	-

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3	2	1	0
Name	reserved							lock_excmd_en	lock_en	global_lock_en	lock_down
Reset	? ? ? ?	? ? ? ?	? ? ? ?	? ? ? ?	? ? ? ?	? ? ? ?	? ? ? ?	0	0	0	0

Bits	Access	Name	Description
[31:4]	-	reserved	保留。
[3]	RW	lock_excmd_en	针对扩展写命令（新器件有可能添加的新命令），对保护地址进行写保护使能。 0：禁止； 1：使能。
[2]	RW	lock_en	Flash lock 使能。该控制位为 1 时，如果擦除或编程的地址位于锁存首地址与锁存结束地址之间，擦除和编程无效。 0：禁止； 1：使能。
[1]	RW	global_lock_en	Flash 全局 lock 使能。为 1 时，将不允许对 NAND Flash 进行擦除或编程操作。 0：禁止； 1：使能。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

[0]	RW	lock_down	NAND Flash lock 模式。 0：lock 模式； 1：lock_down 模式，写 1 后，再次写无效，只有硬件 reset 才能对该位清 0。

NFC_LOCK_SA0

NFC_LOCK_SA0 为锁起始地址 0 配置寄存器。

Offset Address	Register Name	Total Reset Value
0x34	NFC_LOCK_SA0	-

Bit	31 30 29 28	27 26 25 24	23 22 21	20	19	18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved			flash_lock_cs	flash_lock_addr0					
Reset	? ? ? ?	? ? ? ?	? ? ?	0	0	0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[31:21]	-	reserved	保留。
[20:19]	RW	flash_lock_cs	NAND Flash 锁存片选。 00：片选 0； 01：片选 1； 其他：保留。
[18:0]	RW	flash_lock_addr0	锁存首地址 0，最低位对应 NAND Flash 第 5 个行地址。

NFC_LOCK_SA1

NFC_LOCK_SA1 为锁起始地址 1 配置寄存器。

Offset Address	Register Name	Total Reset Value
0x38	NFC_LOCK_SA1	-

Bit	31 30 29 28	27 26 25 24	23 22 21	20	19	18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved			flash_lock_cs	flash_lock_addr1					
Reset	? ? ? ?	? ? ? ?	? ? ?	0	0	0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[31:21]	-	reserved	保留。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

[20:19]	RW	flash_lock_cs	NAND Flash 锁存片选。 00：片选 0； 01：片选 1； 其他：保留。
[18:0]	RW	flash_lock_addr1	锁存首地址 1，最低位对应 NAND Flash 第 5 个行地址。

NFC_LOCK_SA2

NFC_LOCK_SA2 为锁起始地址 2 配置寄存器。

Offset Address	Register Name	Total Reset Value
0x3C	NFC_LOCK_SA2	-

Bit	31 30 29 28	27 26 25 24	23 22 21	20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved			flash_lock_cs	flash_lock_addr2				
Reset	? ? ? ?	? ? ? ?	? ? ?	0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[31:21]	-	reserved	保留。
[20:19]	RW	flash_lock_cs	NAND Flash 锁存片选。 00：片选 0； 01：片选 1； 其他：保留。
[18:0]	RW	flash_lock_addr2	锁存首地址 2，最低位对应 NAND Flash 第 5 个行地址。

NFC_LOCK_SA3

NFC_LOCK_SA3 为锁起始地址 3 配置寄存器。

Offset Address	Register Name	Total Reset Value
0x40	NFC_LOCK_SA3	-

Bit	31 30 29 28	27 26 25 24	23 22 21	20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved			flash_lock_cs	flash_lock_addr3				
Reset	? ? ? ?	? ? ? ?	? ? ?	0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[31:21]	-	reserved	保留。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

[20:19]	RW	flash_lock_cs	NAND Flash 锁存片选。 00：片选 0； 01：片选 1； 其他：保留。
[18:0]	RW	flash_lock_addr3	锁存首地址 3，最低位对应 NAND Flash 第 5 个行地址。

NFC_LOCK_EA0

NFC_LOCK_EA0 为锁结束地址 0 配置寄存器。

Offset Address	Register Name	Total Reset Value
0x44	NFC_LOCK_EA0	-

Bit	31 30 29 28	27 26 25 24	23 22 21	20	19	18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved			flash_lock_cs	flash_lock_eaddr0					
Reset	? ? ? ?	? ? ? ?	? ? ?	0	0	0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[31:21]	-	reserved	保留。
[20:19]	RW	flash_lock_cs	NAND Flash 锁存片选。 00：片选 0； 01：片选 1； 其他：保留。
[18:0]	RW	flash_lock_eaddr0	锁存结束地址 0，最低位对应 NAND Flash 第 5 个行地址。

NFC_LOCK_EA1

NFC_LOCK_EA1 为锁结束地址 1 配置寄存器。

Offset Address	Register Name	Total Reset Value
0x48	NFC_LOCK_EA1	-

Bit	31 30 29 28	27 26 25 24	23 22 21	20	19	18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved			flash_lock_cs	flash_lock_eaddr1					
Reset	? ? ? ?	? ? ? ?	? ? ?	0	0	0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[31:21]	-	reserved	保留。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

[20:19]	RW	flash_lock_cs	NAND Flash 锁存片选。 00：片选 0； 01：片选 1； 其他：保留。
[18:0]	RW	flash_lock_eaddr1	锁存结束地址 1，最低位对应 NAND Flash 第 5 个行地址。

NFC_LOCK_EA2

NFC_LOCK_EA2 为锁结束地址 2 配置寄存器。

Offset Address	Register Name	Total Reset Value
0x4C	NFC_LOCK_EA2	-

Bit	31 30 29 28	27 26 25 24	23 22 21	20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved			flash_lock_cs	flash_lock_eaddr2				
Reset	? ? ? ?	? ? ? ?	? ? ?	0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[31:21]	-	reserved	保留。
[20:19]	RW	flash_lock_cs	NAND Flash 锁存片选。 00：片选 0； 01：片选 1； 其他：保留。
[18:0]	RW	flash_lock_eaddr2	锁存结束地址 2，最低位对应 NAND Flash 第 5 个行地址。

NFC_LOCK_EA3

NFC_LOCK_EA3 为锁结束地址 3 配置寄存器。

Offset Address	Register Name	Total Reset Value
0x50	NFC_LOCK_EA3	-

Bit	31 30 29 28	27 26 25 24	23 22 21	20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved			flash_lock_cs	flash_lock_eaddr3				
Reset	? ? ? ?	? ? ? ?	? ? ?	0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[31:21]	-	reserved	保留。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

[20:19]	RW	flash_lock_cs	NAND Flash 锁存片选。 00：片选 0； 01：片选 1； 其他：保留。
[18:0]	RW	flash_lock_eaddr3	锁存结束地址 3，最低位对应 NAND Flash 第 5 个行地址。

NFC_EXPCMD

NFC_EXPCMD 为扩展页命令寄存器。

Offset Address	Register Name	Total Reset Value
0x54	NFC_EXPCMD	0x0000_0000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	ex_pcmd3		ex_pcmd2		ex_pcmd1		ex_pcmd0	
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[31:24]	RW	ex_pcmd3	NAND Flash 扩展页写操作命令 3。
[23:16]	RW	ex_pcmd2	NAND Flash 扩展页写操作命令 2。
[15:8]	RW	ex_pcmd1	NAND Flash 扩展页写操作命令 1。
[7:0]	RW	ex_pcmd0	NAND Flash 扩展页写操作命令 0。

NFC_EXBCMD

NFC_EXBCMD 为扩展块命令寄存器。

Offset Address	Register Name	Total Reset Value
0x58	NFC_EXBCMD	-

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved				ex_bcmd1		ex_bcmd0	
Reset	? ? ? ?	? ? ? ?	? ? ? ?	? ? ? ?	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[31:16]	-	reserved	保留。
[15:8]	RW	ex_bcmd1	NAND Flash 扩展块写操作命令 1。
[7:0]	RW	ex_bcmd0	NAND Flash 扩展块写操作命令 0。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

NFC_ECC_TEST

NFC_ECC_TEST 为 ECC 测试寄存器。

Offset Address	Register Name	Total Reset Value
0x5C	NFC_ECC_TEST	0x0020_F001

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved							ecc_mask, dec_only, enc_only
Reset	0 0 0 0	0 0 0 0	0 0 1 0	0 0 1 0	1 1 1 1	0 0 0 0	0 0 0 0	0 0 0 1

Bits	Access	Name	Description
[31:3]	-	reserved	保留。
[2]	RW	ecc_mask	ECC 功能掩码。 0：按 ecc_type 的值决定是否进行校验和纠错； 1：不进行 ecc 校验和纠错。但读写 NAND Flash 数据结构仍按照 ecc_type 的格式进行转换。
[1]	RW	dec_only	只解码使能。 向该寄存器位写 1 时，启动 ECC 解码，不启动读写 NAND Flash； 读该寄存器位时，返回 0。
[0]	RW	enc_only	只编码使能。 向该寄存器位写 1 时，启动 ECC 编码，不启动读写 NAND Flash； 读该寄存器位时，返回值为 1 表示 ECC 编解码结束。为 0 表示正在编解码。

NFC_DMA_CTRL

DMA 控制寄存器。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x60	NFC_DMA_CTRL	0x0000_0070

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																				wr_cmd_disable	rw_nf_disable	dma_nf_cs		dma_addr_num	burst16_en	burst8_en	burst4_en	reserved		dma_wr_en	dma_start
Reset	0	0	0	0	0	0	0	0	0	0	1	0	0	0	1	0	1	1	1	1	0	0	0	0	0	1	1	1	0	0	0	0

Bits	Access	Name	Description
[31:12]	-	reserved	保留。
[11]	RW	wr_cmd_disable	选择 NANDC 是否发起完整的读写 NAND FLASH 时序。 0：NANDC 发起完整的读写 NAND Flash 时序。 1：NANDC 只发起读写数据的时序，不发起读写命令时序（即只发出片选和读写脉冲信号读写数据，而不发出 CLE、ALE 信号）。
[10]	RW	rw_nf_disable	选择 DMA 操作是否同时对 NAND FLASH 读写。 0：DMA 操作与读写 NAND Flash 同时进行。 1：只在 buffer 和 DDR 之间搬数据，不启动 NAND Flash 读写。
[9:8]	RW	dma_nf_cs	选择 DMA 操作的 NAND Flash 器件。 00：cs0； 01：cs1； 其他：保留。
[7]	RW	dma_addr_num	地址数。 0：5 个地址； 1：4 个地址。
[6]	RW	burst16_en	burst16 使能。 0：禁止； 1：使能。
[5]	RW	burst8_en	burst8 使能。 0：禁止； 1：使能。
[4]	RW	burst4_en	burst4 使能。 0：禁止； 1：使能。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

[3]	RW	oob_area_en	写 OOB 区使能。只在 1bit ECC 模式下有效。 0：禁止； 1：使能。
[2]	RW	data_area_en	写数据区使能。只在 1bit ECC 模式下有效。 0：禁止； 1：使能。
[1]	RW	dma_wr_en	DMA 读写使能。 0：读； 1：写。
[0]	RW	dma_start	启动 DMA 操作。 向该 bit 写 1 启动 DMA 操作，该 bit 保持为 1，直到 DMA 操作结束。向该 bit 写 0 无效。 启动 DMA 操作后，读该 bit 如果返回 0，表示 DMA 操作结束。

NFC_BADDR_D

DMA 模式下传送数据区的基地址寄存器。

Offset Address	Register Name	Total Reset Value
0x64	NFC_BADDR_D	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	base_addr_d																															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:0]	RW	base_addr_d	读写 DDR 数据区的基地址。

NFC_BADDR_OOB

DMA 模式下传 OOB 区的基地址寄存器。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x68	NFC_BADDR_OOB	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	base_addr_oob																															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:0]	RW	base_addr_oob	读 OOB 区数据的 DDR 基地址。 只在 DMA 写 NAND Flash 时有效。

NFC_DMA_LEN

DMA 模式下传送长度寄存器。

Offset Address	Register Name	Total Reset Value
0x6C	NFC_DMA_LEN	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				len_oob												reserved				len_data											
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:29]	RW	reserved	保留。
[28:16]	RW	len_oob	DMA 写 NAND Flash 时 OOB 区的长度,需要长字(4byte)对齐。（只在 ECC0 模式下有效，在其他 ECC 模式下，oob 的长度是固定的）
[15:12]	RW	reserved	保留。
[11:0]	RW	len_data	DMA 读或 DMA 写数据的长度。 只在 rw_nf_disable 为 1 时有效。

NFC_OP_PARA

操作参数寄存器。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x70	NFC_OP_PARA	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																								ext_len		oob_ecc_en	data_ecc_en	oob_edc_en	data_edc_en	oob_rw_en	data_rw_en
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1

Bits	Access	Name	Description
[31:8]	-	reserved	保留。
[7:6]	RW	ext_len	需要纠错的扩展数据区长度。 24bit 纠错模式下，每个 ECC 数据块中的扩展数据区的长度。boot 模式下，page size 为 4KB 时默认 8 个字节。page size 为 8KB 时默认 4 个字节。 01：4 byte； 11：8 byte； 其他：保留。
[5]	RW	oob_ecc_en	OOB 区 ECC 纠错使能。 0：禁止； 1：使能。 只在读数据时有效。
[4]	RW	data_ecc_en	ECC 纠错使能。 0：禁止； 1：使能。 只在读数据时有效。
[3]	RW	oob_edc_en	OOB 区校验使能。 0：禁止； 1：使能。 编程模式下，对 OOB 区生成 ECC 码使能。 读数据模式下，对 OOB 区进行校验使能。
[2]	RW	data_edc_en	校验使能。 0：禁止； 1：使能。 编程模式下，生成 ECC 码使能。 读数据模式下，进行校验使能。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

[1]	RW	oob_rw_en	NAND Flash 数据区读写冗余区使能。 0：禁止； 1：使能。
[0]	RW	data_rw_en	NAND Flash 数据区读写使能。 0：禁止； 1：使能。

NFC_VERSION

控制器版本寄存器。

Offset Address	Register Name	Total Reset Value
0x74	NFC_VERSION	0x0000_0300

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	version_id																															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:0]	RW	version_id	版本号。

NFC_BUF_BADDR

NANDC 的 BUFFER 基地址寄存器。

Offset Address	Register Name	Total Reset Value
0x78	NFC_BUF_BADDR	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				buf_baddr_rd												reserved				buf_baddr_wr											
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:28]	-	reserved	保留。
[27:16]	RW	buf_baddr_rd	在 rw_nf_disable 为 1 时，表示 DMA 读 buffer 的基地址。 在 rw_nf_disable 为 0 时无意义。
[15:12]	RW	reserved	保留。
[11:0]	RW	buf_baddr_wr	在 rw_nf_disable 为 1 时，表示 DMA 写 buffer 的基地址。 在 rw_nf_disable 为 0 时无意义。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

NFC_RD_LOGIC_ADDR

NFC_RD_LOGIC_ADDR 为 DMA 读 NAND Flash 的逻辑地址寄存器。

Offset Address	Register Name	Total Reset Value
0x007C	NFC_RD_LOGIC_ADDR	0x0000_0000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved				rd_logic_addr			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[31:16]	-	reserved	保留。
[15:0]	RW	rd_logic_addr	读数据的起始地址（不包括 ECC 码）。比如，从坏块标识开始读，就设定为 2048 或 4096，分别对应 2KB 和 4KB page size。DMA 读结束后，该域按照 NFC_DMA_LEN[len_data]的值自动累加。 只在 DMA 读且当 rw_nf_disable 为 0 时有效。

NFC_RD_LOGIC_LEN

NFC_RD_LOGIC_LEN 为 DMA 读 NAND Flash 的逻辑长度寄存器。

Offset Address	Register Name	Total Reset Value
0x0080	NFC_RD_LOGIC_LEN	0x0000_0000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved				rd_logic_len			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[31:16]	-	reserved	保留。
[15:0]	RW	rd_logic_len	DMA 读 NAND Flash 时，表示读数据长度（不包括 ECC 码长度）。DMA 读结束后，该域的值自动归 0。 只在 DMA 读且当 rw_nf_disable 为 0 时有效。

NFC_FIFO_EMPTY

NFC_FIFO_EMPTY 为内部 FIFO 状态寄存器。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x0090	NFC_FIFO_EMPTY	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																empty_dbg															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:16]	-	reserved	保留。
[15:0]	RO	empty_dbg	内部 FIFO 的 empty 信号状态。仅供调试用。

NFC_BOOT_SET

NFC_BOOT_SET 为 boot 参数设定寄存器。

Offset Address	Register Name	Total Reset Value
0x0094	NFC_BOOT_SET	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																														addr_num	block_size
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:2]	-	rsv	保留。
[1]	RW	addr_num	Boot 时，NANDC 发给 NAND Flash 器件的地址数目。 0：4 个地址周期； 1：5 个地址周期。 复位后的值由管脚 nfc_addr_num 决定。
[0]	RW	block_size	Boot 时，NAND Flash 器件的总线宽度。 0：64 page； 1：128page。 复位后的值由管脚 nfc_block_size 决定。

NF_STATUS

NF_STATUS 为 NAND Flash 的 status 寄存器。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x0098	NF_STATUS	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																								status							
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:8]	-	reserved	保留。
[7:0]	RO	status	从 NAND Flash 读回来的 status 状态数据。 当写 NFC_OP 寄存器且 read_status_en 标志为 1 时有效。

4.3 SPI Flash 控制器

4.3.1 概述

SFC（Serial Peripheral Interface Flash Controller）是一个 SPI Flash 控制器。业务侧提供一个 AHB（Advanced High performance Bus）Slave 接口，主要完成 AHB 通道对 SPI Flash 的访问控制功能。

4.3.2 特点

4.3.2.1 AHB 接口

AHB 接口具有以下特点：

- 提供一个 AHB Slave 接口，可以根据不同的选择信号访问内部配置寄存器或直接访问 SPI flash memory。
- 支持 AMBA2.0 协议。
- 支持小端。

4.3.2.2 存储器接口

存储器接口具有以下特点：

- 支持两个片选 CS0 和 CS1。每个片选的存储空间最大支持到 128Mbit（3Bytes 地址模式）/8Gbit（4Bytes 地址模式），两片选可以支持不同容量的 Flash。每片选可分别映射到系统地址空间，映射基地址可配。其中 CS1 支持地址 Alias。
- 支持 Standard SPI、Dual-Output/Dual-Input SPI、Quad-Output/Quad-Input SPI、Dual-I/O SPI、Quad-I/O SPI、Full DIO SPI、Full QIO SPI 七种接口类型。上电后默认支持 Standard SPI 接口类型，可通过寄存器配置切换接口类型。
- 支持 3Bytes 和 4Bytes 两种 Flash 地址模式。上电后默认支持 3Bytes 地址模式，可通过寄存器配置切换地址模式。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

- 读写操作支持总线直接读写和寄存器编程读写两种方式。
- 支持写保护操作。

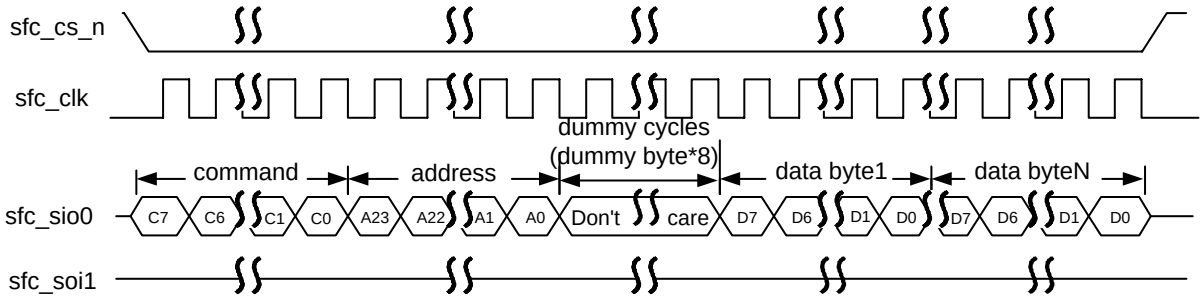
4.3.3 功能描述

4.3.3.1 接口模式时序

Standard SPI

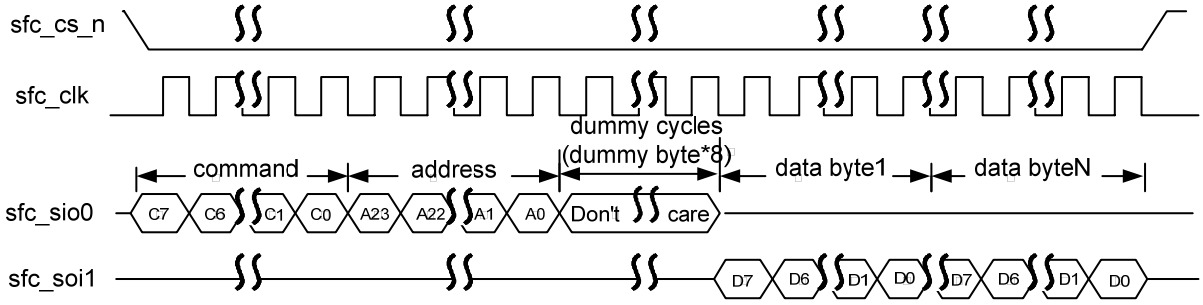
Standard SPI 接口模式具有 1bit 数据输入线和 1bit 数据输出线，接口时序如图 4-16、图 4-17 所示。

图4-16 Standard SPI(写)接口时序图



注：Opcode/Address/DummyByte 以单 bit 串行方式在 sfc_sio0 线上输出。
Data 以单 bit 串行方式在 sfc_sio0 线上输出。

图4-17 Standard SPI(读)接口时序图



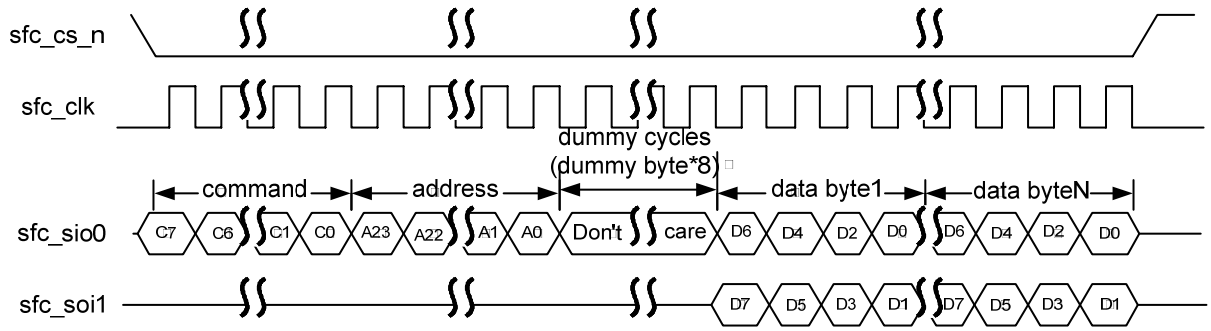
注：Opcode/Address/DummyByte 以单 bit 串行方式在 sfc_sio0 线上输出。
Data 以单 bit 串行方式在 sfc_soi1 线上输入。

Dual Input/Dual Output SPI

Dual Input/Dual Output SPI 接口模式具有 2bit 双向数据线，接口时序如图 4-18 所示。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

图4-18 Dual Input/Dual Output SPI 接口时序图

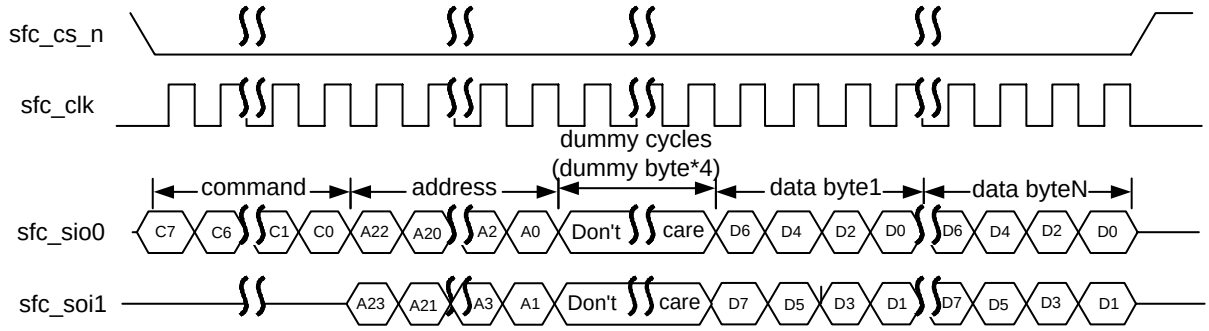


注：Opcode/Address/DummyByte 以单 Bit 串行方式在 sfc_sio0 线上输出。
Data 以 Dual Bits 方式在 sfc_sio0/sfc_soi1 线上输出（写）或输入（读）。

Dual I/O SPI

Dual I/O SPI 接口模式具有 2bit 双向数据线，接口时序如图 4-19 所示。

图4-19 Dual I/ O SPI 接口时序图



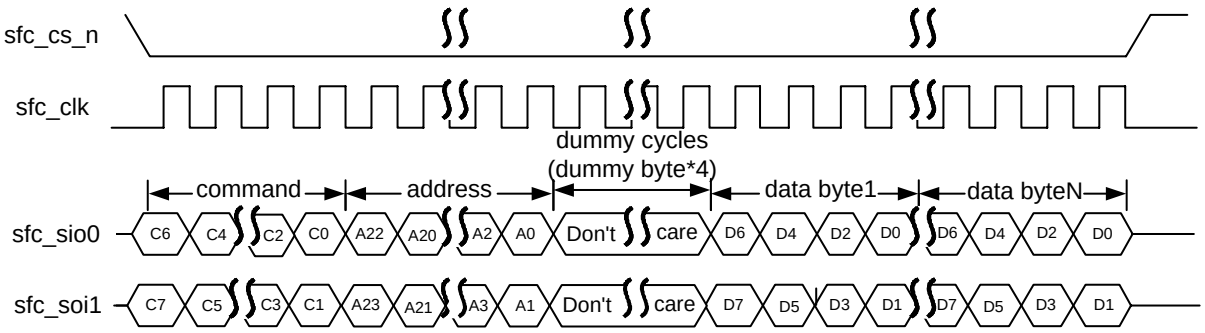
注：Opcode 以单 Bit 串行方式在 sfc_sio0 线上输出。Address/DummyByte 以 Dual Bits 方式在 sfc_sio0/sfc_soi1 线上输出。
Data 以 Dual Bits 方式在 sfc_sio0/sfc_soi1 线上输出（写）或输入（读）。

Full Dual I/O SPI

Dual Input/Dual Output SPI 接口模式具有 2bit 双向数据线，接口时序如图 4-20 所示。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

图4-20 Full Dual I/O SPI 接口时序图

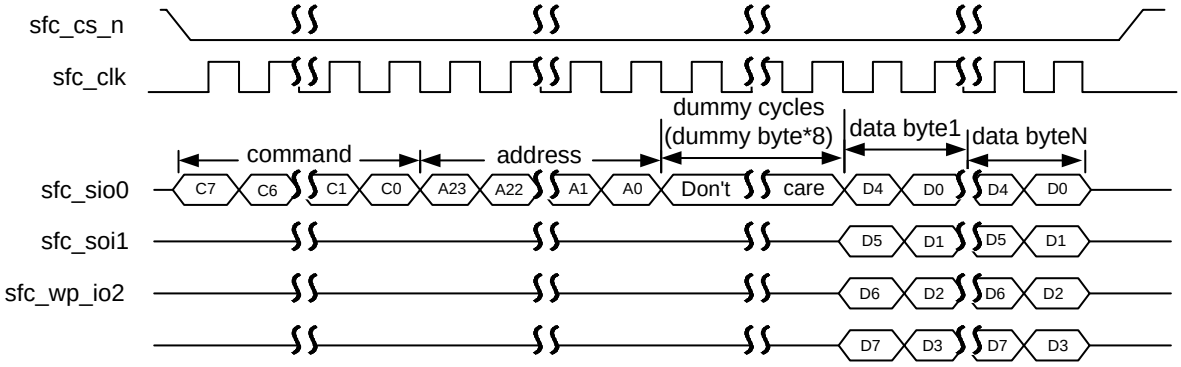


注： Opcode/Address/DummyByte 以 Dual Bits 方式在 sfc_sio0/sfc_soi1 线上输出。Data 以 Dual Bits 方式在 sfc_sio0/sfc_soi1/sfc_wp/sfc_hold 线上输出（写）或输入（读）。

Quad Input/Quad Output SPI

Quad Input/Quad Output SPI 接口模式具有 4bit 双向数据线，接口时序如图 4-21 所示。

图4-21 Quad Input/Quad Output SPI 接口时序图



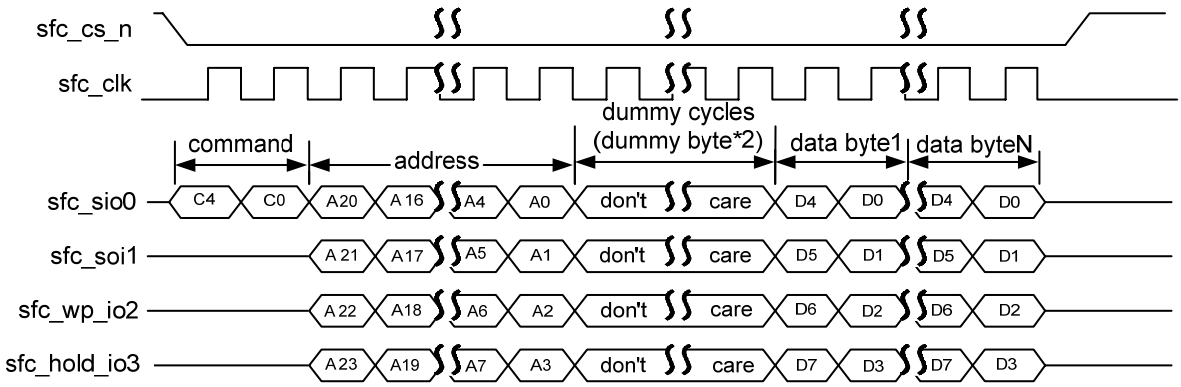
注：Opcode/Address/DummyByte 以单 Bit 串行方式在 sfc_sio0 线上输出。
Data 以 Quad Bits 方式在 sfc_sio0/sfc_soi1/sfc_wp_io2/sfc_hold_io3 线上输出（写）或输入（读）。

Quad I/O SPI

Quad SPI 接口模式具有 4bit 双向数据线，接口时序如图 4-22 所示。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

图4-22 Quad I/O SPI 接口时序图

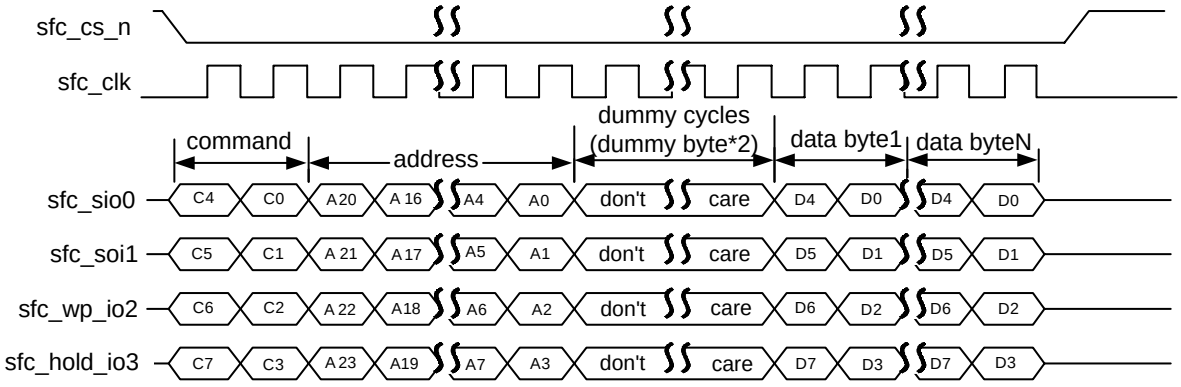


注：Opcode 以单 Bit 串行方式在 sfc_sio0 线上输出。Address/DummyByte 以 Quad Bits 方式在 sfc_sio0/sfc_soi1/sfc_wp/sfc_hold 线上输出。Data 以 Quad Bits 方式在 sfc_sio0/sfc_soi1/sfc_wp/sfc_hold 线上输出（写）或输入（读）。

Full Quad SPI

Full Quad SPI 接口模式具有 4bit 双向数据线，接口时序如图 4-23 所示。

图4-23 Full Quad SPI 接口时序图



注：Opcode/Address/DummyByte 以 Quad Bits 方式在 sfc_sio0/sfc_soi1/sfc_wp_io2/sfc_hold_io3 线上输出。
Data 以 Quad Bits 方式在 sfc_sio0/sfc_soi1/sfc_wp_io2/sfc_hold_io3 线上输出（写）或输入（读）。

4.3.3.2 读写 memory

读 Flash 操作

提供两种读取 Flash 途径的方法：

- 通过 AHB 总线读取 Flash，此方法读取 Flash 操作效率高，SFC 模块自动将 AHB 总线的读操作时序映射为 SPI 时序。
- 通过设置 SFC 的配置寄存器读取 Flash，需要软件配置寄存器。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

对于 AHB 总线的任何读取 Memory 操作，SFC 模块都将其转换成 SPI 接口的读操作。上电后默认执行 Normal read 操作（opcode=0x3），这种读操作对应的 dummy byte 个数为 0。上电系统启动后，可以通过软件配置读命令的 opcode 和 dummy byte 个数进行其他的读操作，如 Fast Read（iocode=0xB），dummy byte 为 1。对于一个 AHB 的 wrap 读操作，SFC 拆成两个 burst 处理。

写 Flash 操作

提供两种写 Flash 途径的方法：

- 通过 AHB 总线写 Flash，SFC 模块自动将 AHB 总线的一次写操作转换为 Flash 侧的 WREN 操作（Write Enable）+PP 操作（Page Program）+RDSR（Read Status Register）操作。但在总线非定长 INCR 写时性能较差。
- 通过设置 SFC 的配置寄存器写 Flash，需要软件配置寄存器。写较大数据量时推荐这种操作方式。

  在写 memory 之前要对 Flash 进行 Erase 操作，这项操作必须要由软件通过配置 SFC 的寄存器完成。

  Flash 执行 PP 操作需要一定的时间，需要通过读 Flash 的状态寄存器来判断 PP 操作是否完成才能开始下一次写操作，否则会丢失数据。

  PP 操作不能跨 page boundary，对于跨 page boundary 的写操作必须拆成两次来完成。通过 AHB 写 Flash 时，SFC 模块根据地址和 burst 长度自动判断此次操作是否会跨 page boundary，如果跨 page boundary 就拆成两次来处理。对一个 AHB 的 wrap 写操作，SFC 将其拆分为两个 burst 来处理。

其他操作

对 Flash 的其他操作如 Erase、进入 Deep Power Down、读 Device ID 等必须通过寄存器访问来实现。

4.3.3.3 Flash 地址模式切换

本模块支持 3Bytes 与 4Bytes 两种 Flash 地址模式，初始地址模式为 3Bytes 模式。可通过配置进行动态切换。两个片选所接 Flash 的地址模式必须相同，否则需要在切换使用某个 FlashS 前重配 CFG、CMD。

切换 Flash 地址模式的步骤如下：

步骤 1. 无 Flash 操作或保证之前 Flash 操作完成。

步骤 2. 用寄存器操作 Flash 方式发送切换地址模式的指令到 Flash。

步骤 3. 配置 GLOBAL_CONFIG[flash_addr_mode]。

步骤 4. 开始基于新地址模式的操作。

----结束

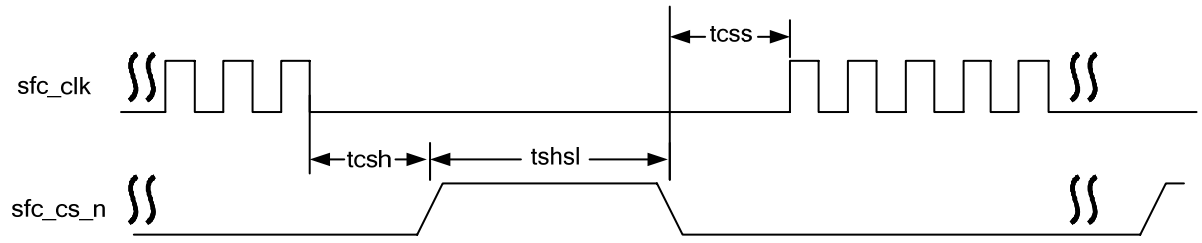
具体 SPI Flash 地址模式切换的命令。请查找相关器件手册。

4.3.3.4 时序说明

时序以及参数说明如图 4-24、图 4-25 所示。

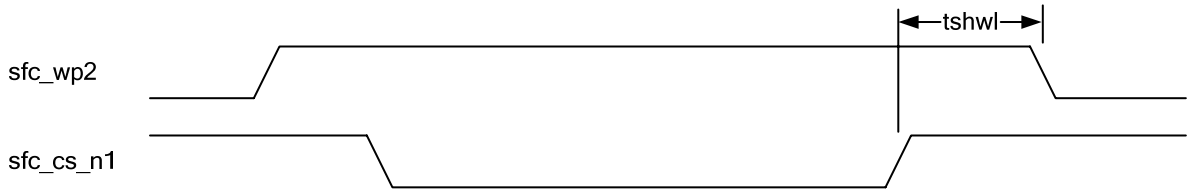
海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

图4-24 SPI 输出时序图



tcsh	CS setup time。
tcss	CS hold time。
tshsl	片选 deselect time。

图4-25 SPI 写保护时序图



tshwl	write protect hold time。

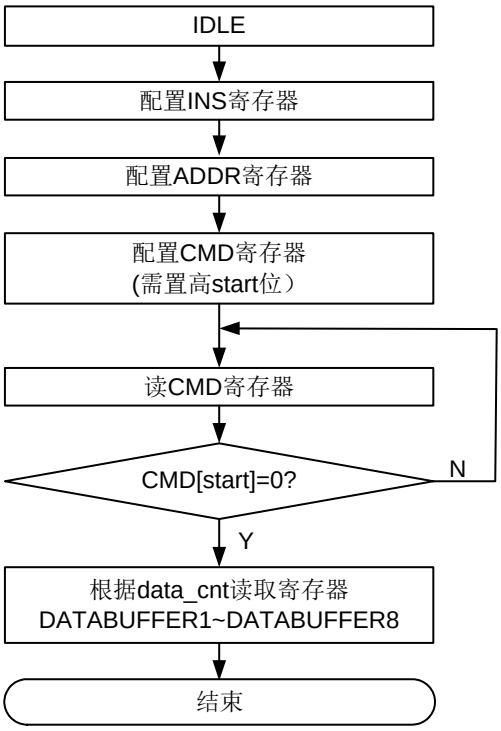
4.3.4 工作流程

4.3.4.1 通过寄存器读 Flash 操作流程

通过寄存器读取 Flash 的操作流程如图 4-26 所示（查询方式）。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

图4-26 通过寄存器读取 Flash 的操作流程（查询方式）

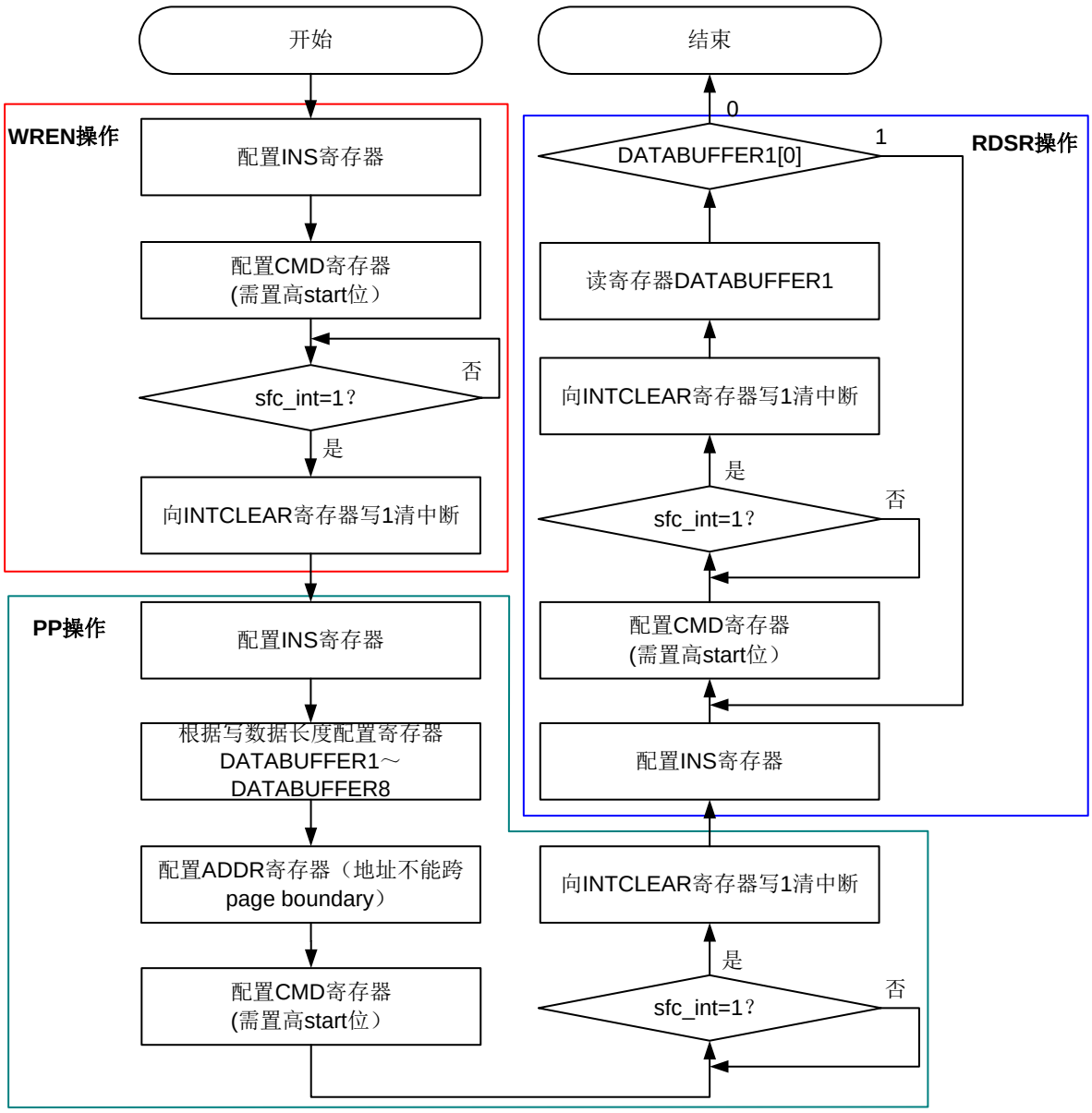


4.3.4.2 通过寄存器写 Flash 操作流程

通过寄存器写 Flash 的操作流程如图 4-27 所示（中断方式）。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

图4-27 通过寄存器写 Flash 的操作流程（中断方式）

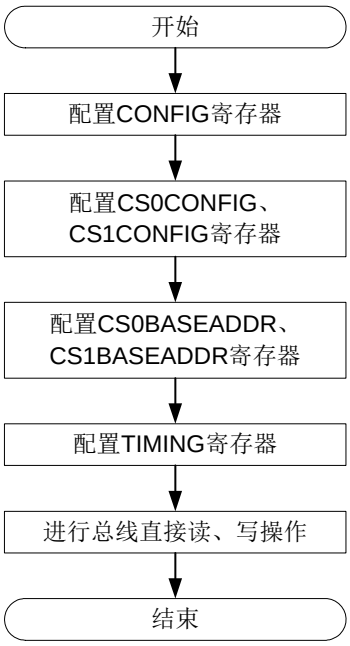


4.3.4.3 通过总线直接对 Flash 读写操作流程

通过总线直接读写 Flash 的操作流程如图 4-28 所示。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

图4-28 通过总线直接读写 Flash 的操作流程



4.3.5 寄存器概览

SFC 寄存器概览如表 4-16 所示。

表4-16 SFC 寄存器概览（0x1001_0000）

偏移地址	名称	描述	页码
0x0100	GLOBAL_CONFIG	全局配置寄存器	4-114
0x0110	TIMING	Timing 配置寄存器	4-115
0x0120	INT_RAW_STATUS	中断原始状态寄存器	4-116
0x0124	INT_STATUS	经过屏蔽处理的中断状态寄存器	4-116
0x0128	INT_MASK	中断屏蔽寄存器	4-117
0x012C	INT_CLEAR	中断清除寄存器	4-118
0x01F8	VERSION	版本寄存器	4-118
0x01FC	VERSION_SEL	版本选择寄存器	4-119
0x0200	BUS_CONFIG1	总线操作方式配置寄存器	4-119
0x0204	BUS_CONFIG2	总线操作方式配置寄存器 2	4-121
0x0210	BUS_FLASH_SIZE	总线操作方式映射尺寸寄存器	4-122

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

偏移地址	名称	描述	页码
0x0214	BUS_BASE_ADDR_CS0	CS0 总线操作方式映射基地址寄存器	4-123
0x0218	BUS_BASE_ADDR_CS1	CS1 总线操作方式映射基地址寄存器	4-123
0x021C	BUS_ALIAS_ADDR_CS1	CS1 alias 地址	4-123
0x0300	CMD_CONFIG	命令操作方式配置寄存器	4-124
0x0308	CMD_INS	命令操作方式指令寄存器	4-126
0x030C	CMD_ADDR	命令操作方式地址寄存器	4-126
0x0400+4xN	CMD_DATABUF_N	命令操作方式数据 Buffer 寄存器 N	4-127

寄存器配置对总线访问 Flash 方式和寄存器访问 Flash 方式的影响，如表 4-17 所示。

表4-17 寄存器配置影响总线访问 Flash 方式和寄存器访问 Flash 方式范围

寄存器	位域	配置适用方式	
		总线操作 Flash 方式	寄存器操作 Flash 方式
CONFIG	wr_ins	是	否
	rd_ins	是	否
	prefetch_cnt	是	否
	rd_delay	是	是
	flash_addr_mode	是	是
	wip_locate	是	是
	dummy_byte	是	否
	mem_if_type	是	是
	Reserved	是	是
	mode	是	是
CMD	-	否	是
INS	-	否	是
ADDR	-	否	是
DATABUFFER1-8	-	否	是

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

寄存器	位域	配置适用方式	
		总线操作 Flash 方式	寄存器操作 Flash 方式
CS0CONFIG	-	是	否
CS1CONFIG	-	是	否
CS1BASEADDR	-	是	否
CS1BASEADDR	-	是	否
CS1ALIASADDR	-	是	否
TIMING	-	是	是
INTRAWSTATUS	-	否	是
INTSTATUS	-	否	是
INTMASK	-	否	是
INTCLEAR	-	否	是

4.3.6 寄存器描述

GLOBAL_CONFIG

GLOBAL_CONFIG 为全局配置寄存器。

Offset Address	Register Name	Total Reset Value
0x0100	GLOBAL_CONFIG	0x0000_0000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3	2	1	0
Name	reserved							rd_delay	flash_addr_mode	wp_en	mode
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0	0	0	0

Bits	Access	Name	Description
[31:5]	RO	reserved	保留。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

[4:3]	RW	rd_delay	SPI 读出数据延迟周期个数。 00：读数据延迟 0 个时钟周期；(default) 01：读数据延迟 1 个时钟周期； 10：读数据延迟 2 个时钟周期； 11：读数据延迟 3 个时钟周期。
[2]	RW	flash_addr_mode	SPI 地址模式 0：3Bytes address mode (default)； 1：4Bytes address mode。 CMD.start 为 1 时写无效。
[1]	RW	wp_en	硬件写保护使能，置 1 后 WP 管脚强制拉低。 0：Disable 硬件写保护 1：Enable 硬件写保护
[0]	RW	mode	SPI 模式设置。 0：支持 Mode0； 1：支持 Mode3。

TIMING

TIMING 为 Timing 配置寄存器。

Offset Address	Register Name	Total Reset Value
0x0110	TIMING	0x0000_660F

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																				tcsh				reserved				tcss				reserved				tshsl			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	0	0	1	1	0	0	0	0	0	1	1	1	1

Bits	Access	Name	Description
[31:15]	RO	reserved	保留。
[14:12]	RW	tcsh	设置片选的 hold time。 000～111：n+1 个时钟周期。n 为 0、1、2、……、7。
[11]	RW	reserved	保留。
[10:8]	RW	tcss	设置片选的 setup time。 000～111：n+1 个时钟周期。n 为 0、1、2、……、7。
[7:4]	RO	reserved	保留

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

[3:0]	RW	tshsl	设置片选的 Deselect time，相当于两次 Flash 操作之间的时间间隔。 0000～1111：n+2 个时钟周期。n 为 0、1、2、……、15。

INT_RAW_STATUS

INT_RAW_STATUS 为中断原始状态寄存器。

Offset Address	Register Name	Total Reset Value
0x0120	INT_RAW_STATUS	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																															cmd_op_end_raw_status
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:1]	RO	reserved	保留。
[0]	RO	cmd_op_end_raw_status	指令操作结束原始中断状态(未经过屏蔽)。 0：未完成操作； 1：已完成操作。

INT_STATUS

INT_STATUS 为经过屏蔽处理的中断状态寄存器。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x0124	INT_STATUS	0x0000_0000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1	0
Name	reserved								cmd_op_end_status
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0	0

Bits	Access	Name	Description
[31:1]	RO	reserved	保留。
[0]	RO	cmd_op_end_status	指令操作结束中断状态(经过屏蔽)。 0：未完成操作； 1：已完成操作。

INT_MASK

INT_MASK 为中断屏蔽寄存器。

Offset Address	Register Name	Total Reset Value
0x0128	INT_MASK	0x0000_0000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1	0
Name	reserved								cmd_op_end_int_mask
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0	0

Bits	Access	Name	Description
[31:1]	RO	reserved	保留。
[0]	RW	cmd_op_end_int_mask	指令操作结束中断屏蔽位。 0：屏蔽中断； 1：不屏蔽中断。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

INT_CLEAR

INT_CLEAR 为中断清除寄存器。

Offset Address	Register Name	Total Reset Value
0x012C	INT_CLEAR	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																															cmd_op_end_int_clr
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:1]	RO	reserved	保留。
[0]	WO	cmd_op_end_int_clr	指令操作结束中断清除位，向该位写 1 将清除 cmd_op_end_status 和 cmd_op_end_raw_status。 0：不清除中断； 1：清除中断。 清除操作完成后该位自动返回 0。

VERSION

VERSION 为版本寄存器。

Offset Address	Register Name	Total Reset Value
0x01F8	VERSION	0x0000_0300

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	VERSION																															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	0	1	0	1	0	0	0	0

Bits	Access	Name	Description
[31:0]	RO	VERSION	SFC 版本号。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

VERSION_SEL

VERSION_SEL 为版本选择寄存器。

Offset Address	Register Name	Total Reset Value
0x01FC	VERSION_SEL	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																															version_sel
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1

Bits	Access	Name	Description
[31:1]	RO	reserved	保留。
[0]	RO	version_sel	新旧寄存器组指示信号。 0：旧版寄存器组； 1：新版寄存器组。

BUS_CONFIG1

BUS_CONFIG1 为总线操作方式配置寄存器。

Offset Address	Register Name	Total Reset Value
0x0200	BUS_CONFIG1	0x8080_0300

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved	wr_enable	wr_ins									wr_dummy_bytes	wr_mem_if_type				rd_ins								rd_prefetch_cnt				rd_dummy_bytes				rd_mem_if_type			
Reset	1	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31]	RW	reserved	保留
[30]	RW	wr_enable	总线写控制 0：禁止总线写功能。 1：使能总线写功能

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

[29:22]	RW	wr_ins	写指令
[21:19]	RW	wr_dummy_bytes	总线写操作 DummyByte 0：没有 DummyByte 1：1 Byte 2：2 Bytes ... 7：7 Bytes
[18:16]	RW	wr_mem_if_type	总线写操作指定连接的 SPI FLASH 接口类型。 000：Standard SPI 接口类型； 001：Dual-Input/Dual-Output SPI； 010：Dual-I/O SPI； 011：Full DIO SPI； 100：reserved； 101：Quad-Input/Dual-Output SPI； 110：Quad-I/O SPI； 111：Fulll QIO SPI。
[15:8]	RW	rd_ins	读指令
[7:6]	RW	rd_prefetch_cnt	总线访问 Flash 方式(非定长读)预取周期。 00：不预取；(default) 01：预取 1 个时钟周期数据； 10：预取 2 个时钟周期数据； 11：预取 3 个时钟周期数据。
[5:3]	RW	rd_dummy_bytes	总线读操作 DummyByte。 0：没有 DummyByte； 1：1 Byte； 2：2 Bytes； ... 7：7 Bytes。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

[2:0]	RW	rd_mem_if_type	总线读操作指定连接的 SPI FLASH 接口类型。 000：Standard SPI 接口类型； 001：Dual-Input/Dual-Output SPI； 010：Dual-I/O SPI； 011：Full DIO SPI； 100：reserved； 101：Quad-Input/Dual-Output SPI； 110：Quad-I/O SPI； 111：Fulll QIO SPI。

BUS_CONFIG2

BUS_CONFIG2 为总线操作方式配置寄存器 2。

Offset Address	Register Name	Total Reset Value
0x0204	BUS_CONFIG2	0x0000_0000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved							wip_locate
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[31:3]	RO	reserved	保留。
[2:0]	RW	wip_locate	WIP(Write In Progress)位在 Flash 状态寄存器的位置。 000：WIP 位于 Flash 状态寄存器的第 0 比特；(default) 001：WIP 位于 Flash 状态寄存器的第 1 比特； 010：WIP 位于 Flash 状态寄存器的第 2 比特； 011：WIP 位于 Flash 状态寄存器的第 3 比特； 100：WIP 位于 Flash 状态寄存器的第 4 比特； 101：WIP 位于 Flash 状态寄存器的第 5 比特； 110：WIP 位于 Flash 状态寄存器的第 6 比特； 111：WIP 位于 Flash 状态寄存器的第 7 比特。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

BUS_FLASH_SIZE

BUS_FLASH_SIZE 为总线操作方式映射尺寸寄存器。

Offset Address	Register Name	Total Reset Value
0x0210	BUS_FLASH_SIZE	0x0000_0909

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																				flash_size_cs1				reserved				flash_size_cs0			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	1	0	0	0	0	1	0	0	1

Bits	Access	Name	Description
[31:12]	RO	reserved	保留。
[11:8]	RW	flash_size_cs1	指定片选 1 连接的 SPI Flash 容量。 0000：没有连接 SPI FLASH； 0001：512Kbit； 0010：1Mbit； 0011：2Mbit； 0100：4Mbit； 0101：8Mbit； 0110：16Mbit； 0111：32Mbit； 1000：64Mbit； 1001：128Mbit(default)； 1010：256Mbit； 1011：512Mbit； 1100：1Gbit； 1101：2Gbit； 1110；4Gbit； 1111：8Gbit。
[7:4]	RW	reserved	保留。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

[3:0]	RW	flash_size_cs0	指定片选 0 连接的 SPI Flash 容量。 0000：没有连接 SPI FLASH； 0001：512Kbit； 0010：1Mbit； 0011：2Mbit； 0100：4Mbit； 0101：8Mbit； 0110：16Mbit； 0111：32Mbit； 1000：64Mbit； 1001：128Mbit(default)； 1010：256Mbit； 1011：512Mbit； 1100：1Gbit； 1101：2Gbit； 1110：4Gbit； 1111：8Gbit。

BUS_BASE_ADDR_CS0

BUS_BASE_ADDR_CS0 为总线操作方式映射基地址寄存器。

Offset Address	Register Name	Total Reset Value
0x0214	BUS_BASE_ADDR0	0x5A00_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	bus_base_addr_high_cs0																reserved															
Reset	0	1	0	1	1	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:16]	RW	bus_base_addr_high_cs0	CS0 flash 映射到系统空间基地址。
[15:0]	RO	reserved	保留。

BUS_BASE_ADDR_CS1

BUS_BASE_ADDR_CS1 为总线操作方式映射基地址寄存器。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x0218	BUS_BASE_ADDR	0x5800_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	bus_base_addr_high_cs1																reserved															
Reset	0	1	0	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:16]	RW	bus_base_addr_high_cs1	CS1 flash 映射到系统空间基地址。
[15:0]	RO	reserved	保留。

BUS_ALIAS_ADDR_CS1

BUS_ALIAS_ADDR 为总线操作方式 Alias 映射基地址寄存器。

Offset Address	Register Name	Total Reset Value
0x021C	BUS_ALIAS_ADDR	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	flash_alias_addr																reserved															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:16]	RW	flash_alias_addr	Cs1 flash 映射到系统空间第二个基地址。
[15:0]	RO	reserved	保留。

CMD_CONFIG

CMD_CONFIG 为命令操作方式配置寄存器。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x0300	CMD_CONFIG	0x0000_7E00

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved												mem_if_type				data_cnt							rw	data_en	dummy_byte_cnt			addr_en	reserved	sel_cs	start				
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1	1	1	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:20]	RO	reserved	保留。
[19:17]	RW	mem_if_type	指定寄存器命令操作方式连接的 SPI FLASH 接口类型。 000：Standard SPI 接口类型； 001：Dual-Input/Dual-Output SPI； 010：Dual-I/O SPI； 011：Full DIO SPI； 100：reserved； 101：Quad-Input/Dual-Output SPI； 110：Quad-I/O SPI； 111：Fulll QIO SPI。
[16:9]	RW	data_cnt	读写数据长度 N+1Bytes。
[8]	RW	rw	标识此次操作数据读写，需 data_en 为 1。 0：写，有发送数据； 1：读，有返回数据。
[7]	RW	data_en	标识此次操作是否有数据。 0：没有数据； 1：有数据。
[6:4]	RW	dummy_byte_cnt	寄存器命令操作方式 DummyByte。 000：没有 DummyByte； 001：1 Byte； 010：2 Bytes； ... 111：7 Bytes。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

[3]	RW	addr_en	此次操作是否有地址。 0：没有地址； 1：有地址。
[2]	RO	reserved	保留。
[1]	RW	sel_cs	片选选择操作。 0：选择片选 0 进行操作； 1：选择片选 1 进行操作。
[0]	RW	start	标识指令操作开始。 0：操作结束； 1：开始操作。 此次操作完成后该位自动回 0。

CMD_INS

CMD_INS 为命令操作方式指令寄存器。

Offset Address	Register Name	Total Reset Value
0x0308	CMD_INS	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																								REG_INS							
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:8]	RO	reserved	保留。
[7:0]	RW	REG_INS	寄存器访问 Flash 方式下的指令码。

CMD_ADDR

CMD_ADDR 为命令操作方式地址寄存器。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x030C	CMD_ADDR	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				cmd_addr																											
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:30]	RO	reserved	保留。
[29:0]	RW	cmd_addr	寄存器访问 Flash 方式下的操作地址。

CMD_DATABUF_N

CMD_DATABUF_N 为命令操作方式数据 Buffer 寄存器。

Offset Address	Register Name	Total Reset Value
0x0400+4xN （N=0,…,63）	CMD_DATABUF_N	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	cmd_databuf_n																															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:0]	RW	cmd_databuf_n	寄存器访问 Flash 方式下的第 N 数据 Buffer。 寄存器偏移地址 0x400+4xN。 N 为 0 到 63。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

目 录

5 TOE 5-1
5.1 概述 5-1
5.2 特点 5-1
5.2.1 GMAC 5-1
5.2.2 TOE 加速 5-1
5.3 功能描述 5-2
5.4 工作方式 5-4
5.4.1 接口时序 5-4
5.4.2 bypass 工作模式 5-7
5.4.3 TOE 工作模式 5-13
5.5 寄存器概览 5-22
5.6 TOE 寄存器描述 5-28

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

插图目录

图 5-1 TOE 功能框图 5-3
图 5-2 MDIO 接口读时序 5-4
图 5-3 MDIO 接口写时序 5-4
图 5-4 MDIO 接口接收时序参数 5-5
图 5-5 RGMII 接口接收时序 5-5
图 5-6 RGMII 接口发送时序 5-6
图 5-7 MII 接口接收时序参数 5-6
图 5-8 MII 接口发送时序参数 5-7
图 5-9 bypass 工作模式下接收流程 5-8
图 5-10 bypass 接收描述子 5-8
图 5-11 bypass 工作模式下发送流程 5-11
图 5-12 bypass 发送描述子 5-12
图 5-13 TCP 协议状态转移图 5-15
图 5-14 TOE 工作模式下接收流程 5-16
图 5-15 TCP 报文接收描述子 5-16
图 5-16 TOE 工作模式下发送流程 5-21
图 5-17 TCP 报文发送描述子 5-22

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

表格目录

表 5-1 MDIO 接口时序参数 5-5
表 5-2 RGMII 接口时序参数 5-6
表 5-3 MII 接口时序参数说明 5-7
表 5-4 bypass 接收描述子数据结构 5-8
表 5-5 bypass 发送描述子数据结构 5-12
表 5-6 TCP 报文格式 5-14
表 5-7 TCP 报文接收描述子数据结构 5-17
表 5-8 TCP 报文发送描述子数据结构 5-22
表 5-9 偏移地址变量表 5-23
表 5-10 TOE 寄存器概览（基址是 0x101C_0000） 5-23

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

5 TOE

5.1 概述

TOE 模块(TCP Offload Engine，TCP 卸载引擎)同时实现 1 个网络接口数据的接收和发送，可以工作在 10/100/1000Mbit/s 模式下，支持半双工和全双工工作模式，提供 MII 和 RGMII 接口。

TOE 模块能够通过硬件部分实现部分 TCP/IP 加速处理的功能，不但能够提升网络接口的吞吐量，还可以显著的降低 CPU 占用率。

5.2 特点

5.2.1 GMAC

TOE 模块中包含 1 个 GMAC，其特点如下：

- 支持 10/100/1000Mbit/s 全双工模式
- 支持 10/100Mbit/s 半双工模式。
- 支持 MII、RGMII 接口。
- 支持全双工模式下的 802.3x 流控。
- 支持半双工模式下的 CSMA/CD。
- 支持帧长度检测，并丢弃不符合规定长度的数据包。
- 支持对发送帧 SFD 自动添加和接收帧 SFD 自动删除。
- 提供一个 MDIO 接口。
- 支持基于端口接收帧和发送帧的统计计数。
- 支持是否接收广播帧、多播帧和单播帧功能可配置。
- 提供可配置的 MAC 地址过滤功能。
- 兼容 802.3-2005。

5.2.2 TOE 加速

TOE Core 模块可以部分实现对 TCP/IP 协议的加速处理，其主要特点如下：

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

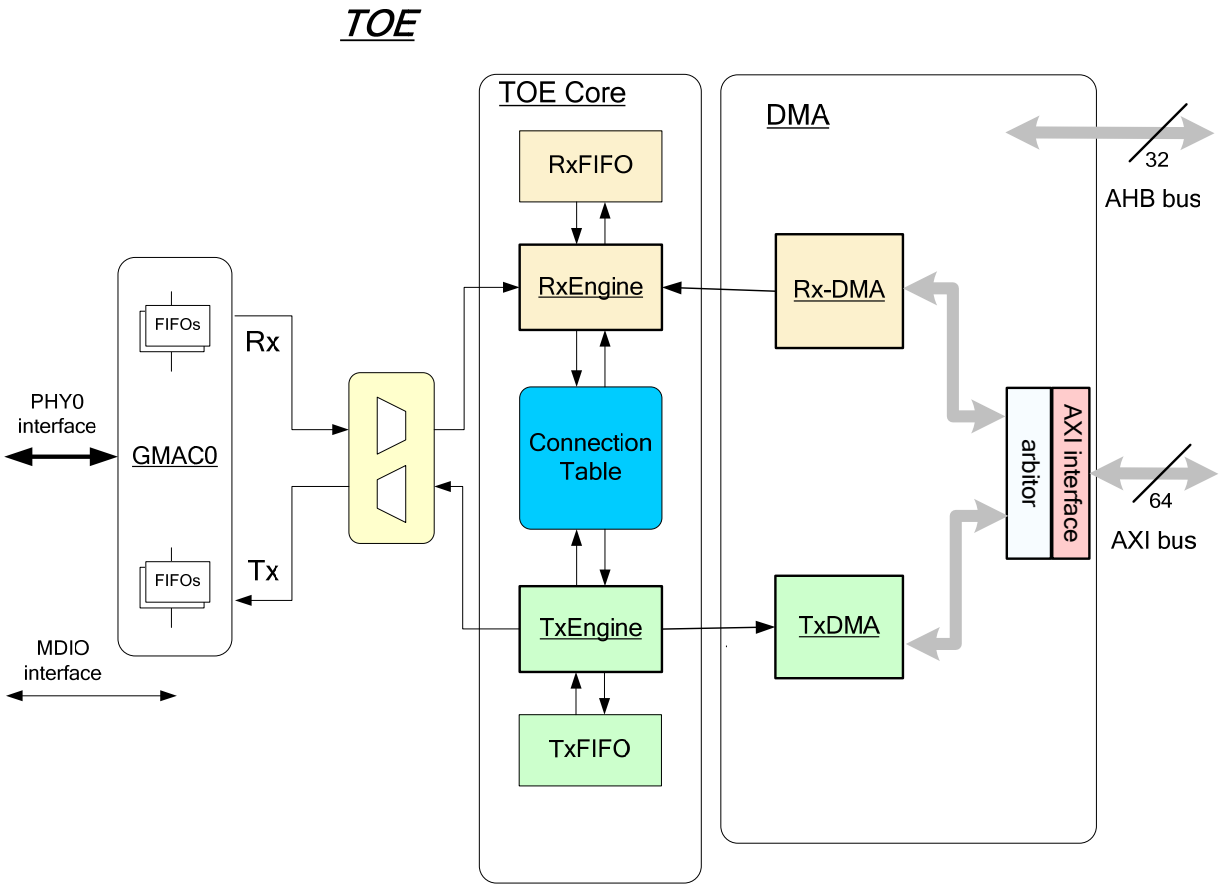
- 支持最多 254 个连接的 TCP 加速处理，最大连接数可配置。超过最大连接数的将经由标准 TCP/IP 协议栈处理。
- 支持多种协议的硬件加速处理，包括 TCP 协议和 IP 协议。其他三四层协议将被标准 TCP/IP 协议栈处理。
- 所有 IPv6 的报文都由标准 TCP/IP 协议栈处理。
- 所有 VLAN 的报文都由标准 TCP/IP 协议栈处理。
- 支持多种 bypass 模式，此时 TOE 模块仅处理二层报文（实际相当于 GMAC 功能），而三四层报文的处理由标准 TCP/IP 协议栈实现。
- 支持 TCP 加速处理，硬件实现的功能如下：
  - 支持连接管理，硬件将处理连接建立后的所有数据传输。
  - 支持慢启动。
  - 支持最大分段长度 MSS 可配。
  - 支持拥塞控制算法。
  - 支持收发方向上的 TCP 校验和 IP 头校验和计算。
  - 支持基于滑动窗口的流量控制。
  - 支持报文乱序检测和丢弃处理。
  - 支持硬件定时器，包括重传定时器，坚持定时器。保活定时器和 2MSL 定时器将在软件协议栈中实现。
  - 支持窗口扩大选项 window scale。
  - 支持 RTT 的测量和计算。
  - 支持 TCP 的超时重传和快速重传。
- 支持两种驱动模式，用于选择当前 TCP 连接是否加速。
  - 基于阈值：一旦某一连接的流量超过软件设定的阈值，该连接将一直被加速，直至被拆除。
  - 先到先得：首先建立的 254 个连接将被加速，其余连接不加速。只有首先建立的 254 个连接中某一连接被拆除时，新建立的连接才能加速。
- 支持 TCP 加速连接收发双向的统计计数器。

5.3 功能描述

TOE 模块的功能框图如图 5-1 所示。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

图5-1 TOE 功能框图



TOE 模块主要包含 GMAC、TOE Core 和 DMA 三个功能单元，其特性如下：

- TOE 模块提供 1 套 PHY 接口，它可以支持的 PHY 模式包括 RGMII 和 MII，速率支持 10/100/1000Mbps，可以分别支持半双工和全双工模式。同时 TOE 还提供一套 MDIO 接口，对两个 PHY 分别进行配置。
- TOE 模块包含 1 个 GMAC 模块，GMAC 实现了基本的二层报文处理的功能，并通过内部 FIFO 实现接收数据和发送数据的缓存。
- TOE Core 模块实现了 TCP/IP 协议的加速处理。
  - TOE Core 内部的 ConnectionTable，维护了最多 254 个 TCP 加速连接的信息；
  - TOE Core 通过硬件状态机，实现对接收数据和发送数据的管理和控制；
  - 在接收方向，TOE Core 通过 RxFIFO 缓存接收数据，可以对数据包进行解析和校验和计算，并通过查找表准确的从 ConnectionTable 中获取该数据包对应连接的详细信息，同时还可以对接收数据包进行统计计数；
  - 在发送方向，TOE Core 通过 TxFIFO 实现对发送数据的缓存，通过 TxEngine 实现对发送数据的控制，可以对数据包进行校验和计算，和发送数据的定时管理。
- DMA 模块提供了多个 DMA 单元，分别用于普通 Ethernet 报文和某些 TCP 报文的数据接收和发送。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

- TOE 提供了一套 64-bit AXI master 接口和一套 32-bit AHB slave 接口。

5.4 工作方式

5.4.1 接口时序

TOE 的接口信号请参考硬件特性-管脚信息描述一节，以下简单介绍 TOE 支持的 MDIO、RGMII 和 MII 的接口时序。

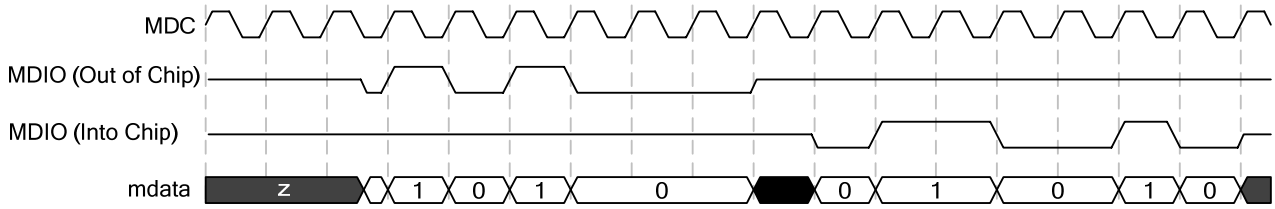
5.4.1.1 MDIO 接口时序

MDIO 接口实现对物理层芯片的读写控制。在软件操作时将数据、物理层芯片的地址、寄存器地址和相关控制信息写入到 GMACN_GMII_DATA 寄存器中，然后查询到 GMACN_GMII_ADDR [GB]为 0 表示硬件已经完成对物理层芯片的读写操作。硬件将地址、数据和控制信息等转化成 MDIO 接口时序。读操作时，将读回的数据存放在 GMACN_GMII_DATA 中，CPU 在查询到 GMACN_GMII_ADDR [GB]为 0 后到 GMACN_GMII_DATA 中读取数据。

芯片可以通过 MDIO 接口自动获取物理层芯片的工作状态。用户指定 TOE 工作在自适应工作状态时，需要配置 GMACN_GMII_ADDR 寄存器中关于物理层芯片的相关状态寄存器的地址等信息。TOE 使用 MDIO 接口自动从指定的物理层芯片的相关寄存器中读出状态信息，存放在寄存器 GMACN_GMII_DATA 中。具体状态寄存器地址请参考相关物理层芯片文档。

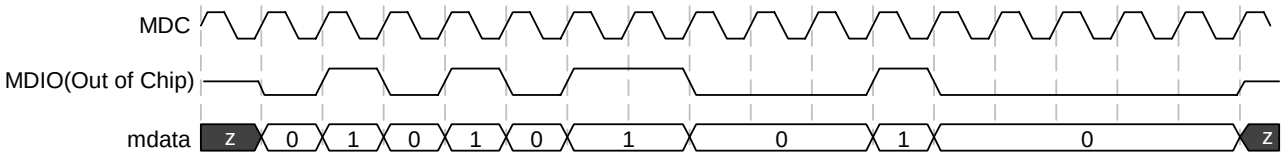
MDIO 接口读时序如图 5-2 所示。

图5-2 MDIO 接口读时序



MDIO 接口写时序如图 5-3 所示。

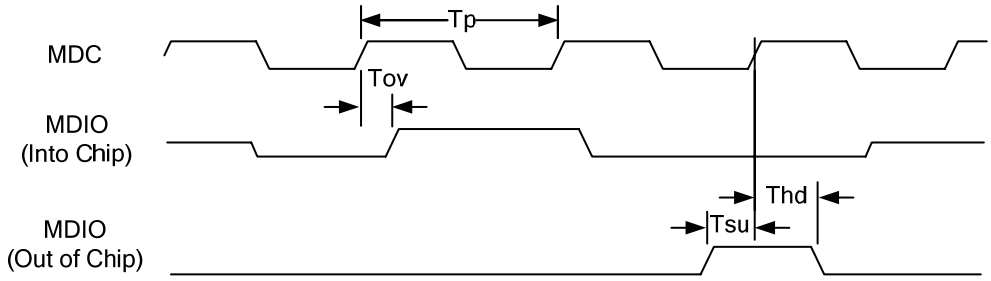
图5-3 MDIO 接口写时序



MDIO 接口时序参数如图 5-4 所示。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

图5-4 MDIO 接口接收时序参数



MDIO 接口时序参数说明如表 5-1 所示。

表5-1 MDIO 接口时序参数

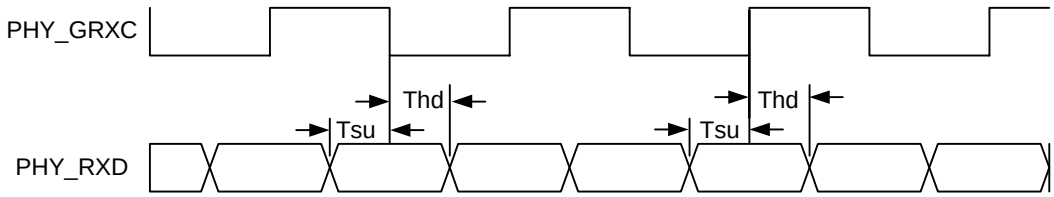
参数	符号	信号	最小值	最大值	单位
MDIO 接收数据延迟时间	Tov	MDIO	0	300	ns
MDIO 时钟周期	Tp	MDC	400	1240	ns
MDIO 发送数据建立时间	Tsu	MDIO	10	-	ns
MDIO 发送数据保持时间	Thd	MDIO	10	-	ns

注：MDC 时钟周期 Tp 可通过调整 MDC 频率（GMACN_GMII_ADDR [CR]）进行改变，选择 TOE 工作时钟的 102 分频、62 分频或者其他分频。Tov 与 MDC 时钟周期 Tp 相关，约为 Tmdc/2。

5.4.1.2 RGMII 接口时序

RGMII 接口接收时序如图 5-5 所示。

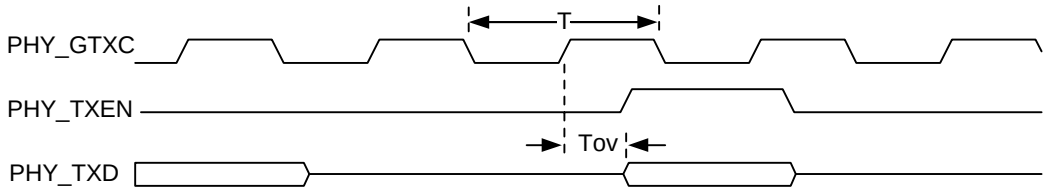
图5-5 RGMII 接口接收时序



RGMII 接口发送时序如图 5-6 所示。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

图5-6 RGMII 接口发送时序



RGMII 接口时序参数说明如表 5-2 所示。

表5-2 RGMII 接口时序参数

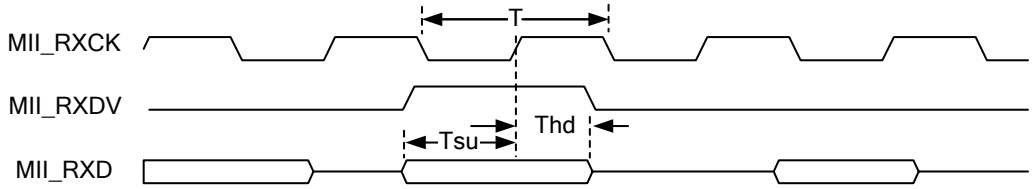
参数	符号	信号	最小值	最大值	单位
RGMII 时钟周期	T	PHY_GRXC PHY_GTXC	8	8	ns
RGMII 信号建立时间	Tsu（RX）	PHY_RXER、PHY_RXDV、PHY_RXD[3:0]	1	-	ns
RGMII 信号保持时间	Thd（RX）	PHY_RXER、PHY_RXDV、PHY_RXD[3:0]	1	-	ns
RGMII 输出信号延时	Tov（TX）	PHY_TXD[3:0]、PHY_TXEN	-0.5	0.5	ns

5.4.1.3 MII 接口时序

芯片提供标准的 MII 接口，连接 PHY（Physical Layer Etity Sublayer）芯片，符合 MII 接口时序标准。

MII 接口接收时序参数如图 5-7 所示。

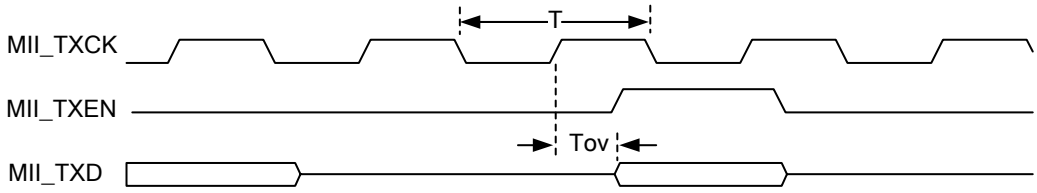
图5-7 MII 接口接收时序参数



MII 接口发送时序参数如图 5-8 所示。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

图5-8 MII 接口发送时序参数



MII 接口时序参数说明如表 5-3 所示。

表5-3 MII 接口时序参数说明

参数	符号	信号	最小值	最大值	单位
MII 时钟周期	T	ETH_RXCK、ETH_TXCK	400(10M bit/s)	400	ns
			40(100M bit/s)	40	
MII 信号建立时间	Tsu（RX）	ETH_RXER、ETH_RXDV、ETH_RXD[3:0]	10	-	ns
MII 信号保持时间	Thd（RX）	ETH_RXER、ETH_RXDV、ETH_RXD[3:0]	10	-	ns
MII 输出信号延时	Tov（TX）	ETH_TXD[3:0]、ETH_TXEN	0	25	ns

5.4.2 bypass 工作模式

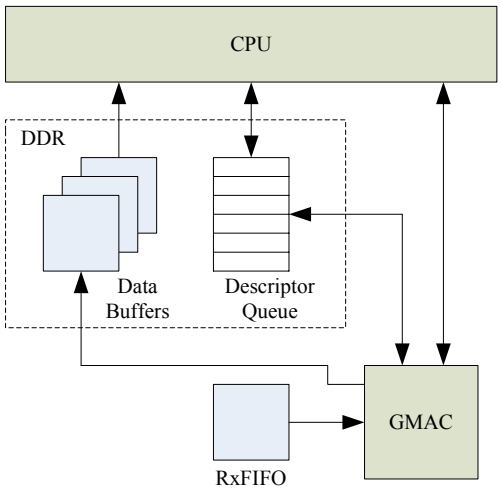
bypass 工作模式下，TOE 只处理二层网络报文。可以认为 bypass 工作模式只实现了 GMAC 的功能。设定 bypass 工作模式，需要配合加载 bypass 驱动实现。以下简要介绍 bypass 模式下的收发包流程。

5.4.2.1 bypass 模式收包流程

bypass 工作模式下，一个简单的 Ethernet 报文接收流程如图 5-9 所示。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

图5-9 bypass 工作模式下接收流程



CPU 配置接收描述子队列，确保 GMAC 有可用接收描述子，然后通过配置寄存器启动 GMAC 接收过程；GMAC 根据寄存器配置，读取可用接收描述子，然后从 RxFIFO 中读取从 PHY 侧接收的 Ethernet 报文，并进行相应处理；如果当前 Ethernet 报文符合接收条件，GMAC 将该报文写入接收描述子指示的数据缓冲区，并回写接收描述子；接着，GMAC 上报中断，通知 CPU 启动接收操作；最后，CPU 读取被 GMAC 回写的接收描述子，从接收描述子指示的数据缓冲区中取出 Ethernet 报文，完成一次报文接收操作。

bypass 模式下的接收描述子由 4 个 WORD 组成，如图 5-10 所示，每个 WORD 有 32 比特，共计 128 比特。接收描述子数据结构如表 5-4 所示。

图5-10 bypass 接收描述子

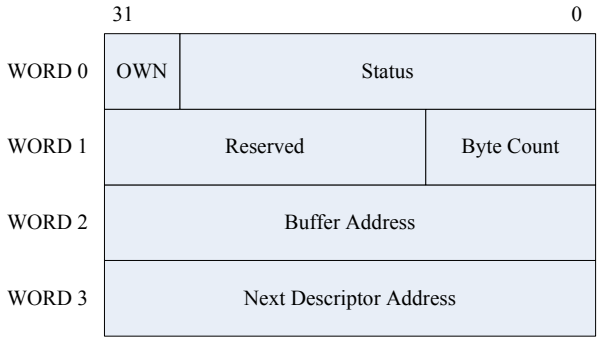


表5-4 bypass 接收描述子数据结构

位	名称	描述
[127:96]	next_desc_addr	下一描述子的地址。
[95:64]	buff_addr	缓冲区起始地址。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

位	名称	描述
[63]	DIC	接收完成时不产生接收中断。 0：接收完成时产生接收中断； 1：接收完成时产生接收中断。
[62:58]	reserverd	保留。
[57]	RER	Ring 模式下最后一个描述子。 0：Ring 模式下，当前描述子不是最后一个描述子； 1：Ring 模式下，当前描述子是最后一个描述子。
[56:45]	reserverd	保留。
[44:32]	byte_count	字节计数，指示接收缓冲区大小。
[31]	own	OWN 比特，指示当前描述子的归属。 0：当前描述子应该由 CPU 操作； 1：当前描述子应该由 GMAC 操作。
[30]	AFM	目的地址过滤结果指示符。 0：当前报文目的地址过滤失败； 1：当前报文目的地址过滤成功。
[29:16]	FL	指示当前接收报文的长度，以字节为单位。
[15]	ES	错误统计，是所有错误指示的逻辑或，包括 bit[0]、bit [1]、bit [3]、bit [4]、bit [6]、bit [7]、bit [11]和 bit [14]；该比特仅在 bit [8]为 1 设置时有效。 0：当前接收报文没有错误； 1：当前接收报文有错误。
[14]	DE	描述子错误。 0：当前描述子缓冲区足够填充该报文； 1：当前描述子缓冲区不足以填充该报文，报文被截断。 该比特仅在比特[8]设置为 1 时有效。
[13]	SAF	源地址过滤结果指示符。 0：当前报文源地址过滤失败； 1：当前报文源地址过滤成功。
[12]	LE	指示长度字段是否与报文长度匹配；该比特仅在 bit [5]设置为 0 时有效，CRC 出错时比特无效。 0：报文实际长度与其长度字段值匹配； 1：报文实际长度与其长度字段值不匹配。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

位	名称	描述
[11]	OE	MTL 中缓冲区溢出指示。 0：接收报文接收过程中缓冲区正常； 1：接收报文因缓冲区溢出而损坏。
[10]	VLAN	VLAN 指示符。 0：当前报文不是 VLAN 报文； 1：当前报文是 VLAN 报文。
[9]	FS	首个描述子指示符。 0：当前描述子保存的不是接收报文的第一部分； 1：当前描述子保存的是接收报文的第一部分。 如果当前描述子的报文长度为 0，则下一描述子保存接收报文的第一部分，以此类推。
[8]	LS	最后一个描述子指示符。 0：当前描述子保存的不是接收报文的最后一部分； 1：当前描述子保存的是接收报文的最后一部分。
[7]	GF	超长报文指示。 0：当前报文不是超长报文（大于 1518 字节）。 1：当前报文时超长报文。
[6]	LC	Late Collision。 0：半双工模式下未发送 late collision； 1：半双工模式下发送 late collision。
[5]	FT	报文类型。 0：IEEE 802.3 报文； 1：Ethernet 报文。
[4]	RWT	接收 watchdog 超时指示。 0：接收过程中 watchdog 正常； 1：接收过程中 watchdog 超时，报文被截断。
[3]	RE	接收错误。 0：接收过程中 gmii_rxdv_i 有效时 gmii_rxer_i 一直为 0； 1：接收过程中 gmii_rxdv_i 有效时出现 gmii_rxer_i 为 1。
[2]	DE	Dribble 比特错误，仅在 MII 模式下有效。 0：当前报文长度是字节的整数倍； 1：当前报文长度不是字节的整数倍。

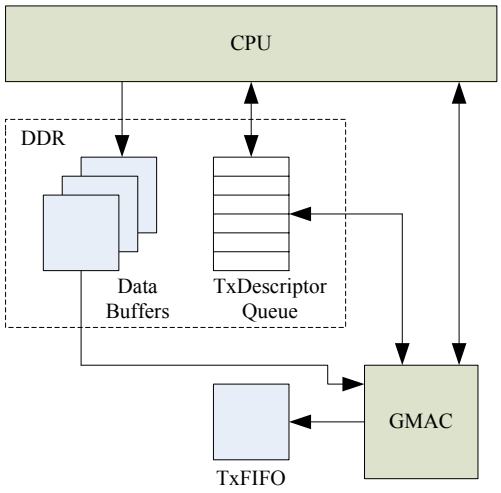
海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

位	名称	描述
[1]	CE	CRC 错误，仅在 bit[8]设置时有效。 0：接收报文 CRC 校验正确； 1：接收报文 CRC 校验错误。
[0]	Rx MAC Address	接收 MAC 地址指示。 0：当前报文接收 MAC 地址匹配 RxMAC 寄存器 1～15； 1：当前报文接收 MAC 地址匹配 RxMAC 寄存器 0。

5.4.2.2 bypass 模式发包流程

bypass 工作模式下，一个简单的 Ethernet 报文发送流程如图 5-11 所示。

图5-11 bypass 工作模式下发送流程



当有数据要发送时，CPU 配置发送描述子队列，并通过寄存器配置启动 GMAC 发送过程；GMAC 根据寄存器配置，获取可用的发送描述子；GMAC 从发送描述子指示的数据缓冲区中读取需要发送的 Ethernet 报文，处理完成后将该报文写入 TxFIFO；接着，GMAC 回写对应 Ethernet 报文的发送描述子，并上报中断告知 CPU 已完成发送操作；最后 CPU 从发送描述子队列中回收被 GMAC 回写的发送描述子，等待后续数据发送时使用。

bypass 模式下的发送描述子由 4 个 WORD 组成，如图 5-12 所示，每个 WORD 有 32 比特，共计 128 比特。发送描述子数据结构如表 5-5 所示。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

图5-12 bypass 发送描述子

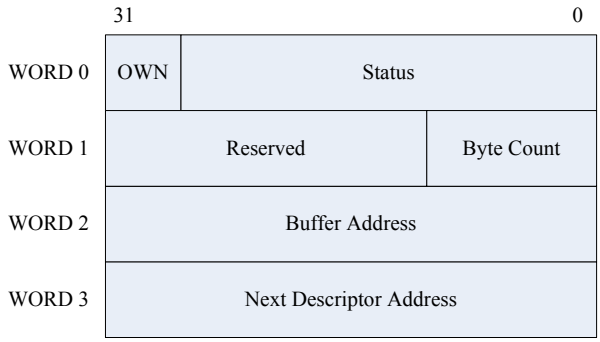


表5-5 bypass 发送描述子数据结构

位	名称	描述
[127:96]	next_desc_addr	下一描述子的地址。
[95:64]	buff_addr	缓冲区地址。
[63:45]	reserved	保留。
[44:32]	byte_count	字节计数，指示发送报文的长度。
[31]	own	OWN 比特，指示当前描述子的归属。 0：当前描述子应该由 CPU 操作； 1：当前描述子应该 GMAC 操作。
[30]	intr	发送完成时使能中断。 0：发送完成时不使能中断； 1：发送完成时使能中断。
[29:22]	reserverd	保留。
[21]	TER	Ring 模式下最后一个描述子。 0：当前描述子不是 Ring 模式下的最后一个描述子； 1：当前描述子是 Ring 模式下的最后一个描述子。
[20:16]	reserverd	保留。
[15]	ES	错误状态汇总。是所有错误指示的逻辑或，包括 bit[1]、bit [8]、bit [9]、bit [10]和 bit [11]。 0：当前发送报文没有错误； 1：当前发送报文有错误。
[14:12]	reserved	保留。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

位	名称	描述
[11]	LC	载波丢失。仅在半双工模式下有效。 0：数据发送过程中载波信号正常； 1：数据发送过程中载波信号异常拉低。
[10]	NC	没有载波。仅在半双工模式下有效。 0：数据发送时接收到来自 PHY 的载波信号； 1：数据发送时没有接收到来自 PHY 的载波信号。
[9]	LC	Late Collision。 0：半双工模式下未发送 late collision； 1：半双工模式下发送 late collision。
[8]	EC	冲突次数超过最大限制。 0：未出现连续 16 次数据发送时冲突； 1：连续 16 次数据发送时冲突，导致发送失败。
[7]	VLAN	VLAN 指示符。 0：当前报文不是 VLAN 报文； 1：当前报文是 VLAN 报文。
[6:3]	CC	冲突计数，指示报文正确发出之前出现冲突的次数。
[2]	reserved	保留。
[1]	UF	下溢错误。 0：来自主机内存的数据正常到达，GMAC 正常发送； 1：来自主机内存的数据延迟到达，GMAC 取消发送。
[0]	DB	推迟比特，仅在半双工模式下有效。 0：GMAC 中数据发送前未检测到载波可以发送； 1：GMAC 中数据发送前检测到载波而推迟发送。

5.4.3 TOE 工作模式

TOE 工作模式下，非 TCP 报文的处理，与 bypass 模式下的处理流程和描述子数据结构是一致的。以下处理将针对 TCP 协议报文，以及 TOE 对此类报文的处理作简单说明。

设定 TOE 工作模式，需要配合加载 TOE 驱动实现。

TOE 所处理的报文格式

TCP 协议是一种可靠的流传输协议，它采用带有重传的确认机制来保证可靠性，并且通过滑动窗口保证传输效率。一个点对点的 TCP 连接包含以下四个元素：IP 源地址，

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

TCP 源端口号，IP 目的地址，TCP 目的端口号。典型的由 IPv4 协议封装的 TCP 报文如下表 5-6 所示。

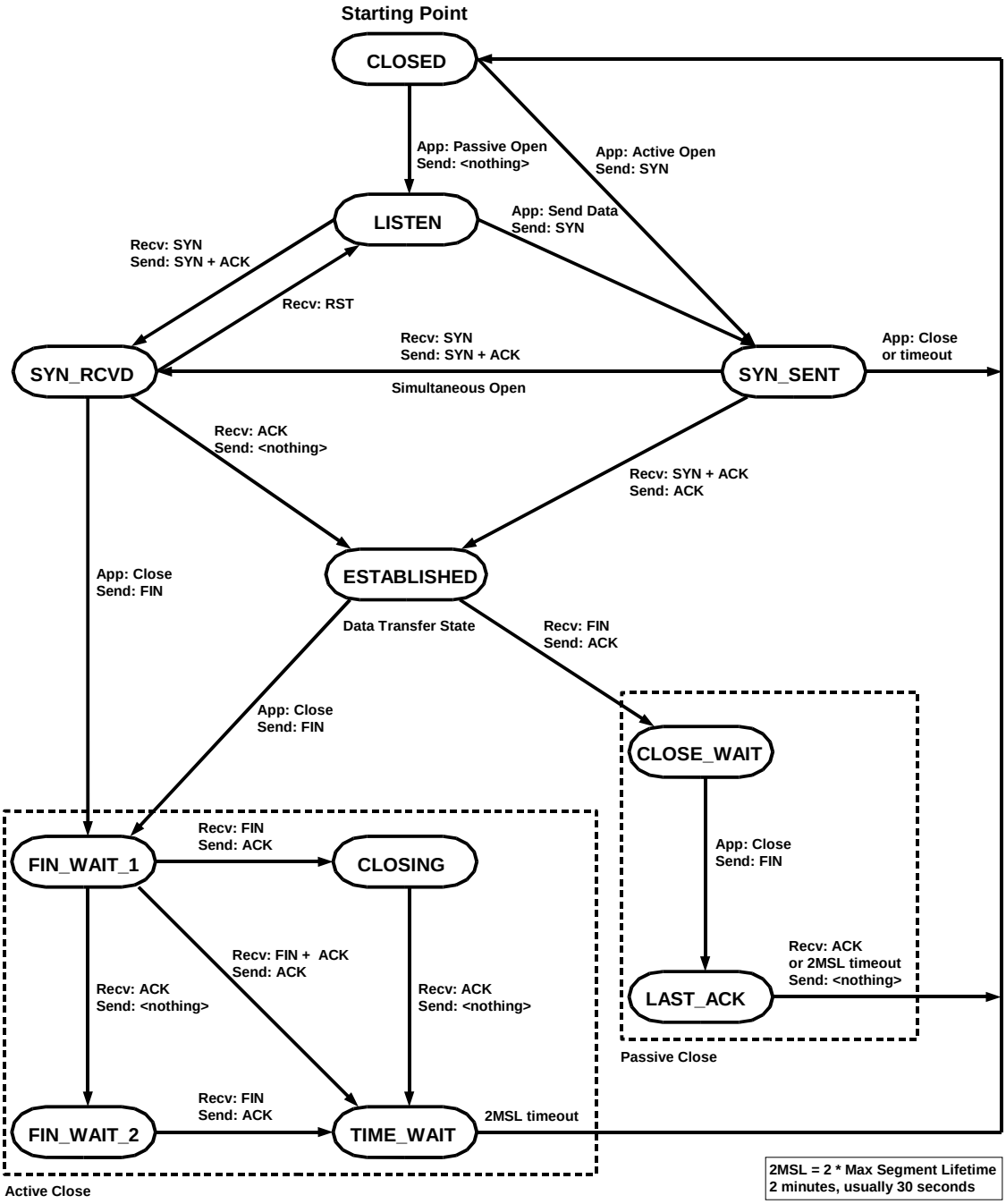
表5-6 TCP 报文格式

Byte 0		Byte 1	Byte 2	Byte 3
Version	Header Length	Type of Service (TOS)	Total Length	
Identification			Flags	Fragment Offset
Time to Live (TTL)		Protocol (0x06-TCP)	Header 校验和	
Source Address				
Destination Address				
Source Port			Destination Port	
Sequence Number				
Acknowledge Number				
Header Length	Reserved	Control Bits	Window	
Checksum			Urgent Pointer	
Data				
...				

TOE 的实现符合 IETF RFC 标准文档，其状态转移图如下图 5-13 所示。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

图5-13 TCP 协议状态转移图



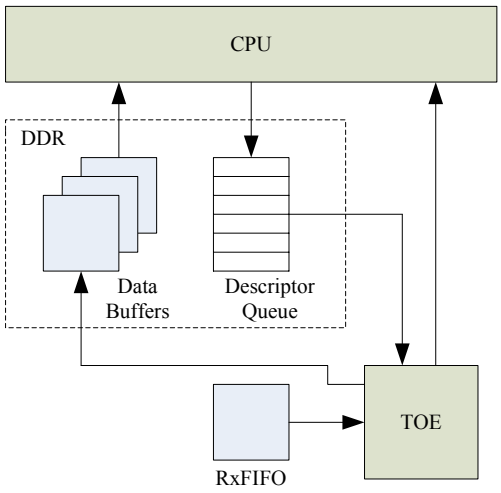
以下将分别介绍 TOE 模式下 TCP 报文的发送和接收处理流程。

TOE 模式下接收 TCP 报文处理流程

一个简单的 TCP 报文接收流程如图 5-14 所示。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

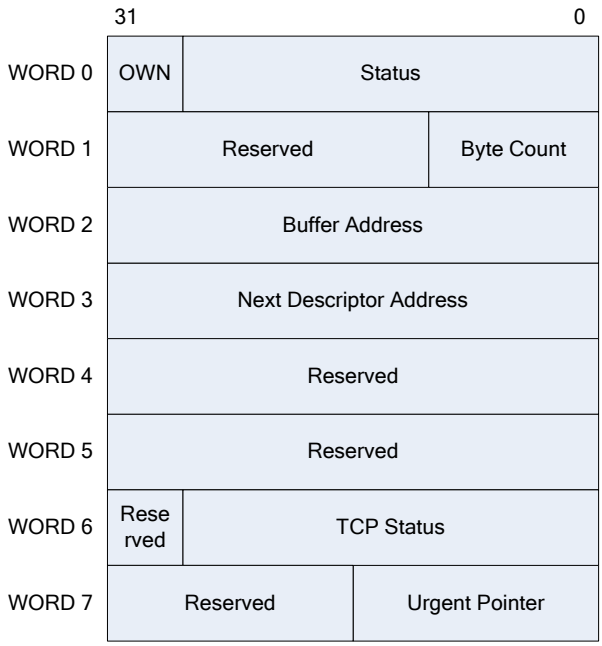
图5-14 TOE 工作模式下接收流程



CPU 配置接收描述子队列，确保 TOE 有可用接收描述子，然后通过寄存器配置启动 TOE 接收过程；TOE 根据寄存器配置信息，读取可用接收描述子，然后从 RxFIFO 中读取从 PHY 侧接收的报文，并进行相应处理；如果当前接收报文是 TCP 报文并符合接收条件，TOE 将去掉该报文的 TCP 头和 IP 头，并将 TCP 有效载荷写入接收描述子指示的数据缓冲区，然后回写接收描述子；接着 TOE 上报中断，通知 CPU 启动接收操作；最后，CPU 读取被 TOE 回写的接收描述子，从接收描述子指示的数据缓冲区中取出 TCP 有效载荷，完成一次报文接收操作。

TOE 模式下 TCP 报文的接收描述子由 8 个 WORD 组成，如图 5-15 所示，每个 WORD 有 32 比特，共计 256 比特。需要注意的是，该描述子的 WORD0～3 与 bypass 模式下 GMAC 的接收描述子完全一致。接收描述子数据结构如表 5-7 所示。

图5-15 TCP 报文接收描述子



海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

表5-7 TCP 报文接收描述子数据结构

位	名称	描述
[255:240]	Reserved	保留。
[239:224]	urg_ptr	紧急指针。
[223:222]	Reserved	保留。
[221]	FIN	FIN 标志位。 0：FIN 标志位在该 TCP 报文中没有被设置； 1：FIN 标志位在该 TCP 报文中被设置。
[220]	SYN	SYN 标志位。 0：SYN 标志位在该 TCP 报文中没有被设置； 1：SYN 标志位在该 TCP 报文中被设置。
[219]	RST	RST 标志位。 0：RST 标志位在该 TCP 报文中没有被设置； 1：RST 标志位在该 TCP 报文中被设置。
[218]	PSH	PSH 标志位。 0：PSH 标志位在该 TCP 报文中没有被设置； 1：PSH 标志位在该 TCP 报文中被设置。
[217]	ACK	ACK 标志位。 0：ACK 标志位在该 TCP 报文中没有被设置； 1：ACK 标志位在该 TCP 报文中被设置。
[216]	URG	RST 标志位。 0：RST 标志位在该 TCP 报文中没有被设置； 1：RST 标志位在该 TCP 报文中被设置。
[215]	toe_err	错误 TCP 报文，接收数据未被 TOE Core 确认，数据应该被丢弃。 0：正确 TCP 报文； 1：错误 TCP 报文。
[214]	full_pkt_sent	完整包已经被发送。 0：完整包还未被发送； 1：完整包已经被发送。
[213]	Reserved	保留。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

位	名称	描述
[212]	pkt_dropped	报文指示符。 0：接收 FIFO 在报文接收过程中正常； 1：接收 FIFO 出现溢出，报文被丢弃。
[211]	out_of_order	接收序列号乱序指示。 0：接收到的 TCP 序列号正常； 1：接收到的 TCP 序列号乱序。
[210]	connection_err	连接错误。 0：连接正确； 1：连接错误。
[209]	dst_ip_mismatch	目的 IP 地址不匹配。 0：目的 IP 地址匹配； 1：目的 IP 地址不匹配。
[208]	non_tcp	非 TCP 协议。 0：当前报文是 TCP 报文； 1：当前报文不是 TCP 报文。
[207]	ip_hdr_chk_err	IP 头校验和错误。 0：IP 头校验和正确； 1：IP 头校验和错误。
[206]	tcp_chk_err	TCP 校验和错误。 0：TCP 校验和正确； 1：TCP 校验和错误。
[205]	dst_mac_mismatch	目的 MAC 地址不匹配或工作于 bypass 模式。 0：TOE 模式下且 MAC 地址匹配； 1：目的 MAC 地址不匹配或工作于 bypass 模式。
[204]	not_ip	当前报文不是 IP 报文。 0：当前报文是 IP 报文； 1：当前报文不是 IP 报文。
[203]	premature_eop	报文接收过程中异常终止。 0：报文接收过程中未异常终止； 1：报文接收过程中异常终止。
[202:192]	cid	当前 TCP 连接号，用来指示当前报文属于哪一条 TCP 连接。
[191:128]	Reserved	保留。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

位	名称	描述
[127:96]	next_desc_addr	下一描述子的地址。
[95:64]	buff_addr	缓冲区地址。
[63]	DIC	接收完成时不使能中断。 0：接收完成时使能中断； 1：接收完成时不使能中断。
[62:58]	reserverd	保留。
[57]	RER	Ring 模式下最后一个描述子。 0：Ring 模式下，当前描述子不是最后一个描述子； 1：Ring 模式下，当前描述子是最后一个描述子。
[56:45]	reserverd	保留。
[44:32]	byte_count	字节计数，指示接收缓冲区大小。
[31]	own	OWN 比特，指示当前描述子的归属。 0：当前描述子应该由 CPU 操作； 1：当前描述子应该由 TOE 操作。
[30]	AFM	目的地址过滤失败指示符。 0：当前报文目的地址过滤失败； 1：当前报文目的地址过滤成功。
[29:16]	FL	指示当前接收报文的长度。
[15]	ES	错误汇总。是所有错误指示的逻辑或，包括 bit[0]、bit [1]、bit [3]、bit [4]、bit [6]、bit [7]、bit [11]和 bit [14]；该比特仅在 bit[8]为 1 设置时有效。 0：当前接收报文没有错误； 1：当前接收报文有错误。
[14]	DE	描述子错误。该比特仅在比特[8]设置为 1 时有效。 0：当前描述子缓冲区足够填充该报文； 1：当前描述子缓冲区不足以填充该报文，报文被截断。
[13]	SAF	源地址过滤失败指示符。 0：当前报文源地址过滤失败； 1：当前报文源地址过滤成功。
[12]	LE	指示长度字段是否与报文长度匹配；该比特仅在 bit[5]设置为 0 时有效，CRC 出错时比特无效。 0：报文实际长度与其长度字段值匹配； 1：报文实际长度与其长度字段值不匹配。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

位	名称	描述
[11]	OE	MTL 中缓冲区溢出指示。 0：接收报文接收过程中缓冲区正常； 1：接收报文因缓冲区溢出而损坏。
[10]	VLAN	VLAN 指示符。 0：当前报文不是 VLAN 报文； 1：当前报文是 VLAN 报文。
[9]	FS	首个描述子指示符： 0：当前描述子保存的不是接收报文的第一部分； 1：当前描述子保存的是接收报文的第一部分。 如果当前描述子的报文长度为 0，则下一描述子保存接收报文的第一部分，以此类推。
[8]	LS	最后一个描述子指示符。 0：当前描述子保存的不是接收报文的最后一部分； 1：当前描述子保存的是接收报文的最后一部分。
[7]	GF	超长报文指示。 0：当前报文不是超长报文（大于 1518 字节）； 1：当前报文时超长报文。
[6]	LC	Late Collision。 0：半双工模式下未发送 late collision； 1：半双工模式下发送 late collision。
[5]	FT	报文类型。 0：IEEE 802.3 报文； 1：Ethernet 报文。
[4]	RWT	接收 watchdog 超时指示。 0：接收过程中 watchdog 正常； 1：接收过程中 watchdog 超时，报文被截断。
[3]	RE	接收错误。 0：接收过程中 gmii_rxdv_i 有效时 gmii_rxer_i 一直为 0； 1：接收过程中 gmii_rxdv_i 有效时出现 gmii_rxer_i 为 1。
[2]	DE	Dribble 比特错误，仅在 MII 模式下有效。 0：当前报文长度是字节的整数倍； 1：当前报文长度不是字节的整数倍。

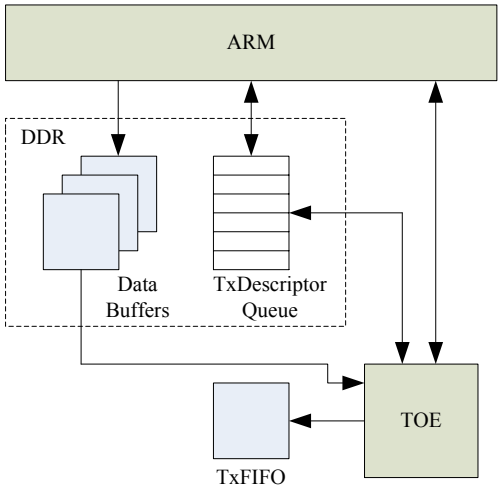
海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

位	名称	描述
[1]	CE	CRC 错误，仅在 bit[8]设置时有效。 0：接收报文 CRC 校验正确； 1：接收报文 CRC 校验错误。
[0]	Rx MAC address	接收 MAC 地址指示。 0：当前报文接收 MAC 地址匹配 RxMAC 寄存器 1～15； 1：当前报文接收 MAC 地址匹配 RxMAC 寄存器 0。

TOE 模式下发送 TCP 报文处理流程

TOE 工作模式下，一个简单的 TCP 报文发送流程如上图 5-16 所示。

图5-16 TOE 工作模式下发送流程



当上层应用有数据要发送时，CPU 配置发送描述子队列，，并通过寄存器配置启动 TOE 发送过程；TOE 根据 GMAC 和 DMA 配置信息，获取可用的发送描述子；TOE 同时需要根据当前 TCP 载荷所属连接的状态信息，来判断是否需要进行发送操作，当需要发送 TCP 报文时，TOE 将从发送描述子指示的数据缓冲区中读取需要发送的 TCP 有效载荷，打包封装成 TCP 报文格式写入 TxFIFO；接着，TOE 等待下一个发送指令的到来，若当前描述子中所有 TCP 载荷的确认信息都已经被收到后，TOE 回写发送描述子，并上报中断告知 CPU 已完成该描述子的发送操作；最后 CPU 从发送描述子队列中回收被 TOE 回写的发送描述子，等待下次数据发送时使用。

TOE 模式下 TCP 报文的发送描述子由 4 个 WORD 组成，如图 5-17 所示，每个 WORD 有 32 比特，共计 128 比特。发送描述子数据结构如表 5-8 所示。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

图5-17 TCP 报文发送描述子

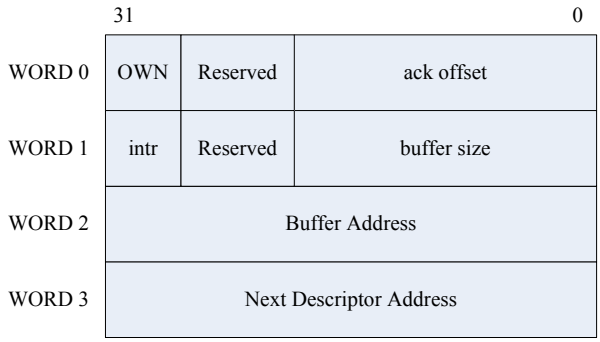


表5-8 TCP 报文发送描述子数据结构

位	名称	描述
[127:96]	next_desc_addr	下一描述子的地址。
[95:64]	buff_addr	缓冲区地址。
[63]	intr	当前描述子是否产生中断。 0：不产生中断； 1：产生中断。
[62:56]	reserverd	保留。
[55:32]	byte_count	字节计数，指示需发送 TCP 载荷大小。
[31]	own	OWN 比特，指示当前描述子的归属。 0：当前描述子应该由 CPU 操作； 1：当前描述子应该由 TOE 操作。
[30:24]	reserverd	保留。
[23:0]	ack_offset	当前描述子中已经被对端确认的 TCP 载荷的计数，以字节为单位。该值由软件初始化为 0，发送过程中 TOE 动态修改。

5.5 寄存器概览

寄存器偏移地址中变量的取值范围和含义如表 5-9 所示。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

表5-9 偏移地址变量表

变量名称	取值范围	描述
N	0	MAC 编号
P	0、2	DMA 通道编号
X	1～15	MAC 地址编号
Y	16～31	MAC 地址编号

TOE 寄存器概览如表 5-10 所示。

表5-10 TOE 寄存器概览（基址是 0x101C_0000）

偏移地址	名称	描述	页码
0x0000	GMACN_CTRL_REG	GMAC0 配置寄存器	5-28
0x0004	GMACN_FRAME_FILTER	GMAC0 帧过滤寄存器	5-29
0x0010	GMACN_GMII_ADDR	GMII 地址寄存器	5-31
0x0014	GMACN_GMII_DATA	GMII 数据寄存器	5-33
0x0040	GMACN_ADDR0_HIGH	GMAC0 的第一个 MAC 地址的高 16 比特[47:32]寄存器	5-33
0x0044	GMACN_ADDR0_LOW	'GMAC0 的第一个 MAC 地址的低 32 比特[31:0]寄存器	5-33
0x0040＋X×0x8	GMACN_ADDRX_HIGH	GMAC0 的第 X 个（1～15）MAC 地址的高 16 比特[47:32]寄存器	5-34
0x0044＋X×0x8	GMACN_ADDRX_LOW	GMAC0 的第 X 个（1～15）MAC 地址的低 32 比特[31:0]寄存器	5-35
0x0780＋Y×0x8	GMACN_ADDRY_HIGH	GMAC0 的第 Y 个（16~31）MAC 地址的高 16 比特[47:32]寄存器	5-35
0x0784＋Y×0x8	GMACN_ADDRY_LOW	GMAC0 的第 Y 个（16～31）MAC 地址的低 32 比特[31:0]寄存器	5-36
0x0100	GMACN_MMC_CTRL	MMC 控制寄存器	5-37
0x0114	GMACN_MMC_TXOCTETCOUNT_GB	发送字节计数寄存器	5-38

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

偏移地址	名称	描述	页码
0x0118	GMACN_MMC_TXFRAMECOUNT_GB	发送帧计数寄存器	5-39
0x011C	GMACN_MMC_TXBROADCASTFRAMES_G	已发送的好广播帧计数寄存器	5-39
0x0120	GMACN_MMC_TXMULTICASTFRAMES_G	已发送的好组播帧计数寄存器	5-39
0x0124	GMACN_MMC_TX64OCTETS_GB	已发送的 64 字节帧长的帧计数寄存器	5-40
0x0128	GMACN_MMC_TX65TO127OCTETS_GB	已发送的 65～127 字节帧长的帧计数寄存器	5-40
0x012C	GMACN_MMC_TX128TO255OCTETS_GB	已发送的 128～255 字节帧长的帧计数寄存器	5-41
0x0130	GMACN_MMC_TX256TO511OCTETS_GB	已发送的 256～511 字节帧长的帧计数寄存器	5-41
0x0134	GMACN_MMC_TX512TO1023OCTETS_GB	已发送的 512～1023 字节帧长的帧计数寄存器	5-42
0x0138	GMACN_MMC_TX1024TOMAXOCTETS_GB	已发送的 1024 字节～最大字节帧长的帧计数寄存器	5-42
0x013C	GMACN_MMC_TXUNICASTFRAMES_GB	已发送的单播帧计数寄存器	5-43
0x0140	GMACN_MMC_TXMULTICASTFRAMES_GB	已发送的组播帧计数寄存器	5-43
0x0144	GMACN_MMC_TXBROADCASTFRAMES_GB	已发送的广播帧计数寄存器	5-44
0x0148	GMACN_MMC_TXUNDERFLOWERROR	因帧下溢错误导致的发送帧取消的计数寄存器	5-44
0x014C	GMACN_MMC_TXSINGLECOL_G	半双工模式下，在发生单次冲突后成功已发送的帧计数寄存器	5-45
0x0150	GMACN_MMC_TXMULTICOL_G	半双工模式下，在发生多次冲突后成功已发送的帧计数寄存器	5-45

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

偏移地址	名称	描述	页码
0x0154	GMACN_MMC_TX DEFERRED	半双工模式下，延迟后成功已发送的帧计数寄存器	5-45
0x0158	GMACN_MMC_TX LATECOL	因 late collision 错误导致发送取消的帧计数寄存器	5-46
0x015C	GMACN_MMC_TX EXESSCOL	因连续 16 次发送冲突而导致发送取消的帧计数寄存器	5-46
0x0160	GMACN_MMC_TX CARRIERERROR	因载波侦听错误（无载波或载波丢失）导致帧发送取消的帧计数寄存器	5-47
0x0164	GMACN_MMC_TX OCTETCOUNT_G	发送字节计数寄存器	5-47
0x0168	GMACN_MMC_TX FRAMECOUNT_G	已发送的好帧的计数寄存器	5-47
0x016C	GMACN_MMC_TX EXCESSDEF	因延迟过度（超过两倍最大帧长的时间）导致帧取消传输的帧计数寄存器	5-48
0x0170	GMACN_MMC_TX PAUSEFRAMES	已发送的好 pause 帧的计数寄存器	5-48
0x0174	GMACN_MMC_TX VLANFRAMES_G	已发送的好 VLAN 帧的计数寄存器	5-49
0x0180	GMACN_MMC_RX FRAMECOUNT_GB	已接收的帧计数寄存器	5-49
0x0184	GMACN_MMC_RX OCTETCOUNT_GB	接收的字节计数寄存器	5-49
0x0188	GMACN_MMC_RX OCTETCOUNT_G	接收的字节计数寄存器	5-50
0x018C	GMACN_MMC_RX BROADCASTFRAMES_G	已接收的广播帧计数寄存器	5-50
0x0190	GMACN_MMC_RX MULTICASTFRAMES_G	已接收的组播帧计数寄存器	5-51
0x0194	GMACN_MMC_RX CRCERROR	已接收的出现 CRC 错误的帧的计数寄存器	5-51
0x0198	GMACN_MMC_RX ALIGNMENTERROR	已接收的出现对齐错误（半字节）的帧计数寄存器	5-51
0x019C	GMACN_MMC_RX RUNTERROR	已接收的超短包（<64 字节）且发生 CRC 错误的帧计数寄存器	5-52

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

偏移地址	名称	描述	页码
0x01A0	GMACN_MMC_RXJABBERERROR	已接收的超长包（>1518 字节）且发生 RC 错误的帧计数寄存器	5-52
0x01A4	GMACN_MMC_RXUNDERSIZE_G	接收的超短包（<64 字节）且无任何错误的帧计数寄存器	5-53
0x01A8	GMACN_MMC_RXOVERSIZE_G	已接收的超长包（>1518 字节）且无任何错误的帧计数寄存器	5-53
0x01AC	GMACN_MMC_RX64OCTETS_GB	已接收的 64 字节帧长的帧计数寄存器	5-53
0x01B0	GMACN_MMC_RX65TO127OCTETS_GB	已接收的 65～127 字节帧长的帧计数寄存器	5-54
0x01B4	GMACN_MMC_RX128TO255OCTETS_GB	已接收的 128～255 字节帧长的帧计数寄存器	5-54
0x01B8	GMACN_MMC_RX256TO511OCTETS_GB	已接收的 256～511 字节帧长的帧计数寄存器	5-55
0x01BC	GMACN_MMC_RX512TO1023OCTETS_GB	已接收的 512～1023 字节帧长的帧计数寄存器	5-55
0x01C0	GMACN_MMC_RX1024TOMAXOCTETS_GB	已接收的 1024 字节～最大字节帧长的帧计数寄存器	5-56
0x01C4	GMACN_MMC_RXUNICASTFRAMES_G	已接收的好单播帧计数寄存器	5-56
0x01C8	GMACN_MMC_RXLENGTHERROR	在所有已接收的带有有效长度字段的帧中	5-57
0x01CC	GMACN_MMC_RXOUTOFRANGETYPE	已接收的长度字段不处于有效范围（1501～1536 字节）的帧计数寄存器	5-57
0x01D0	GMACN_MMC_RXPAUSEFRAMES	已接收的有效 pause 帧的帧计数寄存器	5-57
0x01D4	GMACN_MMC_RXFIFOOVERFLOW	因 FIFO 上溢导致的丢弃接收帧的帧计数寄存器	5-58
0x01D8	GMACN_MMC_RXVLANFRAMES_GB	接收到的 VLAN 帧的帧计数寄存器	5-58
0x01DC	GMACN_MMC_RXWATCHDOGERROR	接收到的出现 watchdog 超时（帧数据长度超过 2048 字节）的帧的帧计数寄存器	5-59

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

偏移地址	名称	描述	页码
0x1000＋P×0x100	DMAP_BUS_MODE	总线模式寄存器	5-59
0x1004＋P×0x100	DMAP_XMT_POLL_DEMAND	发送 poll demand 寄存器	5-61
0x1008＋P×0x100	DMAP_RCV_POLL_DEMAND	接收 poll demand 寄存器	5-61
0x100C＋P×0x100	DMAP_RCV_BASE_ADDR	接收描述子链表地址寄存器	5-62
0x1010＋P×0x100	DMAP_TX_BASE_ADDR	发送描述子链表地址寄存器	5-62
0x1014＋P×0x100	DMAP_STATUS	状态寄存器	5-63
0x1018＋P×0x100	DMAP_CONTROL	DMAp（0，2）的操作模式寄存器	5-67
0x101C＋P×0x100	DMAP_INTR_ENA	DMAp（0，2）的中断使能寄存器	5-71
0x1020＋P×0x100	DMAP_MISSED_FRAME_CTR	DMAp（0，2）包含的两个计数器来跟踪接收过程中丢弃的帧寄存器	5-73
0x1050＋P×0x100	DMAP_CUR_TX_BUF_ADDR	DMAp（0，2）的当前主机发送缓存地址寄存器	5-74
0x1054＋P×0x100	DMAP_CUR_RX_BUF_ADDR	DMAp（0，2）当前主机接收缓存地址寄存器	5-74
0x8100	CT_LOCAL_MACADDR0_U16	GMAC0 的本地 MAC 地址的高 16 比特寄存器	5-75
0x8104	CT_LOCAL_MACADDR0_L32	GMAC0 的本地 MAC 地址的低 32 比特寄存器	5-75
0x8108	CT_LOCAL_IPADDR0	GMAC0 的本地 IP 地址寄存器	5-75
0x814C	TOE_CTRL	TOE 允许的最大重传次数和定时器复位值寄存器	5-76
0x9000	TNK_INTR_STAT	中断状态寄存器	5-76
0x09004	TNK_INTR_EN	中断使能寄存器	5-77
0x09008	TNK_RESET_STAT	MAC 复位状态寄存器	5-78
0x0900C	TNK_ID	支持的连接数和硬件版本号寄存器	5-79

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

5.6 TOE 寄存器描述

GMACN_CTRL_REG

GMACN_CTRL_REG 为 GMAC0 配置寄存器。配置接收和已发送的操作模式。

Offset Address	Register Name	Total Reset Value
0x0000	GMACN_CTRL_REG	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																ps	fes	do	lm	dm	reserved	dr	reserved				bl	reserved	te	re	reserved		
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:16]	RO	reserved	保留。
[15]	RW	ps	PS：端口选择，在 GMII 和 MII 间选择。 0：GMII (1000 Mbps)； 1：MII (10/100 Mbps)。
[14]	RW	fes	FES：速率，指示 FE(MII 模式)下的速率。 0：10 Mbps； 1：100 Mbps， 仅在 RGMII 模式下有效。
[13]	RW	do	DO：不使能接收 own 位。 该比特设置为 1 时，当 GMAC 在半双工模式下拉高 gmii_txen_o 时，不使能帧的接收。该比特在全双工模式下无效。 0：半双工模式下，gmii_txen_o 为 1 时使能帧接收； 1：半双工模式下，gmii_txen_o 为 1 时不使能帧接收。
[12]	RW	lm	LM：环回模式。 GMII/MII 模式下，该比特设置为 1 时，GMAC 工作在环回模式。 0：GMAC 不工作在环回模式； 1：GMAC 工作在环回模式。
[11]	RW	dm	DM：双工模式。 0：半双工模式； 1：全双工模式。
[10]	RO	reserved	保留。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

[9]	RW	dr	DR：不使能重传。 该比特设置为 1 时，GMAC 仅进行一次传输尝试。在半双工模式下发生冲突时，GMAC 忽略当前帧的传输并上报冲突事件。当该比特设置为 0 时，GMAC 将根据 BL 的设置(bit[6:5])进行重传。 0：半双工模式下发生冲突时进行重传； 1：半双工模式下发生冲突时不进行重传。
[8:7]	RO	reserved	保留。
[6:5]	RW	bl	BL：回退限制。 回退限制决定了发生冲突后，GMAC 在进行重传尝试时的时隙延迟(4,096 bit times for 1000 Mbps and 512 bit times for 10/100 Mbps)的随机整数倍。仅在半双工模式下有效。 00：k = min (n, 10)； 01：k = min (n, 8)； 10：k = min (n, 4)； 11：k = min (n, 1)。 其中 n 为重传尝试次数，而随机事件 r 在以下范围内取值。 0 ≤ r < 2k(2 的 k 次方)
[4]	RO	reserved	保留。
[3]	RW	te	TE：发送使能。 0：发送使能无效，GMAC 完成当前帧的发送后停止，且不再发送后续帧； 1：发送使能有效，GMAC 内部发送状态机使能有效。
[2]	RW	re	RE：接收使能。 0：接收使能无效，GMAC 完成当前帧的接收后停止，且不再接收后续帧； 1：接收使能有效，GMAC 内部接收状态机使能有效。
[1:0]	RO	reserved	保留。

GMACN_FRAME_FILTER

GMACN_FRAME_FILTER 为 GMAC0 帧过滤寄存器。包含对接收帧的过滤控制。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x0004	GMACN_FRAME_FILTER	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	ra	reserved																				hpf	saf	saif	pcf		dbf	pm	daif	hmc	huc	pr
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31]	RW	ra	RA：接收全部。 0：GMAC 只向 CPU 转发通过 SA/DA 过滤的帧； 1：GMAC 向 CPU 转发全部帧，并将其 SA/DA 过滤的状态信息回写到描述子中。
[30:11]	RO	reserved	保留。
[10]	RW	hpf	HPF：hash 或 perfect 过滤。 0：如果 HUC/HMC 比特设置为 1， 当前帧仅满足 hash 过滤条件时才能通过过滤； 1：该比特设置为 1 时，如果当前帧满足 hash 过滤或者 perfect 过滤，则当前帧会通过地址过滤。
[9]	RW	saf	SAF：源地址过滤使能。 0：GMAC 将当前帧转发给 CPU，并将 SA 过滤状态回写到描述子中的接收状态； 1：GMAC 将丢弃未能通过 SA 过滤的帧。
[8]	RW	saif	SAIF：SA 反转过滤。 0：帧的 SA 如果与 SA 寄存器不匹配，该帧将被标记为 SA 过滤失败； 1：地址检查模块将工作于反转模式，帧的 SA 如果与 SA 寄存器匹配，该帧将被标记为 SA 过滤失败。
[7:6]	RW	pcf	PCF：通过控制帧。 这些比特控制所有控制帧的转发(包括所有单播和多播 pause 帧)。 00：GMAC 过滤所有到达应用的控制帧； 01：GMAC 将转发给 CPU 除 pause 帧以外的其他所有控制帧，即使它们地址过滤失败； 10：GMAC 将转发给 CPU 所有控制帧，即使它们地址过滤失败； 11：GMAC 将转发给 CPU 所有通过地址过滤的控制帧。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

[5]	RW	dbf	DBF：不使能广播帧。 0：不过了所有已接收的广播帧； 1：过滤所有输入广播帧，并忽略其他过滤设置。
[4]	RW	pm	PM：通过所有多播。 0：通过 HMC 比特设置来过滤多播帧； 1：通过所有多播帧。
[3]	RW	daif	DAIF：DA 反转过滤。 0：帧的 DA 如果与 DA 寄存器不匹配，该帧将被标记为 DA 过滤失败； 1：地址检查模块将工作于反转模式，帧的 DA 如果与 DA 寄存器匹配，该帧将被标记为 DA 过滤失败。
[2]	RW	hmc	HMC：hash 多播。 0：GMAC 将根据 DA 寄存器对已接收的多播帧进行 DA 过滤； 1：GMAC 将根据 hash 表对已接收的多播帧进行 DA 过滤。
[1]	RW	huc	HUC：hash 单播。 0：GMAC 将根据 DA 寄存器对已接收的单播帧进行 DA 过滤； 1：GMAC 将根据 hash 表对已接收的多单帧进行 DA 过滤。
[0]	RW	pr	PR：混杂模式。此时所有输入接收帧将被转发给 CPU，且接收状态始终为 0。 0：不工作于混杂模式； 1：工作于混杂模式。

GMACN_GMII_ADDR

GMACN_GMII_ADDR 为 GMII 地址寄存器。通过 MDIO 接口访问外部 PHY。

Offset Address	Register Name	Total Reset Value
0x0010	GMACN_GMII_ADDR	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																pa				gr				cr						gw	gb
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:16]	RO	reserved	保留。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

[15:11]	RW	pa	PA：物理层地址。 区分可能访问的 32 个外部 PHY。
[10:6]	RW	gr	GR：GMII 寄存器。 选择被访问 PHY 的对应寄存器。
[5:2]	RW	cr	CR：CSR 时钟范围。 CSR 时钟范围决定 MDC 始终的频率。当 bit[5]为 0 时，推荐的 CSR 时钟范围以保证 MDC 时钟的工作范围(1.0 MHz～2.5 MHz)。 选择 CSR 时钟 MDC 时钟 0000 60-100 MHz clk_csr_i/42 0001 100-150 MHz clk_csr_i/62 0010 20-35 MHz clk_csr_i/16 0011 60-100 MHz clk_csr_i/26 0100 60-100 MHz clk_csr_i/102 0101 60-100 MHz clk_csr_i/124 0110,0111：保留。 当 bit[5]为 1 时，MDC 时钟可以超出 IEEE 802.3 规定的 2.5 MHz 时钟限制。 选择 MDC 时钟 1000 clk_csr_i/4 1001 clk_csr_i/6 1010 clk_csr_i/8 1011 clk_csr_i/10 1100 clk_csr_i/12 1101 clk_csr_i/14 1110 clk_csr_i/16 1111 clk_csr_i/18
[1]	RW	gw	GW：GMII 写。 0：读操作； 1：写操作。
[0]	RWSC	gb	GB：GMII 忙。 在写寄存器 GMACn_GMII_DATA 和 GMACn_GMII_ADDR 之前，该比特回读值应该为 0。在访问外部 PHY 的过程中，该比特应该被软件一直设置为 1。直到该比特被 GMAC 设置为 0，GMACn_GMII_DATA 的值才有效。 0：GMII 忙； 1：GMII 空闲，可以进行读写操作。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

GMACN_GMII_DATA

GMACN_GMII_DATA 为 GMII 数据寄存器。存储了将写入外部 PHY 特定寄存器（由 GMACn_GMII_ADDR 确定）的数据，它也可以存储从外部 PHY 特定寄存器读取的数据。.

Offset Address	Register Name	Total Reset Value
0x0014	GMACN_GMII_DATA	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																gd															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:16]	RO	reserved	保留。
[15:0]	RW	gd	GD：GMII 数据。 该数据表示读操作之后从外部 PHY 寄存器读取到的数据，或者写操作之前，将写入外部 PHY 寄存器的数据。

GMACN_ADDR0_HIGH

GMACN_ADDR0_HIGH 为 GMAC0 的第一个 MAC 地址的高 16 比特[47:32]寄存器。

Offset Address	Register Name	Total Reset Value
0x0040	GMACN_ADDR0_HIGH	0x8000_FFFF

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	mo	reserved															a_47_32															
Reset	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

Bits	Access	Name	Description
[31]	RO	mo	MO：常数 1。
[30:16]	RO	reserved	保留。
[15:0]	RW	a_47_32	A[47:32]：包含 6 字节 MAC 地址的高 16 比特[47:32]，用于接收帧过滤和发送暂停帧。

GMACN_ADDR0_LOW

GMACN_ADDR0_LOW 为'GMAC0 的第一个 MAC 地址的低 32 比特[31:0]寄存器。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x0044	GMACN_ADDR0_LOW	0xFFFF_FFFF

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	a_31_0																															
Reset	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

Bits	Access	Name	Description
[31:0]	RW	a_31_0	A[31:0]：包含 6 字节 MAC 地址的低 32 比特[31:0]，用于接收帧过滤和发送暂停帧。

GMACN_ADDRX_HIGH

GMACN_ADDRX_HIGH 为 GMAC0 的第 X 个（1～15）MAC 地址的高 16 比特[47:32]寄存器。

Offset Address	Register Name	Total Reset Value
0x0040＋X×0x8 (X = 1～15)	GMACN_ADDRX_HIGH	0x0000_FFFF

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	ae	sa	mbc						reserved								mac_addr_h16															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

Bits	Access	Name	Description
[31]	RW	ae	AE：地址使能。 0：当该比特为 0 时，地址过滤模块忽略该 MAC 地址； 1：当该比特为 1 时，地址过滤模块将使用该 MAC 地址进行 perfect 过滤。
[30]	RW	sa	SA：源地址。 0：该 MAC 地址将用于与接收帧的 DA 进行比较； 1：该 MAC 地址将用于与接收帧的 SA 进行比较。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

[29:24]	RW	mbc	MBC：mask 字节控制。 这些比特是 MAC 地址每个字节的 mask 控制比特。每个比特的含义如下： 0：GMAC 将使用该字节进行地址过滤； 1：GMAC 不使用该字节进行地址过滤。 各个比特对应的 MAC 地址的字节如下： bit[29]：MAC 地址的第 6 个字节[47:40]； bit[28]：MAC 地址的第 5 个字节[39:32]； bit[27]：MAC 地址的第 4 个字节[31:24]； bit[26]：MAC 地址的第 3 个字节[23:16]； bit[25]：MAC 地址的第 2 个字节[15:8]； bit[24]：MAC 地址的第 1 个字节[7:0]。
[23:16]	RO	reserved	保留。
[15:0]	RW	mac_addr_h16	A[47:32]：包含 6 字节 MAC 地址的高 16 比特[47:32]，用于接收帧过滤和发送暂停帧。

GMACN_ADDRX_LOW

GMACN_ADDRX_LOW 为 GMAC0 的第 X 个（1～15）MAC 地址的低 32 比特[31:0]寄存器。

Offset Address	Register Name	Total Reset Value
0x0044＋X×0x8 (X = 1～15)	GMACN_ADDRX_LOW	0xFFFF_FFFF

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	a_31_0																															
Reset	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

Bits	Access	Name	Description
[31:0]	RW	a_31_0	A[31:0]：包含 6 字节 MAC 地址的低 32 比特[31:0]，用于接收帧过滤和发送暂停帧。

GMACN_ADDRY_HIGH

GMACN_ADDRY_HIGH 为 GMAC0 的第 Y 个（16~31）MAC 地址的高 16 比特[47:32]寄存器。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x0780＋Y×0x8 (Y = 16～31)	GMACN_ADDRY_HIGH	0x0000_FFFF

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	ae	sa	mbc						reserved								mac_addr_h16															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

Bits	Access	Name	Description
[31]	RW	ae	AE：地址使能。 0：当该比特为 0 时，地址过滤模块忽略该 MAC 地址； 1：当该比特为 1 时，地址过滤模块将使用该 MAC 地址进行 perfect 过滤。
[30]	RW	sa	SA：源地址。 0：该 MAC 地址将用于与接收帧的 DA 进行比较； 1：该 MAC 地址将用于与接收帧的 SA 进行比较。
[29:24]	RW	mbc	MBC：mask 字节控制。 这些比特是 MAC 地址每个字节的 mask 控制比特。每个比特的含义如下： 0：GMAC 将使用该字节进行地址过滤。 1：GMAC 不使用该字节进行地址过滤。 各个比特对应的 MAC 地址的字节如下： bit[29]：MAC 地址的第 6 个字节[47:40]； bit[28]：MAC 地址的第 5 个字节[39:32]； bit[27]：MAC 地址的第 4 个字节[31:24]； bit[26]：MAC 地址的第 3 个字节[23:16]； bit[25]：MAC 地址的第 2 个字节[15:8]； bit[24]：MAC 地址的第 1 个字节[7:0]。
[23:16]	RO	reserved	保留。
[15:0]	RW	mac_addr_h16	A[47:32]：包含 6 字节 MAC 地址的高 16 比特[47:32]，用于接收帧过滤和发送暂停帧。

GMACN_ADDRY_LOW

GMACN_ADDRY_LOW 为 GMAC0 的第 Y 个（16～31）MAC 地址的低 32 比特[31:0]寄存器。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x0784＋Y×0x8 (Y = 16～31)	GMACN_ADDRY_LOW	0xFFFF_FFFF

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	a_31_0																															
Reset	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

Bits	Access	Name	Description
[31:0]	RW	a_31_0	A[31:0]：包含 6 字节 MAC 地址的低 32 比特[31:0]，用于接收帧过滤和发送暂停帧。

GMACN_MMC_CTRL

GMACN_MMC_CTRL 为 MMC 控制寄存器。建立管理计数器的操作模式。

Offset Address	Register Name	Total Reset Value
0x0100	GMACN_MMC_CTRL	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																										fh_pre	cnt_pre	mmc_cf	rst_on_rd	cnt_sr	cnt_rst
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:6]	RO	reserved	保留。
[5]	RW	fh_pre	Full-Half preset 0：当 cnt_pre 为 1 时，所有 MMC 计数器将预置为几乎半满值。所有字节计数器预置为 0x7FFF_F800(半满-2048)，所有帧计数器预置为 0x7FFF_FFF0(半满-16)； 1：当 cnt_pre 为 1 时，所有 MMC 计数器将预置为几乎满值。所有字节计数器预置为 0xFFFF_F800(满-2048)，所有帧计数器预置为 0xFFFF_FFF0(满-16)。 对应 16 比特的字节计数器的几乎半满值为 0x7800，几乎满值为 0xF800；对应 16 比特的帧计数器的几乎半满值为 0x7FF0，几乎满值为 0xFFF0。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

[4]	RWSC	cnt_pre	计数器预置。 0：不执行计数器预置； 1：执行计数器预置。当该比特为 1 时，所有计数器将根据 fh_pre 的设置初始化为几乎满值或几乎半满值。该比特将在一周期后自动清零，主要用于调试 MMC 计数器中断。
[3]	RW	mmc_cf	MMC 计数器锁定。 0：不执行 MMC 计数器锁定； 1：执行 MMC 计数器锁定。此时所有 MMC 计数器将不会更新，直至该比特被重新设置为 0。该比特为 1 时，所有 MMC 计数器可以被读清。
[2]	RW	rst_on_rd	读复位。 0：不执行读复位； 1：执行读复位。MMC 计数器将在读操作完成后自动复位置零。
[1]	RW	cnt_sr	计数器停止卷绕。 0：计数器自动卷绕，计数器在达到最大值后自动归零； 1：计数器停止卷绕。计数器值达到最大值后不归零。
[0]	RWSC	cnt_rst	计数器复位。 0：不执行计数器复位； 1：执行计数器复位。所有计数器此时将清零，且该比特一周期后自动清零。

GMACN_MMC_TXOCTETCOUNT_GB

GMACN_MMC_TXOCTETCOUNT_GB 为发送字节计数寄存器。不包含前导码和重传字节，包括好帧和坏帧。

Offset Address	Register Name	Total Reset Value
0x0114	GMACN_MMC_TXOCTETCOUNT_GB	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	txoctetcount_gb																															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:0]	RO	txoctetcount_gb	发送字节计数，不包含前导码和重传字节，包括好帧和坏帧。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

GMACN_MMC_TXFRAMECOUNT_GB

GMACN_MMC_TXFRAMECOUNT_GB 为发送帧计数寄存器。包括好帧和坏帧，不包括重传帧。

Offset Address	Register Name	Total Reset Value
0x0118	GMACN_MMC_TXFRAMECOUNT_GB	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	txframecount_gb																															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:0]	RO	txframecount_gb	发送帧计数，包括好帧和坏帧，不包括重传帧。

GMACN_MMC_TXBROADCASTFRAMES_G

GMACN_MMC_TXBROADCASTFRAMES_G 为已发送的好广播帧计数寄存器。

Offset Address	Register Name	Total Reset Value
0x011C	GMACN_MMC_TXBROADCASTFRAMES_G	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	txbroadcastframes_g																															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:0]	RO	txbroadcastframes_g	已发送的好广播帧计数。

GMACN_MMC_TXMULTICASTFRAMES_G

GMACN_MMC_TXMULTICASTFRAMES_G 为已发送的好组播帧计数寄存器。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x0120	GMACN_MMC_TXMULTICASTFRAMES_G	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	txmulticastframes_g																															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:0]	RO	txmulticastframes_g	已发送的好组播帧计数。

GMACN_MMC_TX64OCTETS_GB

GMACN_MMC_TX64OCTETS_GB 为已发送的 64 字节帧长的帧计数寄存器。包括好帧和坏帧，不含前导码和重传帧。

Offset Address	Register Name	Total Reset Value
0x0124	GMACN_MMC_TX64OCTETS_GB	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	tx64octets_gb																															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:0]	RO	tx64octets_gb	64 字节帧长的帧计数，包括好帧和坏帧，不含前导码和重传帧。

GMACN_MMC_TX65TO127OCTETS_GB

GMACN_MMC_TX65TO127OCTETS_GB 为已发送的 65～127 字节帧长的帧计数寄存器。包括好帧和坏帧，不含前导码和重传帧。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x0128	GMACN_MMC_TX65TO127OCTETS_GB	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	tx65to127octets_gb																															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:0]	RO	tx65to127octets_gb	65～127 字节帧长的帧计数，包括好帧和坏帧，不含前导码和重传帧。

GMACN_MMC_TX128TO255OCTETS_GB

GMACN_MMC_TX128TO255OCTETS_GB 为已发送的 128～255 字节帧长的帧计数寄存器。包括好帧和坏帧，不含前导码和重传帧。

Offset Address	Register Name	Total Reset Value
0x012C	GMACN_MMC_TX128TO255OCTETS_GB	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	tx128to255octets_gb																															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:0]	RO	tx128to255octets_gb	128～255 字节帧长的帧计数，包括好帧和坏帧，不含前导码和重传帧。

GMACN_MMC_TX256TO511OCTETS_GB

GMACN_MMC_TX256TO511OCTETS_GB 为已发送的 256～511 字节帧长的帧计数寄存器。包括好帧和坏帧，不含前导码和重传帧。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x0130	GMACN_MMC_TX256TO511OCTETS_GB	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	tx256to511octets_gb																															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:0]	RO	tx256to511octets_gb	256～511 字节帧长的帧计数，包括好帧和坏帧，不含前导码和重传帧。

GMACN_MMC_TX512TO1023OCTETS_GB

GMACN_MMC_TX512TO1023OCTETS_GB 为已发送的 512～1023 字节帧长的帧计数寄存器。包括好帧和坏帧，不含前导码和重传帧。

Offset Address	Register Name	Total Reset Value
0x0134	GMACN_MMC_TX512TO1023OCTETS_GB	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	tx512to1023octets_gb																															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:0]	RO	tx512to1023octets_gb	512～1023 字节帧长的帧计数，包括好帧和坏帧，不含前导码和重传帧。

GMACN_MMC_TX1024TOMAXOCTETS_GB

GMACN_MMC_TX1024TOMAXOCTETS_GB 为已发送的 1024 字节～最大字节帧长的帧计数寄存器。包括好帧和坏帧，不含前导码和重传帧。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x0138	GMACN_MMC_TX1024TOMAXOCTETS_GB	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	tx1024tomaxoctets_gb																															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:0]	RO	tx1024tomaxoctets_gb	1024 字节～最大字节帧长的帧计数，包括好帧和坏帧，不含前导码和重传帧。

GMACN_MMC_TXUNICASTFRAMES_GB

GMACN_MMC_TXUNICASTFRAMES_GB 为已发送的单播帧计数寄存器。包含好帧和坏帧。

Offset Address	Register Name	Total Reset Value
0x013C	GMACN_MMC_TXUNICASTFRAMES_GB	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	txunicastframes_gb																															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:0]	RO	txunicastframes_gb	已发送的单播帧计数，包含好帧和坏帧。

GMACN_MMC_TXMULTICASTFRAMES_GB

GMACN_MMC_TXMULTICASTFRAMES_GB 为已发送的组播帧计数寄存器。包含好帧和坏帧。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x0140	GMACN_MMC_TXMULTICASTFRAMES_GB	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	txmulticastframes_gb																															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:0]	RO	txmulticastframes_gb	已发送的组播帧计数，包含好帧和坏帧。

GMACN_MMC_TXBROADCASTFRAMES_GB

GMACN_MMC_TXBROADCASTFRAMES_GB 为已发送的广播帧计数寄存器。包含好帧和坏帧。

Offset Address	Register Name	Total Reset Value
0x0144	GMACN_MMC_TXBROADCASTFRAMES_GB	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	txbroadcastframes_gb																															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:0]	RO	txbroadcastframes_gb	已发送的广播帧计数，包含好帧和坏帧。

GMACN_MMC_TXUNDERFLOWERROR

GMACN_MMC_TXUNDERFLOWERROR 为因帧下溢错误导致的发送帧取消的计数寄存器。

Offset Address	Register Name	Total Reset Value
0x0148	GMACN_MMC_TXUNDERFLOWERROR	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	txunderflowerror																															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:0]	RO	txunderflowerror	因帧下溢错误导致的发送帧取消的计数。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

GMACN_MMC_TXSINGLECOL_G

GMACN_MMC_TXSINGLECOL_G 为半双工模式下，在发生单次冲突后成功已发送的帧计数寄存器。

Offset Address	Register Name	Total Reset Value
0x014C	GMACN_MMC_TXSINGLECOL_G	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	txsinglecol_g																															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:0]	RO	txsinglecol_g	半双工模式下，在发生单次冲突后成功已发送的帧计数。

GMACN_MMC_TXMULTICOL_G

GMACN_MMC_TXMULTICOL_G 为半双工模式下，在发生多次冲突后成功已发送的帧计数寄存器。

Offset Address	Register Name	Total Reset Value
0x0150	GMACN_MMC_TXMULTICOL_G	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	txmulticol_g																															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:0]	RO	txmulticol_g	半双工模式下，在发生多次冲突后成功已发送的帧计数。

GMACN_MMC_TXDEFERRED

GMACN_MMC_TXDEFERRED 为半双工模式下，延迟后成功已发送的帧计数寄存器。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x0154	GMACN_MMC_TXDEFERRED	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	txdeferred																															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:0]	RO	txdeferred	半双工模式下，延迟后成功已发送的帧计数。

GMACN_MMC_TXLATECOL

GMACN_MMC_TXLATECOL 为因 late collision 错误导致发送取消的帧计数寄存器。

Offset Address	Register Name	Total Reset Value
0x0158	GMACN_MMC_TXLATECOL	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	txlatecol																															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:0]	RO	txlatecol	因 late collision 错误导致发送取消的帧计数。

GMACN_MMC_TXEXESSCOL

GMACN_MMC_TXEXESSCOL 为因连续 16 次发送冲突而导致发送取消的帧计数寄存器。

Offset Address	Register Name	Total Reset Value
0x015C	GMACN_MMC_TXEXESSCOL	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	txexesscol																															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:0]	RO	txexesscol	因连续 16 次发送冲突而导致发送取消的帧计数。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

GMACN_MMC_TXCARRIERERROR

GMACN_MMC_TXCARRIERERROR 为因载波侦听错误（无载波或载波丢失）导致帧发送取消的帧计数寄存器。

Offset Address	Register Name	Total Reset Value
0x0160	GMACN_MMC_TXCARRIERERROR	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	txcarriererror																															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:0]	RO	txcarriererror	因载波侦听错误(无载波或载波丢失)导致帧发送取消的帧计数。

GMACN_MMC_TXOCTETCOUNT_G

GMACN_MMC_TXOCTETCOUNT_G 为发送字节计数寄存器。不包括前导码，只包含好帧寄存器。

Offset Address	Register Name	Total Reset Value
0x0164	GMACN_MMC_TXOCTETCOUNT_G	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	txoctetcount_g																															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:0]	RO	txoctetcount_g	发送字节计数，不包括前导码，只包含好帧。

GMACN_MMC_TXFRAMECOUNT_G

GMACN_MMC_TXFRAMECOUNT_G 为已发送的好帧的计数寄存器。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x0168	GMACN_MMC_TXFRAMECOUNT_G	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	txframecount_g																															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:0]	RO	txframecount_g	已发送的好帧的计数。

GMACN_MMC_TXEXCESSDEF

GMACN_MMC_TXEXCESSDEF 为因延迟过度（超过两倍最大帧长的时间）导致帧取消传输的帧计数寄存器。

Offset Address	Register Name	Total Reset Value
0x016C	GMACN_MMC_TXEXCESSDEF	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	txexcessdef																															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:0]	RO	txexcessdef	因延迟过度(超过两倍最大帧长的时间)导致帧取消传输的帧计数。

GMACN_MMC_TXPAUSEFRAMES

GMACN_MMC_TXPAUSEFRAMES 为已发送的好 pause 帧的计数寄存器。

Offset Address	Register Name	Total Reset Value
0x0170	GMACN_MMC_TXPAUSEFRAMES	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	txpauseframes																															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:0]	RO	txpauseframes	已发送的好 pause 帧的计数。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

GMACN_MMC_TXVLANFRAMES_G

GMACN_MMC_TXVLANFRAMES_G 为已发送的好 VLAN 帧的计数寄存器。不包括重传帧。

Offset Address	Register Name	Total Reset Value
0x0174	GMACN_MMC_TXVLANFRAMES_G	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	txvlanframes_g																															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:0]	RO	txvlanframes_g	已发送的好 VLAN 帧的计数，不包括重传帧。

GMACN_MMC_RXFRAMECOUNT_GB

GMACN_MMC_RXFRAMECOUNT_GB 为已接收的帧计数寄存器。包括好帧和坏帧。

Offset Address	Register Name	Total Reset Value
0x0180	GMACN_MMC_RXFRAMECOUNT_GB	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	rxframecount_gb																															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:0]	RO	rxframecount_gb	接收的帧计数，包括好帧和坏帧。

GMACN_MMC_RXOCTETCOUNT_GB

GMACN_MMC_RXOCTETCOUNT_GB 为接收的字节计数寄存器。不包含前导码，包括好帧和坏帧。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x0184	GMACN_MMC_RXOCTETCOUNT_GB	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	rxoctetcount_gb																															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:0]	RO	rxoctetcount_gb	接收的字节计数，不包含前导码，包括好帧和坏帧。

GMACN_MMC_RXOCTETCOUNT_G

GMACN_MMC_RXOCTETCOUNT_G 为接收的字节计数寄存器。不包含前导码，只包括好帧。

Offset Address	Register Name	Total Reset Value
0x0188	GMACN_MMC_RXOCTETCOUNT_G	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	rxoctetcount_g																															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:0]	RO	rxoctetcount_g	接收的字节计数，不包含前导码，只包括好帧。

GMACN_MMC_RXBROADCASTFRAMES_G

GMACN_MMC_RXBROADCASTFRAMES_G 为已接收的广播帧计数寄存器。

Offset Address	Register Name	Total Reset Value
0x018C	GMACN_MMC_RXBROADCASTFRAMES_G	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	rxbroadcastframes_g																															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:0]	RO	rxbroadcastframes_g	已接收的广播帧计数。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

GMACN_MMC_RXMULTICASTFRAMES_G

GMACN_MMC_RXMULTICASTFRAMES_G 为已接收的组播帧计数寄存器。

Offset Address	Register Name	Total Reset Value
0x0190	GMACN_MMC_RXMULTICASTFRAMES_G	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	rxmulticastframes_g																															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:0]	RO	rxmulticastframes_g	已接收的组播帧计数。

GMACN_MMC_RXCRCERROR

GMACN_MMC_RXCRCERROR 为已接收的出现 CRC 错误的帧的计数寄存器。

Offset Address	Register Name	Total Reset Value
0x0194	GMACN_MMC_RXCRCERROR	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	rxcrcerror																															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:0]	RO	rxcrcerror	接收到出现 CRC 错误的帧的计数。

GMACN_MMC_RXALIGNMENTERROR

GMACN_MMC_RXALIGNMENTERROR 为已接收的出现对齐错误（半字节）的帧计数寄存器。仅在 10/100Mbps 模式下有效。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x0198	GMACN_MMC_RXALIGNMENTERROR	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	rxalignmenterror																															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:0]	RO	rxalignmenterror	接收到出现对齐错误(半字节)的帧计数。仅在 10/100Mbps 模式下有效。

GMACN_MMC_RXRUNTERROR

GMACN_MMC_RXRUNTERROR 为已接收的超短包（<64 字节）且发生 CRC 错误的帧计数寄存器。

Offset Address	Register Name	Total Reset Value
0x019C	GMACN_MMC_RXRUNTERROR	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	rxrunterror																															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:0]	RO	rxrunterror	已接收的超短包(<64 字节)且发生 CRC 错误的帧计数。

GMACN_MMC_RXJABBERERROR

GMACN_MMC_RXJABBERERROR 为已接收的超长包（>1518 字节）且发生 RC 错误的帧计数寄存器。

Offset Address	Register Name	Total Reset Value
0x01A0	GMACN_MMC_RXJABBERERROR	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	rxjabbererror																															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:0]	RO	rxjabbererror	已接收的超长包(>1518 字节)且发生 RC 错误的帧计数。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

GMACN_MMC_RXUNDERSIZE_G

GMACN_MMC_RXUNDERSIZE_G 为接收的超短包（<64 字节）且无任何错误的帧计数寄存器。

Offset Address	Register Name	Total Reset Value
0x01A4	GMACN_MMC_RXUNDERSIZE_G	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	rxundersize_g																															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:0]	RO	rxundersize_g	接收的超短包(<64 字节)且无任何错误的帧计数。

GMACN_MMC_RXOVERSIZE_G

GMACN_MMC_RXOVERSIZE_G 为已接收的超长包（>1518 字节）且无任何错误的帧计数寄存器。

Offset Address	Register Name	Total Reset Value
0x01A8	GMACN_MMC_RXOVERSIZE_G	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	rxoversize_g																															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:0]	RO	rxoversize_g	已接收的超长包(>1518 字节)且无任何错误的帧计数。

GMACN_MMC_RX64OCTETS_GB

GMACN_MMC_RX64OCTETS_GB 为已接收的 64 字节帧长的帧计数寄存器。包括好帧和坏帧，不含前导码和重传帧。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x01AC	GMACN_MMC_RX64OCTETS_GB	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	rx64octets_gb																															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:0]	RO	rx64octets_gb	已接收的 64 字节帧长的帧计数，包括好帧和坏帧，不含前导码和重传帧。

GMACN_MMC_RX65TO127OCTETS_GB

GMACN_MMC_RX65TO127OCTETS_GB 为已接收的 65～127 字节帧长的帧计数寄存器。包括好帧和坏帧，不含前导码和重传帧。

Offset Address	Register Name	Total Reset Value
0x01B0	GMACN_MMC_RX65TO127OCTETS_GB	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	rx65to127octets_gb																															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:0]	RO	rx65to127octets_gb	已接收的 65～127 字节帧长的帧计数，包括好帧和坏帧，不含前导码和重传帧。

GMACN_MMC_RX128TO255OCTETS_GB

GMACN_MMC_RX128TO255OCTETS_GB 为已接收的 128～255 字节帧长的帧计数寄存器。包括好帧和坏帧，不含前导码和重传帧。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x01B4	GMACN_MMC_RX128TO255OCTETS_GB	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	rx128to255octets_gb																															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:0]	RO	rx128to255octets_gb	已接收的 128～255 字节帧长的帧计数，包括好帧和坏帧，不含前导码和重传帧。

GMACN_MMC_RX256TO511OCTETS_GB

GMACN_MMC_RX256TO511OCTETS_GB 为已接收的 256～511 字节帧长的帧计数寄存器。包括好帧和坏帧，不含前导码和重传帧。

Offset Address	Register Name	Total Reset Value
0x01B8	GMACN_MMC_RX256TO511OCTETS_GB	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	rx256to511octets_gb																															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:0]	RO	rx256to511octets_gb	已接收的 256～511 字节帧长的帧计数，包括好帧和坏帧，不含前导码和重传帧。

GMACN_MMC_RX512TO1023OCTETS_GB

GMACN_MMC_RX512TO1023OCTETS_GB 为已接收的 512～1023 字节帧长的帧计数寄存器。包括好帧和坏帧，不含前导码和重传帧。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x01BC	GMACN_MMC_RX512TO1023OCTETS_GB	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	rx512to1023octets_gb																															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:0]	RO	rx512to1023octets_gb	已接收的 512～1023 字节帧长的帧计数，包括好帧和坏帧，不含前导码和重传帧。

GMACN_MMC_RX1024TOMAXOCTETS_GB

GMACN_MMC_RX1024TOMAXOCTETS_GB 为已接收的 1024 字节～最大字节帧长的帧计数寄存器。包括好帧和坏帧，不含前导码和重传帧。

Offset Address	Register Name	Total Reset Value
0x01C0	GMACN_MMC_RX1024TOMAXOCTETS_GB	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	rx1024tomaxoctets_gb																															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:0]	RO	rx1024tomaxoctets_gb	已接收的 1024 字节～最大字节帧长的帧计数，包括好帧和坏帧，不含前导码和重传帧。

GMACN_MMC_RXUNICASTFRAMES_G

GMACN_MMC_RXUNICASTFRAMES_G 为已接收的好单播帧计数寄存器。

Offset Address	Register Name	Total Reset Value
0x01C4	GMACN_MMC_RXUNICASTFRAMES_G	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	rxunicastframes_g																															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:0]	RO	rxunicastframes_g	已接收的好单播帧计数。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

GMACN_MMC_RXLENGTHERROR

GMACN_MMC_RXLENGTHERROR 为在所有已接收的带有有效长度字段的帧中，出现长度错误（长度类型字段不等于帧大小）的帧计数寄存器。

Offset Address	Register Name	Total Reset Value
0x01C8	GMACN_MMC_RXLENGTHERROR	0x0000_0000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	rxlengtherror							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[31:0]	RO	rxlengtherror	在所有已接收的带有有效长度字段的帧中，出现长度错误(长度类型字段不等于帧大小)的帧计数。

GMACN_MMC_RXOUTOFRANGETYPE

GMACN_MMC_RXOUTOFRANGETYPE 为已接收的长度字段不处于有效范围（1501～1536 字节）的帧计数寄存器。

Offset Address	Register Name	Total Reset Value
0x01CC	GMACN_MMC_RXOUTOFRANGETYPE	0x0000_0000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	rxoutofrangetype							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[31:0]	RO	rxoutofrangetype	已接收的长度字段不处于有效范围(1501～1536 字节)的帧计数。

GMACN_MMC_RXPAUSEFRAMES

GMACN_MMC_RXPAUSEFRAMES 为已接收的有效 pause 帧的帧计数寄存器。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x01D0	GMACN_MMC_RXPAUSEFRAMES	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	rxpauseframes																															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:0]	RO	rxpauseframes	已接收的有效 pause 帧的帧计数。

GMACN_MMC_RXFIFOOVERFLOW

GMACN_MMC_RXFIFOOVERFLOW 为因 FIFO 上溢导致的丢弃接收帧的帧计数寄存器。

Offset Address	Register Name	Total Reset Value
0x01D4	GMACN_MMC_RXFIFOOVERFLOW	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	rxfifooverflow																															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:0]	RO	rxfifooverflow	因 FIFO 上溢导致的丢弃接收帧的帧计数。

GMACN_MMC_RXVLANFRAMES_GB

GMACN_MMC_RXVLANFRAMES_GB 为接收到的 VLAN 帧的帧计数寄存器。包括好帧和坏帧。

Offset Address	Register Name	Total Reset Value
0x01D8	GMACN_MMC_RXVLANFRAMES_GB	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	rxvlanframes_gb																															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:0]	RO	rxvlanframes_gb	接收到的 VLAN 帧的帧计数，包括好帧和坏帧。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

GMACN_MMC_RXWATCHDOGERROR

GMACN_MMC_RXWATCHDOGERROR 为接收到的出现 watchdog 超时（帧数据长度超过 2048 字节）的帧的帧计数寄存器。

Offset Address	Register Name	Total Reset Value
0x01DC	GMACN_MMC_RXWATCHDOGERROR	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	rxwatchdogerror																															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:0]	RO	rxwatchdogerror	接收到的出现 watchdog 超时(帧数据长度超过 2048 字节)的帧的帧计数。

DMAP_BUS_MODE

DMAP_BUS_MODE 为总线模式寄存器。规定了 DMAp（0，2）的总线操作模式。

Offset Address	Register Name	Total Reset Value
0x1000＋P×0x100 (P = 0、2)	DMAP_BUS_MODE	0x0002_0101

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved						aal	pblx8	usp	rpbl						fb	reserved				pbl				reserved				dsl				reserved	swr
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	1

Bits	Access	Name	Description
[31:26]	RO	reserved	保留。
[25]	RW	aal	AAL：地址对齐的 Beats。 0：非地址对齐的 Beats； 1：地址对齐的 Beats。 当 FB 值为 1 时，AXI 接口生成所有与起始地址 LS burst 对齐的地址；如果 FB 值为 0，AXI 接口生成的首个地址 burst 不对齐，但后续所有地址都与首个地址 burst 对齐。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

[24]	RW	pblx8	pblx8：8xPBL 模式。 0：非 8xPBL 模式； 1：8xPBL 模式。 当该比特值为 1 时，PBL 的值将由比特[22:17]的 8 倍与比特[13:8])乘积的 8 倍来确定。这样，可能的 DMA 传输的包括 8，16，32，64，128 和 256 burst 操作。
[23]	RW	usp	USP：使用分离的 PBL。 0：不使用分离的 PBL。TxDMA 和 RxDMA 使用比特[13:8]作为 PBL。； 1：使用分离的 PBL。使用比特[22:17]作为 RxDMA 的 PBL，使用比特[13:8]作为 TxDMA 的 PBL..
[22:17]	RW	rpbl	RPBL：RxDMA PBL。 指示单次 RxDMA 交易中最大的 beats 数目，也就时单个模块读写操作的最大 burst 长度。RxDMA 的每次 burst 操作总是尝试按照 PBL 确定的值执行，可以选择的范围包括 1，2，4，8，16，32，其他值有可能导致不确定的行为。当 USP 设置为 1 时，RxPBL 仅用于 RxDMA 的操作。
[16]	RW	fb	FB：固定 burst 模式。 该比特控制 AXI master 是否采用固定 burst 模式。 0：不采用固定 burst 模式。此时 AXI 可以采用 SIGNGLE 或 INCRburst 操作； 1：采用固定 burst 模式。
[15:14]	RO	reserved	保留。
[13:8]	RW	pbl	PBL：可编程的 burst 长度。 指示单次 DMA 交易中最大的 beats 数目，也就时单个模块读写操作的最大 burst 长度。DMA 的每次 burst 操作总是尝试按照 PBL 确定的值执行，可以选择的范围包括 1，2，4，8，16，32，其他值有可能导致不确定的行为。当 USP 设置为 1 时，PBL 仅用于 TxDMA 的操作。 如果需要超过 32burst 的操作，需要通过设置 8xpbl 来实现。举例来说，如果需要 64burst 的操作，需要设置 8xpbl 为 1，设置 pbl 为 8。
[7]	RO	reserved	保留。
[6:2]	RW	dsl	DSL：描述子跳转长度。 该比特确定了两个非链表结构描述子间所需跳过的 word 数目。该长度开始与当前描述子的起始字节，结束语下一相邻描述子的起始字节。若该值为 0，默认其工作在 ring 模式下。
[1]	RO	reserved	保留。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

[0]	RWSC	swr	SWR：软复位。 0：不执行软复位； 1：执行软复位。 执行软复位时，DMA 控制器将复位整个 GMAC 寄存器和逻辑。该比特将在完成复位后自动清零。未完成复位前，不能对任何寄存器进行写操作。

DMAP_XMT_POLL_DEMAND

DMAP_XMT_POLL_DEMAND 为发送 poll demand 寄存器。使能 TxDMA 去检查当前描述子是否属于 DMA。该命令用于唤醒处于挂起状态的 TxDMA。通常 TxDMA 会因 FIFO 下溢或无可用发送描述子而进入挂起状态。一旦 TxDMA 开始从主机内存重新获取描述子，可以在任意时刻配置该寄存器。

Offset Address	Register Name	Total Reset Value
0x1004＋P×0x100 (P = 0、2)	DMAP_XMT_POLL_DEMAND	0x0000_0000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	tpd							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[31:0]	ROWT	tpd	TPD：发送 Poll Demand 当该寄存器被写入任何值时，DMA 将去读取当前发送描述子地址，如果当前描述子不可用(own 位为 0)，发送状态机将进入挂起状态；反之，若当前描述子可用，发送状态机将重新继续。

DMAP_RCV_POLL_DEMAND

DMAP_RCV_POLL_DEMAND 为接收 poll demand 寄存器。使能 RxDMA 去检查当前描述子是否属于 DMA。该命令用于唤处于挂起状态的 RxDMA。通常 TxDMA 会因 FIFO 下溢或无可用接收描述子而进入挂起状态。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x1008＋P×0x100 (P = 0、2)	DMAP_RCV_POLL_DEMAND	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	rpd																															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:0]	ROWT	rpd	RPD：接收 Poll Demand 当该寄存器被写入任何值时，DMA 将去读取当前接收描述子地址，如果当前描述子不可用(own 位为 0)，接收状态机将进入挂起状态；反之，若当前描述子可用，接收状态机将进入激活状态。

DMAP_RCV_BASE_ADDR

DMAP_RCV_BASE_ADDR 为接收描述子链表地址寄存器。指示接收描述子链表的开始。该寄存器只允许在接收停止时，且接收启动指令开始前更改。

Offset Address	Register Name	Total Reset Value
0x100C＋P×0x100 (P = 0、2)	DMAP_RCV_BASE_ADDR	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	rba																															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:0]	RW	rba	接收链表的开始。 该字段包含接收描述子链表首个描述子的基址。

DMAP_TX_BASE_ADDR

DMAP_TX_BASE_ADDR 为发送描述子链表地址寄存器。指示发送描述子链表的开始。该寄存器只允许在发送停止时，且发送启动指令开始前更改。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x1010＋P×0x100 (P = 0、2)	DMAP_TX_BASE_ADDR	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	tba																															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:0]	RW	tba	发送链表的开始。 该字段包含发送描述子链表首个描述子的基址。

DMAP_STATUS

DMAP_STATUS 为状态寄存器。保存了所有 DMA 上报主机的状态信息。软件通过中断伺服或轮训方式读取该寄存器。该寄存器的大部分比特都会引起中断。
DMAP_STATUS 非读清，DMAP_STATUS[16:0]通过写 1 清的方式实现，写 0 不起作用。这些比特可以通过操作寄存器 DMAP_CONTROL 实现中断 mask。

Offset Address	Register Name	Total Reset Value
0x1014＋P×0x100 (P = 0、2)	DMAP_STATUS	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				gmi	gli	eb			ts			rs			nis	ais	eri	fbi	reserved		eti	rwt	rps	ru	ri	unf	ovf	tjt	tu	tps	ti
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:28]	RO	reserved	保留。
[27]	RO	gmi	GMI：GMAC MMC 中断。 该比特反映了 MMC 模块的中断事件。软件需要通过查询 GMAC 中相应寄存器以获取中断源并清中断。 0：没有产生 GMAC MMC 中断； 1：产生 GMAC MMC 中断。
[26]	RO	gli	GLI：GMAC 线接口中断。 该比特反映了 GMAC 中 PCS 模块的中断时间。软件需要通过查询 GMAC 中相应寄存器以获取中断源并清中断。 0：没有产生 GMAC PCS 中断； 1：产生 GMAC PCS 中断。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

[25:23]	RO	eb	EB：错误比特。 这些比特指示引起总线错误的一类错误。这些比特仅当比特13(FBI)为 1 时才有效，它们并不产生中断。This field does not generate an interrupt. bit[23]： 0：RxDMA 数据传输过程中发生错误； 1：TxDMA 数据传输过程中发生错误。 bit[24]： 0：写操作过程发生错误； 1：读操作过程发生错误。 bit[25]： 0：数据缓存访问过程中发送错误； 1：描述子访问过程中发送错误。
[22:20]	RO	ts	TS：发送处理状态。 这些比特指示 TxDMA 的状态，它们不产生中断。 000：停止状态。收到复位或停止命令； 001：运行中。正在读取发送描述子； 010：运行中。正在等待状态信息； 011：运行中。正在从主机内存读取报文并将其写入 TxFIFO； 100：TIME_STAMP 写状态； 101：保留； 110：挂起。没有可用的发送描述子或 TxFIFO 下溢； 111：回写发送描述子。
[19:17]	RO	rs	RS：接收处理状态。 这些比特指示 RxDMA 的状态，它们不产生中断。 000：停止状态。收到复位或停止命令； 001：运行中。正在读取接收描述子； 010：保留； 011：运行中。正在等待接收报文； 100：挂起。没有可用的接收描述子； 101：运行中。回写接收描述子； 110：TIME_STAMP 写状态； 111：运行中。正在将接收报文写入主机内存。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

[16]	RWC	nis	NIS：普通中断汇总。 该比特是以下中断比特的逻辑或。 DMAp_STATUS[0]、DMAp_STATUS[2]、DMAp_STATUS[6]、DMAp_STATUS[14] 仅有未被 mask 的中断才会影响该比特。每次中断事件导致该比特设置为 1 后，都需要将该比特清零。
[15]	RWC	ais	AIS：异常中断汇总。 该比特是以下中断比特的逻辑或。 DMAp_STATUS[1]、DMAp_STATUS[3]、DMAp_STATUS[4] DMAp_STATUS[5]、DMAp_STATUS[7]、DMAp_STATUS[8] DMAp_STATUS[9]、DMAp_STATUS[10]、DMAp_STATUS[13] 仅有未被 mask 的中断才会影响该比特。每次中断事件导致该比特设置为 1 后，都需要将该比特清零。
[14]	RWC	eri	ERI：早期接收中断。 0：没有产生早期接收中断； 1：产生早期接收中断。 指示 RxDMA 已经填满了接收描述子对应的首个数据缓存。该中断将由 DMAp_STATUS[6]自动清除。
[13]	RWC	fbi	FBI：致命总线错误中断。 0：没有产生致命总线错误中断； 1：产生致命总线错误中断。 指示致命总线错误发生，参见比特[25:23]，该比特发生时，DMA 将停止所有总线访问。
[12:11]	RO	reserved	保留。
[10]	RWC	eti	ETI：早期发送中断。 0：没有产生早期发送中断； 1：产生早期发送中断。 该比特指示需要发送的帧已经写入 TxFIFO。
[9]	RWC	rwt	RWT：接收 watchdog 超时。 0：没有产生接收 watchdog 超时； 1：产生接收 watchdog 超时。 当接收帧长度超过 2048 字节时，该比特置 1。
[8]	RWC	rps	RPS：接收进程停止。 0：没有出现接收进程停止； 1：出现接收进程停止。 该比特指示接收状态机进入停止状态。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

[7]	RWC	ru	RU：接收缓存不可用。 0：没有出现接收缓存不可用； 1：出现接收缓存不可用。 该比特指示接收队列的下一个描述子由主机控制，不能被获取。此时接收进程进入挂起状态。此时主机需要配置下一个可用描述子，并向 RxDMA 发送 poll demand 命令，否则该比特将一直保持。
[6]	RWC	ri	RI：接收中断。 0：没有产生接收中断； 1：产生接收中断。 该比特指示完成帧的接收。帧的状态信息已经被写入描述子，此时接收进程仍处于运行状态。
[5]	RWC	unf	UNF：发送下溢。 0：没有出现发送下溢； 1：出现发送下溢。 该比特指示帧传输过程中出现 TxFIFO 下溢。传输进程将进入挂起状态，发送描述子中的下溢错误比特也将被设置为 1。
[4]	RWC	ovf	OVF：接收上溢。 0：没有出现接收上溢； 1：出现接收上溢。 该比特指示帧接收过程中出现 RxFIFO 上溢。如果部分数据已经被写入主机缓存，接收描述子中的上溢错误比特也将被设置为 1。
[3]	RWC	tjt	TJT：发送 jabber 超时。 0：没有出现发送 jabber 超时； 1：出现发送 jabber 超时。 该比特指示发送 jabber 定时器超时，此时发送进程取消，进入停止状态，对应发送描述子的 jabber 超时比特也将被设置为 1。
[2]	RWC	tu	TU：发送缓存不可用。 0：没有出现发送缓存不可用； 1：出现发送缓存不可用。 该比特指示发送队列的下一个描述子由主机控制，不能被获取。发送进程入挂起状态。如果主机有新的数据要发送，需要配置下一个可用描述子，并向 TxDMA 发送 poll demand 命令。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

[1]	RWC	tps	TPS：发送进程停止。 0：没有出现发送进程停止； 1：出现发送进程停止。 该比特指示发送状态机进入停止状态。
[0]	RWC	ti	TI：发送中断。 0：没有产生发送中断； 1：产生发送中断。 该比特指示完成帧的发送。帧的状态信息已经被写入描述子，此时发送进程仍处于运行状态。

DMAP_CONTROL

DMAP_CONTROL 为 DMAp（0，2）的操作模式寄存器。规定了接收和发送的操作模式和指令。该寄存器应该是 DMA 初始化的最后一个寄存器。

Offset Address	Register Name	Total Reset Value
0x1018＋P×0x100 (P = 0、2)	DMAP_CONTROL	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved						rsf	dff	rfa2	rfd2	tsf	ftf	reserved				ttc			st	rfd		rfa		efc	fef	fuf	reserved			rtc		osf	sr	reserved	
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:26]	RO	reserved	保留。
[25]	RW	rsf	RSF:接收的存储转发。 0：不执行接收的存储转发。此时 RxFIFO 根据 FIFO 阈值判断是否转发； 1：执行接收的存储转发。此时 RxFIFO 收到一个完整帧后才将该帧向上转发。
[24]	RW	dff	DFF：不使能接收帧的清空。 0：使能接收帧的清空。当该比特为 0 时，RxDMA 会因接收描述子/接收缓存的不可用而清空任何帧； 1：不使能接收帧的清空。当该比特为 1 时，RxDMA 不会因接收描述子/接收缓存的不可用而清空任何帧。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

[23]	RW	rfa2	RFA[2]：激活流控阈值的高位。 0：该比特为 0 时，流控阈值按照 RFA 进行设置； 1：该比特为 1 时，激活流控阈值由该比特本身和 RFA 共同确定。激活流控阈值随{rfa2,rfa[1:0]}的变化如下： 100：满减去 5 KB； 101：满减去 6 KB； 110：满减去 7 KB； 111：保留。
[22]	RW	rfd2	RFD[2]：解除流控阈值的高位。 0：该比特为 0 时，解除流控阈值按照 RFD 进行设置。 1：该比特为 1 时，解除流控阈值由该比特本身和 RFD 共同确定。解除流控阈值随{rfd2,rfd[1:0]}的变化如下： 100：满减去 5 KB； 101：满减去 6 KB； 110：满减去 7 KB； 111：保留。
[21]	RW	tsf	TSF:发送的存储转发。 0：不执行发送的存储转发。此时 TxFIFO 根据 FIFO 阈值判断是否转发； 1：执行发送的存储转发。此时 TxFIFO 收到一个完整帧后才将该帧转发给 MAC。
[20]	RWC	ftf	FTF:清空 TxFIFO。 0：不清空 TxFIFO； 1：清空 TxFIFO。当该比特设置为 1 时，TxFIFO 的所有控制逻辑复位，TxFIFO 内的数据丢失。该比特将在清空操作完成后自动清零。且在清空过程中，操作模式寄存器不可写。已经被 GMAC 发送端接收的数据将不会被清除。该操作会导致 FIFO 下溢和超短帧发出。
[19:17]	RO	reserved	保留。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

[16:14]	RW	ttc	TTC：发送阈值控制。 用于控制 TxFIFO 的阈值以启动 TxDMA。当 RxFIFO 内的字节数大于等于该阈值时，启动 TxDMA 进行处理。该比特尽在 TSF 设置为 0 时有效。 000：64； 001：128； 010：192； 011：256； 100：40； 101：32； 110：24； 111：16。
[13]	RW	st	ST：开始/停止发送指令。 1：当该比特为 1 时，发送进程进入运行状态。DMA 尝试从发送队列获取描述子。描述子的获取来自 DMAp_XMT_BASE_ADDR 寄存器或发送状态机上次停止时保存的位置。如果没有描述子可用，TxDMA 将进入挂起状态，发送缓存不可用(DMAp_STATUS[2])被设置为 1。需要注意的是，该比特设置为 1 时，需要发送停止时才生效，且在 DMAp_XMT_BASE_ADDR 配置生效后才能正常工作。 0：当该比特为 0 时，TxDMA 将在当前帧处理完成后停止操作。接收队列中下一描述子位置将被保存，并将成为发送进程重启后的当前位置。该比特设置为 0 时，需要在发送进程处于运行状态或挂起状态时才有效。
[12:11]	RW	rfd	RFD：解除流控的阈值。(in both HD and FD) 这些比特用于流控发生后，控制在 RxFIFO 中低于该阈值时解除流控。 00：满减去 1 KB； 01：满减去 2 KB； 10：满减去 3 KB； 11：满减去 4 KB。 以上仅用于流控激活后且 RxFIFO 深度超过 4KB 时有效。若 RxFIFO 深度超过 8KB 时，比特 22 的 RFD[2]将可以确定更多的解除流控阈值。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

[10:9]	RW	rfa	RFA：激活流控的阈值。(in both HD and FD) 这些比特用于控制在 RxFIFO 中超过该阈值时启动流控。 00：满减去 1 KB； 01：满减去 2 KB； 10：满减去 3 KB； 11：满减去 4 KB。 以上仅用于 EFC 设置为 1 且 RxFIFO 深度超过 4KB 时有效。若 RxFIFO 深度超过 8KB 时，比特 23 的 RFA[2]将可以确定更多的流控阈值。
[8]	RW	efc	EFC：使能硬件流控。 0：不使能硬件流控； 1：使能硬件流控。硬件将依赖于 FIFO 的空满程度实现流控功能。
[7]	RW	fef	FEF:转发错误帧。 0：该比特为 0 时，RxFIFO 丢弃所有出现错误的帧(包括 CRC 错误，冲突错误，gmii_er，超大帧，watchdog 超时，上溢等)。然而，在阈值模式下，如果该帧的起始指针已经被接收控制器获得，则该帧不能丢弃； 1：该比特为 1 时，除超短帧以外的所有帧将被转发给 DMA。但因 FIFO 溢出错误的帧将被丢弃。
[6]	RW	fuf	FUF：转发较小的好帧。 0：该比特为 0 时，RxFIFO 将丢弃所有小于接收阈值的较小帧； 1：该比特为 1 时，RxFIFO 将转发所有没有错误且长度小于 64Bytes(包括填充字节和 CRC)的帧。
[5]	RO	reserved	保留。
[4:3]	RW	rtc	RTC：接收阈值控制。 用于控制 RxFIFO 的阈值以启动 RxDMA。当 RxFIFO 内的字节数大于等于该阈值时，启动 RxDMA 进行处理。该比特尽在 RSF 设置为 0 时有效。 00：64； 01：32； 10：96； 11：128。
[2]	RW	osf	OSF：第二帧操作。 0：不执行第二帧操作； 1：执行第二帧操作。此时 DMA 可以在获得前一帧的状态之前开始处理第二帧。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

[1]	RW	sr	SR：开始/停止接收。 0：当该比特为 0 时，RxDMA 将在当前帧处理完成后停止操作。接收队列中下一描述子位置将被保存，并将成为接收进程重启后的当前位置。该比特设置为 0 时，需要在接收进程处于运行状态或挂起状态时才有效。 1：当该比特为 1 时，接收进程进入运行状态。DMA 尝试从接收队列获取描述子，并处理输入帧。描述子的获取来自 DMAp_RCV_BASE_ADDR 寄存器或接收状态机上次停止时保存的位置。如果没有描述子可用，接收 DMA 将进入挂起状态，接收缓存不可用(DMAp_STATUS[7])被设置为 1。需要注意的是，该比特设置为 1 时，需要接收停止时才生效，且在 DMAp_RCV_BASE_ADDR 配置生效后才能正常工作。
[0]	RO	reserved	保留。

DMAP_INTR_ENA

DMAP_INTR_ENA 为 DMAp（0，2）的中断使能寄存器。用于使能 DMAp_STATUS 上报的中断。软复位或硬复位后，.

Offset Address	Register Name	Total Reset Value
0x101C＋P×0x100 (P = 0、2)	DMAP_INTR_ENA	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																nie	aie	ere	fbe	reserved				ete	rwe	rse	rue	rie	une	ove	tje	tue	tse	tie
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:17]	RO	reserved	保留。
[16]	RW	nie	NIE：普通中断汇总使能。 0：普通中断汇总不使能； 1：普通中断汇总使能。 该比特使能操作的普通中断包括：DMAp_STATUS[0]、DMAp_STATUS[2]、DMAp_STATUS[6]、DMAp_STATUS[14]

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

[15]	RW	aie	AIE：异常中断汇总使能。 0：异常中断汇总不使能； 1：异常中断汇总使能。 该比特使能操作的异常中断包括：DMAp_STATUS[1]、DMAp_STATUS[3]、DMAp_STATUS[4]、DMAp_STATUS[5] DMAp_STATUS[7]、DMAp_STATUS[8]、DMAp_STATUS[9] DMAp_STATUS[10]、DMAp_STATUS[13]
[14]	RW	ere	ERE：早期接收中断使能。 0：早期接收中断不使能； 1：当普通中断汇总使能为 1 时，早期接收中断使能。
[13]	RW	fbe	FBE：致命总线错误使能。 0：致命总线错误不使能； 1：当异常中断汇总使能为 1 时，致命总线错误使能。
[12:11]	RO	reserved	保留。
[10]	RW	ete	ETE：早期发送中断使能。 0：早期发送中断不使能； 1：当异常中断汇总使能为 1 时，早期发送中断使能
[9]	RW	rwe	RWE：接收 watchdog 超时使能。 0：接收 watchdog 超时不使能； 1：当异常中断汇总使能为 1 时，接收 watchdog 超时使能。
[8]	RW	rse	RSE：接收停止使能。 0：接收停止不使能； 1：当异常中断汇总使能为 1 时，接收停止使能。
[7]	RW	rue	RUE：接收缓存不可用使能。 0：接收缓存不可用不使能； 1：当异常中断汇总使能为 1 时，接收缓存不可用使能。
[6]	RW	rie	RIE：接收中断使能。 0：接收中断不使能； 1：当普通中断汇总使能为 1 时，接收中断使能。
[5]	RW	une	UNE：下溢中断使能。 0：下溢中断不使能； 1：当异常中断汇总使能为 1 时，下溢中断使能。
[4]	RW	ove	OVE：上溢中断使能。 0：上溢中断不使能； 1：当异常中断汇总使能为 1 时，上溢中断使能。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

[3]	RW	tje	TJE:发送 jabber 超时使能。 0：发送 jabber 超时不使能； 1：当异常中断汇总使能为 1 时，发送 jabber 超时使能。
[2]	RW	tue	TUE：发送缓存不可用使能。 0：发送缓存不可用不使能； 1：当普通中断汇总使能为 1 时，发送缓存不可用使能。
[1]	RW	tse	TSE：发送停止使能。 0：发送停止不使能； 1：当异常中断汇总使能为 6 时，发送停止使能。
[0]	RW	tie	TIE：发送中断使能。 0：发送中断不使能； 1：当普通中断汇总使能为 1 时，发送中断使能。

DMAP_MISSED_FRAME_CTR

DMAP_MISSED_FRAME_CTR 为 DMAp（0，2）包含的两个计数器来跟踪接收过程中丢弃的帧寄存器。该寄存器保存了这两个计数器的当前值，分别是因主机接收缓存不可用和 FIFO 溢出导致的帧丢弃计数值。

Offset Address	Register Name	Total Reset Value
0x1020＋P×0x100 (P = 0、2)	DMAP_MISSED_FRAME_CTR	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				ob_fifo_overflow_cnt	app_miss_frms										ob_miss_frms_cnt	ctrl_miss_frms																	
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:29]	RO	reserved	保留。
[28]	RC	ob_fifo_overflow_cnt	FIFO 上溢计数器的上溢指示信号。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

[27:17]	RC	app_miss_frms	指示应用丢弃的帧数目。每次 mtl_rxoverflow_o 信号拉高时计数器加 1，当该计数器被读取且 mci_be_i[2]为 1 时，该计数值清零。
[16]	RC	ob_miss_frms_cnt	已丢弃帧计数器的上溢指示信号。
[15:0]	RC	ctrl_miss_frms	指示因没有可用的主机接收缓存而导致 GMAC 丢弃的帧数目。每次 DMA 丢弃接收帧时计数器加 1，当该计数器被读取且 mci_be_i[0]为 1 时，该计数值清零。

DMAP_CUR_TX_BUF_ADDR

DMAP_CUR_TX_BUF_ADDR 为 DMAp（0，2）的当前主机发送缓存地址寄存器。指示 DMA 正在读取的发送缓存地址。

Offset Address	Register Name	Total Reset Value
0x1050＋P×0x100 (P = 0、2)	DMAP_CUR_TX_BUF_ADDR	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	curr_tx_buf_addr																															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:0]	RO	curr_tx_buf_addr	当前主机发送缓存地址寄存器，指示 DMA 正在读取的发送缓存地址。

DMAP_CUR_RX_BUF_ADDR

DMAP_CUR_RX_BUF_ADDR 为 DMAp（0，2）当前主机接收缓存地址寄存器。指示 DMA 正在读取的接收缓存地址。

Offset Address	Register Name	Total Reset Value
0x1054＋P×0x100 (P = 0、2)	DMAP_CUR_RX_BUF_ADDR	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	curr_rx_buff_addr																															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:0]	RO	curr_rx_buff_addr	当前主机接收缓存地址寄存器，指示 DMA 正在读取的接收缓存地址。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

CT_LOCAL_MACADDR0_U16

CT_LOCAL_MACADDR0_U16 为 GMAC0 的本地 MAC 地址的高 16 比特寄存器。

Offset Address	Register Name	Total Reset Value
0x8100	CT_LOCAL_MACADDR0_U16	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																mac0_addr_u16															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:16]	RO	reserved	保留。
[15:0]	RW	mac0_addr_u16	GMAC0 的本地 MAC 地址的高 16 比特[47:32]。

CT_LOCAL_MACADDR0_L32

CT_LOCAL_MACADDR0_L32 为 GMAC0 的本地 MAC 地址的低 32 比特寄存器。

Offset Address	Register Name	Total Reset Value
0x8104	CT_LOCAL_MACADDR0_L32	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	mac0_addr_l32																															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:0]	RW	mac0_addr_l32	GMAC0 的本地 MAC 地址的低 32 比特[31:0]。

CT_LOCAL_IPADDR0

CT_LOCAL_IPADDR0 为 GMAC0 的本地 IP 地址寄存器。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x8108	CT_LOCAL_IPADDR0	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	mac0_ip_addr																															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:0]	RW	mac0_ip_addr	GMAC0 的 IP 地址，包含 32 比特[31:0]。

TOE_CTRL

TOE_CTRL 为 TOE 允许的最大重传次数和定时器复位值寄存器。

Offset Address	Register Name	Total Reset Value
0x814C	TOE_CTRL	0x25D7_80FF

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	timer_rst_val																				num_retries											
Reset	0	0	1	0	0	1	0	1	1	1	0	1	0	1	1	1	1	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1

Bits	Access	Name	Description
[31:12]	RW	timer_rst_val	1ms 的时间由多少系统时钟周期构成(该复位值默认系统工作在 155MHz)。
[11:0]	RW	num_retries	允许的最大重传次数。

TNK_INTR_STAT

TNK_INTR_STAT 为中断状态寄存器。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x9000	TNK_INTR_STAT	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																								toe_int	reserved	gmac0_int	dma_ch2_int	reserved	dma_ch0_int	dma_ttx_err_int	dma_ttx_ack_int
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:8]	RO	reserved	保留。
[7]	RO	toe_int	来自 TOE 的中断。
[6]	RO	reserved	保留。
[5]	RO	gmac0_int	所有来自 GMAC0 的中断。
[4]	RO	dma_ch2_int	所有来自 DMA2 的中断。
[3]	RO	reserved	保留。
[2]	RO	dma_ch0_int	所有来自 DMA0 的中断。
[1]	RO	dma_ttx_err_int	TOE 发送 DMA 检测到的错误产生的中断。
[0]	RO	dma_ttx_ack_int	TOE 检测到一个或多个描述子因对端 ACK 返回而可以由软件回收，所产生的中断。

TNK_INTR_EN

TNK_INTR_EN 为中断使能寄存器。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x09004	TNK_INTR_EN	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																								toe_ien	reserved	gmac0_ien	dma_ch2_ien	reserved	dma_ch0_ien	dma_ttx_err_ien	dma_ttx_ack_ien
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:8]	RO	reserved	保留。
[7]	RW	toe_ien	toe_int 的中断使能。
[6]	RW	reserved	保留。
[5]	RW	gmac0_ien	所有来自 GMAC0 的中断的使能。
[4]	RW	dma_ch2_ien	所有来自 DMA2 的中断的使能。
[3]	RW	reserved	保留。
[2]	RW	dma_ch0_ien	所有来自 DMA0 的中断的使能。
[1]	RW	dma_ttx_err_ien	dma_ttx_err_int 的中断使能。
[0]	RW	dma_ttx_ack_ien	dma_ttx_ack_int 的中断使能。

TNK_RESET_STAT

TNK_RESET_STAT 为 MAC 复位状态寄存器。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x09008	TNK_RESET_STAT	0x0000_0000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1	0
Name	reserved								mac0_in_reset
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0	0

Bits	Access	Name	Description
[31:1]	RO	reserved	保留。
[0]	RO	mac0_in_reset	如果该值为 1，表示 MAC0 的复位拉高。并且在 MAC 接收时钟和发送时钟跳转至前，MAC 不会跳出复位状态。 0：MAC 不处于复位状态； 1：MAC 处于复位状态。

TNK_ID

TNK_ID 为支持的连接数和硬件版本号寄存器。

Offset Address	Register Name	Total Reset Value
0x0900C	TNK_ID	0x00FE_0001

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1	0
Name	num_conn				tnk_id				
Reset	0 0 0 0	0 0 0 0	1 1 1 1	1 1 1 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0	1

Bits	Access	Name	Description
[31:16]	RO	num_conn	支持的连接数。
[15:0]	RO	tnk_id	硬件版本号。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

目 录

6 视频解码.....6-1
6.1 VDH.....6-1
6.1.1 概述.....6-1
6.1.2 功能描述.....6-1
6.1.3 工作方式.....6-1
6.2 JPGD.....6-3
6.2.1 概述.....6-3
6.2.2 功能描述.....6-3
6.2.3 工作方式.....6-5

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

插图目录

图 6-1 视频解码器架构 6-2
图 6-2 JPGD 总体结构图 6-4
图 6-3 JPEG 码流结构图 6-5

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

表格目录

表 6-1 JPGD 内部模块说明 6-4

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

6 视频解码

6.1 VDH

6.1.1 概述

视频解码器由运行于 ARM 处理器的 VFMW（Video Firmware）和内嵌的硬件视频解码引擎 VDH 构成，VFMW 从上层软件获得码流，对码流进行解析并调用 VDH，产生解码图像序列。解码图像序列在上层软件的控制下，由 VDP 输出到显示器或其它设备。

6.1.2 功能描述

视频解码器有以下特点：

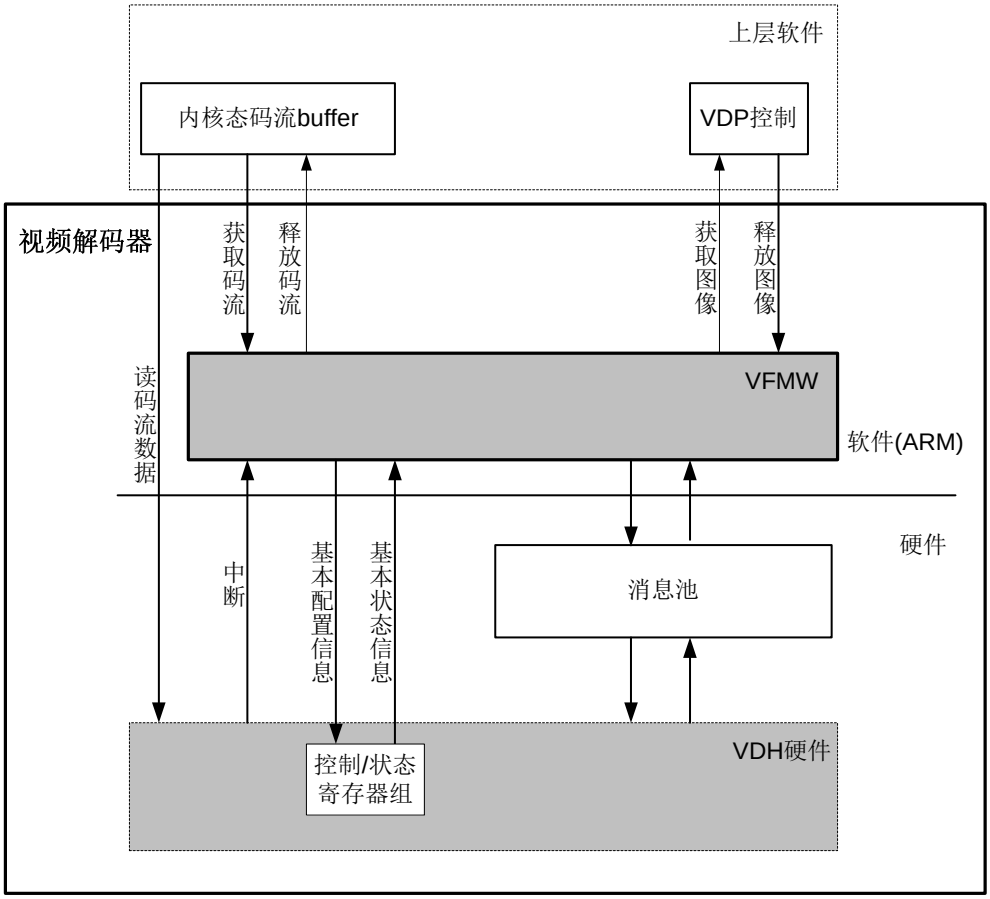
- H.264 Baseline Profile Level 5.0 解码
- H.264 Main Profile Level5.0 解码
- H.264 High profile Level5.0 解码
- MPEG4 SP L0~L3 解码
- MPEG4 ASP L0~L5/MPEG4 短头解码
- 最大分辨率：H.264：5632x4224；其它：1920x1088
- 解码性能：1080P@60fps

6.1.3 工作方式

视频解码器架构如图 6-1 所示。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

图6-1 视频解码器架构



VDH：Video Decoding Module For High Definition，多协议高清视频解码模块。
VFMW：Video Firmware，视频固件，实为运行在主处理器上的一个软件组件，负责调度视频解码引擎完成视频解码。
消息池：VFMW 和 VDH 进行信息交互的存储空间，是在外部 SDRAM 存储器中开辟的，可被 VDH 和 VFMW 共同读写的存储区域。

VDH 与 VFMW 交互模式有两种：

- H264 协议按一批 slice 进行交互完成解码，VFMW 完成 slice header 及以上的解码，VDH 硬件完成 slice data 及以下的解码；
- 其他协议按帧进行交互，VFMW 完成 picture header 及以上的解码，VDH 硬件完成其他解码。为支持多路解码，VFMW 通过按帧切换启动 VDH 硬件，分时复用的方式实现多路解码。

视频解码步骤如下：

步骤 1 创建、初始化解码器。

步骤 2 向码流 buffer 中存入码流。

步骤 3 通过 VFMW 的图像输出接口获取图像。

步骤 4 图像显示完成后，通过 VFMW 的图像回收接口释放图像。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

步骤 5 反复执行步骤 2～步骤 4，直到码流解码结束。

步骤 6 播放完毕，销毁解码器。

----结束

6.2 JPGD

6.2.1 概述

JPGD 是 JPEG（Joint Picture Expert Group）静态图像解码模块，该模块的作用是支持 JPEG/Motion-JPEG 图像的解码。

6.2.2 功能描述

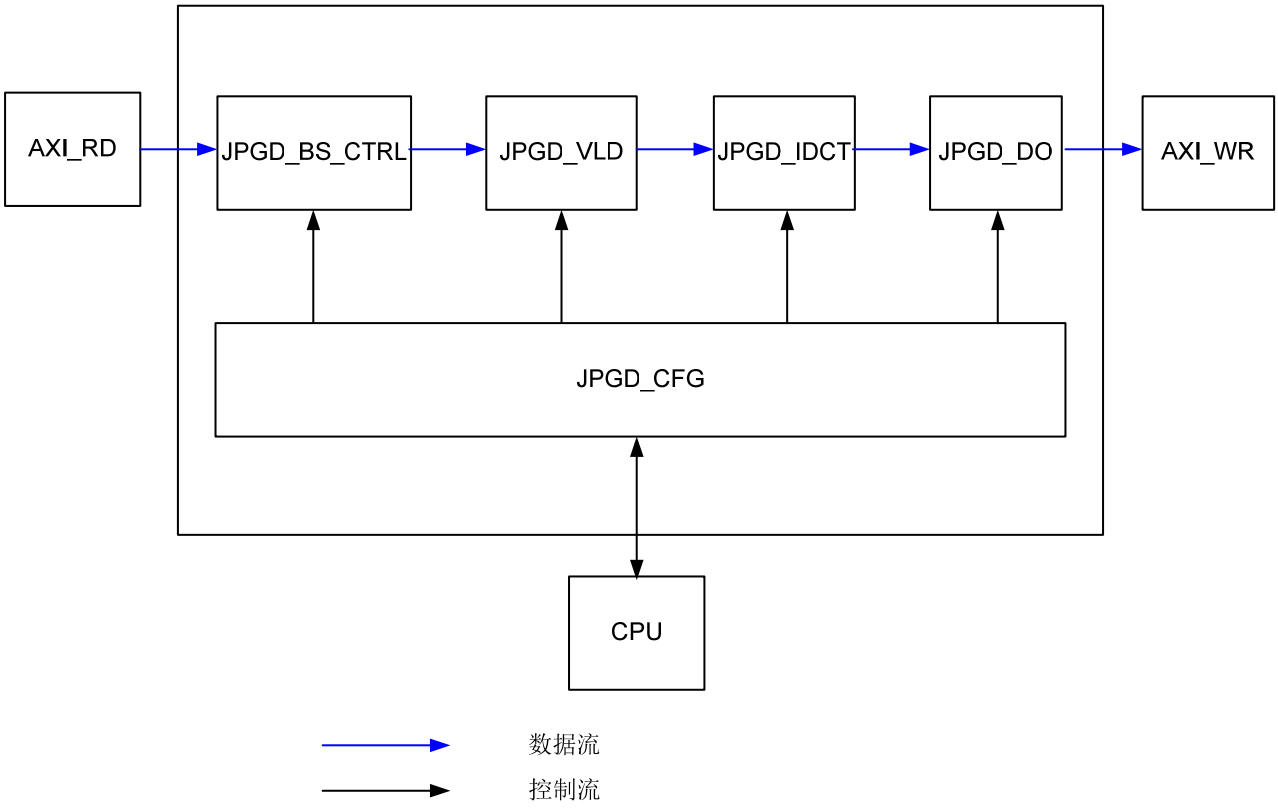
JPGD 模块具有以下功能特点：

- 支持 AXI 接口。
- 支持中断。
- 部分支持 ITU-T81 Baseline profile 解码。即：
  - 支持 YUV 三分量的 JPEG 图像解码，支持 YUV 4:0:0、YUV4:2:0、YUV4:2:2 1x2、YUV4:2:2 2x1、YUV 4:4:4 五种格式。
  - 最多支持 4 张 Huffman 表，其中包括 2 张 DC 表和 2 张 AC 表。
  - 最多支持 3 张量化表。
  - 支持 sequential 格式解码。
  - 支持基于 DCT 变换的 JPEG 格式解码。
  - 支持 8bit 采样精度。
  - 支持交织的扫描方式。
- 支持 1/2、1/4、1/8 三种尺度的频域缩放。
- 最大支持分辨率为 8192 x 8192 大小的静态图像解码，最小支持分辨率为 1 x 1 大小的静态图像解码。
- 支持 semi-planar 的最大输出存储规格为 8192 x 8192。
- 支持压缩码流分段解码。
- 提供 40Mpixel/s 或 3 路 Motion-JPEG D1 30fps 的解码能力，可以用于各种对实时性有较高要求的解码系统。
- 支持频域缩放，大大减少了解码过程中对内存和带宽的占用。

JPGD 总体结构如图 6-2 所示。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

图6-2 JPGD 总体结构图



JPGD 内部模块说明如表 6-1 所示。

表6-1 JPGD 内部模块说明

模块名称	功能
JPGD_BS_CTRL	码流的读取和移位处理，内含一个 Barrel-Shift，将有效码流送给下游模块进行解码。
JPGD_VLD	Huffman 变长码解码，同时将解码后的系数进行反扫描和反量化。
JPGD_IDCT	进行 IDCT 变换和频域压缩。
JPGD_DO	负责将解码后的数据存储到指定的内存空间中。
JPGD_CFG	接收 HOST 的配置信息，并将配置信息配置给各功能模块。同时负责整个解码器的启动、中断的产生以及向 HOST 反馈解码器的内部状态。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

6.2.3 工作方式

6.2.3.1 软硬件划分

JPEG 码流结构如图 6-3 所示。

图6-3 JPEG 码流结构图

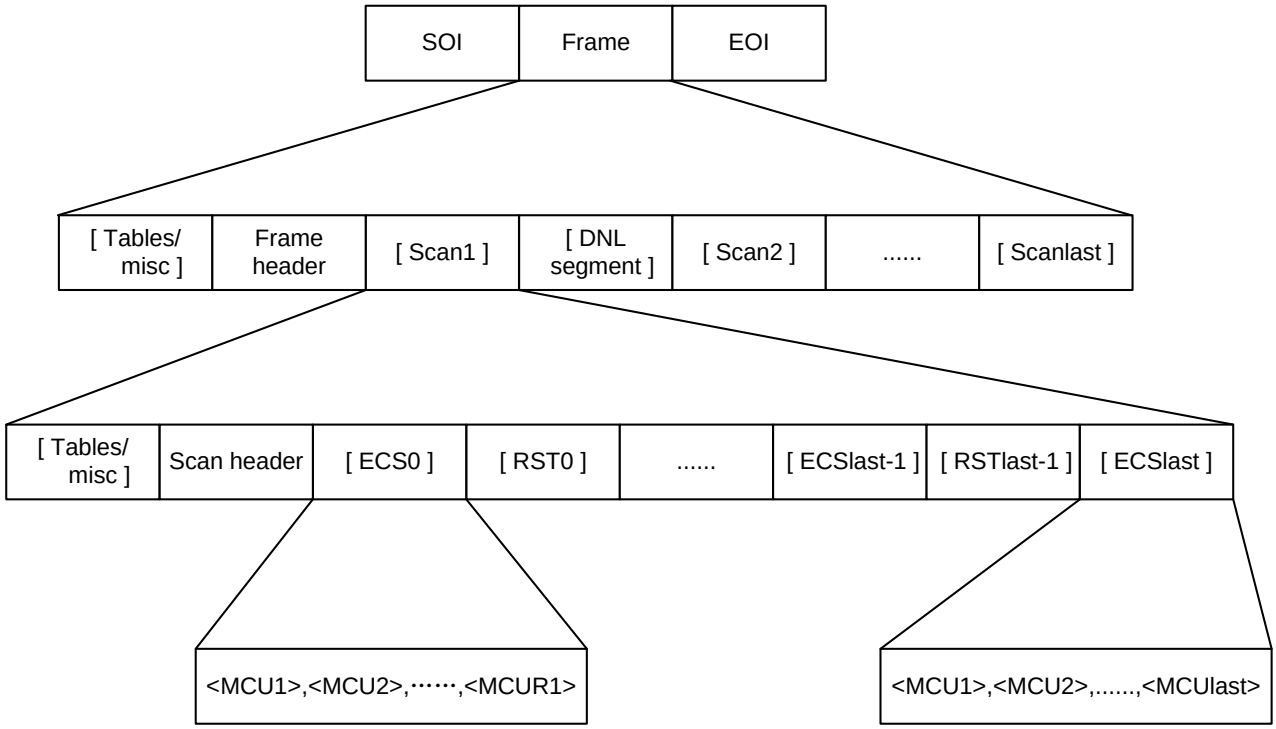


图 6-3 为广义结构图，对于 JPEG 码流，由软件解析 Scan header 及其以上部分，硬件解析 ECS 层和 RSTn 标志。

6.2.3.2 软硬件交互

JPEG 解码由软硬件共同完成，所以在解码中存在软硬件交互。

- 软硬件的交互除去续码流外，以帧级进行交互：
  - 对于 JPEG 图像，每帧图像交互一次。
  - 对于 Motion-JPEG，每帧图像交互一次。
- 软硬件可以通过查询和中断两种方式进行交互，中断产生方式有如下几种：
  - 当前图像解码完成产生的中断，表示当前图像已经全部解码完成并写入外存中，JPEG 解码工作结束（因为 Baseline 图像只有一个扫描层，因此一个扫描层解码结束也表示一幅图像解码结束）。
  - 当前配置的一段码流消耗完成产生的中断，表示当前图像解码过程中发生了错误，JPGD 无法继续解码，工作结束。
  - 当前配置的一段码流消耗完成，等待软件配置下一段码流后，启动解码器继续解码。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

6.2.3.3 续码流

由于内存的限制，在解码图像时，不可能一次将全部码流读入内存。所以采用续码流机制，一次读入一段码流，当码流消耗完时，启动续码流操作，再向内存中读入下一段码流。

为简化续码流过程中的软硬件交互，定义续码流步骤如下：

步骤 1 JPGD 每次只接收一段连续码流解码。即在每次启动解码前，firmware 只需配置给 JPGD 一个码流物理存放起始地址和一个码流物理存放结束地址（均以 byte 为单位），就可以启动 JPGD 开始解码。

步骤 2 当 JPGD 消耗完当前码流后，停止解码，上报续码流中断。

步骤 3 软件收到续码流中断后，只需配置下一段码流起始和结束地址，即可重新启动 JPGD。启动方式为向 JPGD_RESUME_START 寄存器写 1。需要注意的是，每次启动解码时，码流不能少于 64byte。

步骤 4 JPGD 获取新的码流进行解码，直到当前图像解码完成。

----结束

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

目 录

7 视频编码.....7-1
7.1 概述.....7-1
7.2 VEDU.....7-1
7.2.1 概述.....7-1
7.2.2 特点.....7-1
7.2.3 功能描述.....7-2
7.3 JPGE.....7-4
7.3.1 概述.....7-4
7.3.2 特点.....7-4
7.3.3 功能描述.....7-5

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

插图目录

图 7-1 VEDU 编码功能框图.....7-3
图 7-2 VEDU 解码功能框图.....7-4
图 7-3 JPGE 功能框图 7-6

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

7 视频编码

7.1 概述

视频编解码器是一个支持 H.264/JPEG 的多协议编解码器，包括 VEDU 和 JPGE 两部分，其中 VEDU 实现 H.264 协议的编解码，JPEG 实现 JPEG 协议的编码。

7.2 VEDU

7.2.1 概述

VEDU（Video Encode Decode Unit）是一个硬件实现的支持 H.264 视频标准的编解码器。VEDU 具有 CPU 占用率低、总线带宽占用小、低延时、低功耗等优点。

7.2.2 特点

VEDU 编码器具有以下特点：

- 支持 ITU-T H.264 Main Profile/Baseline Profile@Leve4.1 编码
  - 支持 1/2、1/4 像素精度运动补偿
  - 支持 16x16、16x8、8x16、8x8 四种子块类型
  - 支持所有 Intra4x4、Intra16x16 预测模式
  - 支持 Trans4x4
  - 支持 CABAC、CAVLC 熵编码
  - 支持 De-blocking 滤波
  - 支持 IPCM 编码
- 支持如下几种输入图像格式：
  - Semi-Planar YCbCr4:2:0
  - Semi-Planar YCbCr4:2:2
- 最高性能可达到 8x960H+8x480x240 编码+1x960H 解码
- 支持图像分辨率可配置
  - 最小图像分辨率：160x64

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

  - 最大图像分辨率：1920x2048
  - 图像宽度/高度的配置步长为 4
- 支持感兴趣区域编码
  - 支持最多 8 个区域的感兴趣编码
  - 感兴趣编码功能可使能/禁止
- 支持 OSD 区域编码保护

  OSD 区域编码保护功能可使能/禁止
- 支持视频前端 OSD 叠加处理
  - 支持最多 8 个区域的编码前 OSD 叠加
  - 支持任意位置、最大为图像大小的 OSD 叠加
  - 支持 129 级的 alpha 叠加
  - OSD 叠加功能可使能/禁止
- 支持 CBR/VBR 两种码率控制模式
- 输出码率范围：32kbps～40Mbps

VEDU 解码具有以下特点：仅支持 VEDU 编码的码流。

7.2.3 功能描述

VEDU 功能框图如图 7-1 所示。

VEDU 编码实现了运动估计/帧间预测、帧内预测、运动矢量预测、变换/量化、反量化/反变换、VLC(Variable Length Code) 编码及码流生成、de-blocking 滤波等协议/算法处理，ARM 软件则完成码率控制和中断处理等编码控制处理。

在启动 VEDU 进行视频编码前，软件需要为其在外部存储器（DDR SDRAM）中分配以下三种类型的缓冲区。

- 输入图像缓冲区

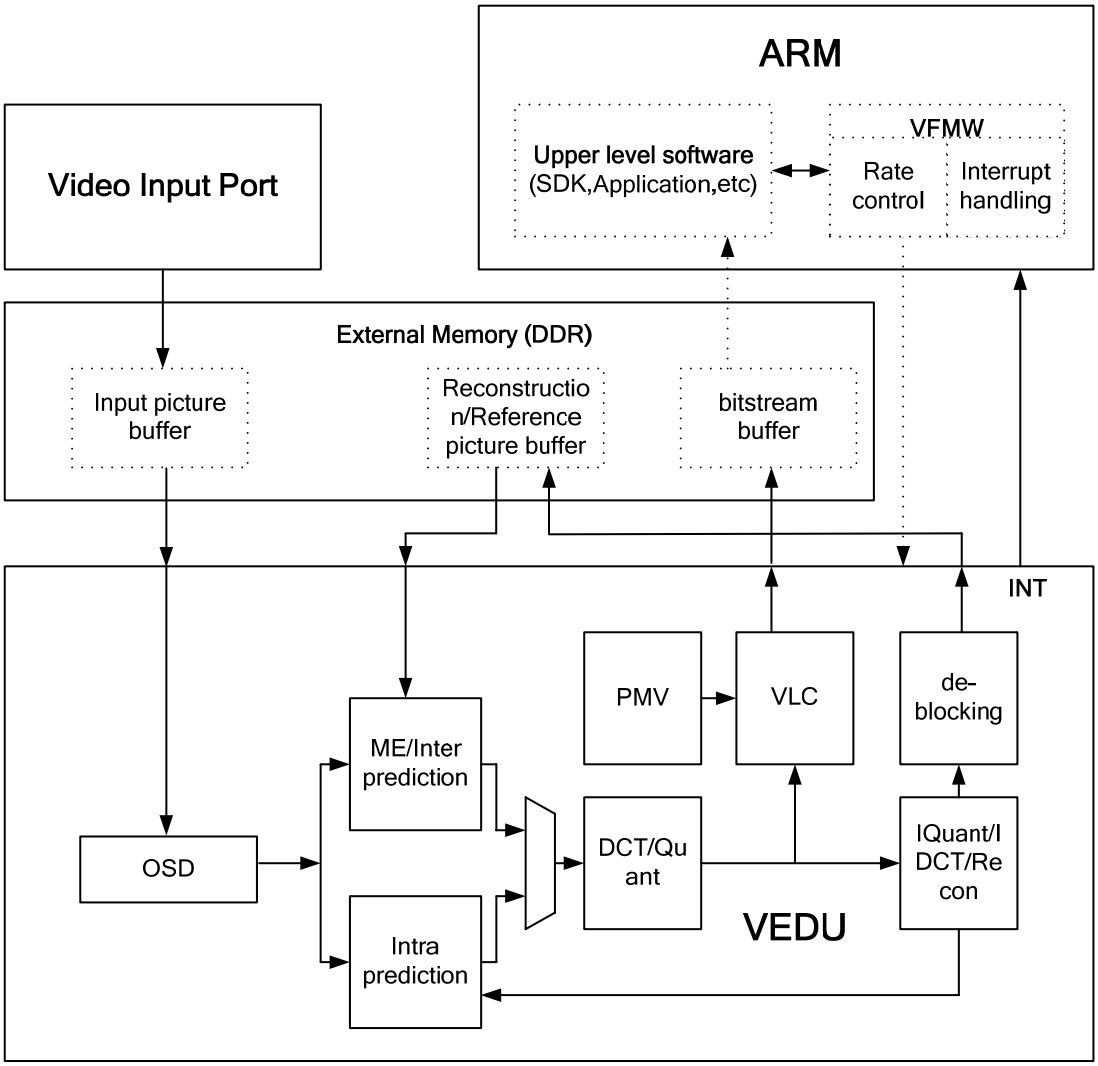
  VEDU 在编码过程中会从该缓冲区读取待编码的原始图像。该缓冲区通常由视频输入单元写入。
- 重构图像/参考图像缓冲区

  VEDU 在编码过程中会向该缓冲区中写入重构图像、以作为后续图像的参考图像，在进行 P 帧编码时会从该缓冲区读取参考图像。
- 码流缓冲区

  该缓冲区用于存放编码输出的码流。VEDU 在编码过程中会将码流写入该缓冲区。该缓冲区通常由软件读取。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

图7-1 VEDU 编码功能框图



VEDU 解码功能框图如图 7-2 所示。

VEDU 解码器实现了对 H264 协议按一批 slice 进行交互完成解码，VFMW 完成 slice header 及以上的解码，VEDU 硬件完成 slice data 及以下的解码。

在启动 VEDU 进行视频解码前，软件需要为其在外部存储器（DDR SDRAM）中分配以下三种类型的缓冲区。

- 重构图像/参考图像缓冲区

  VEDU 在解码过程中会向该缓冲区中写入重构图像、以作为后续图像的参考图像，在进行 P 帧解码时会从该缓冲区读取参考图像。

- 码流缓冲区

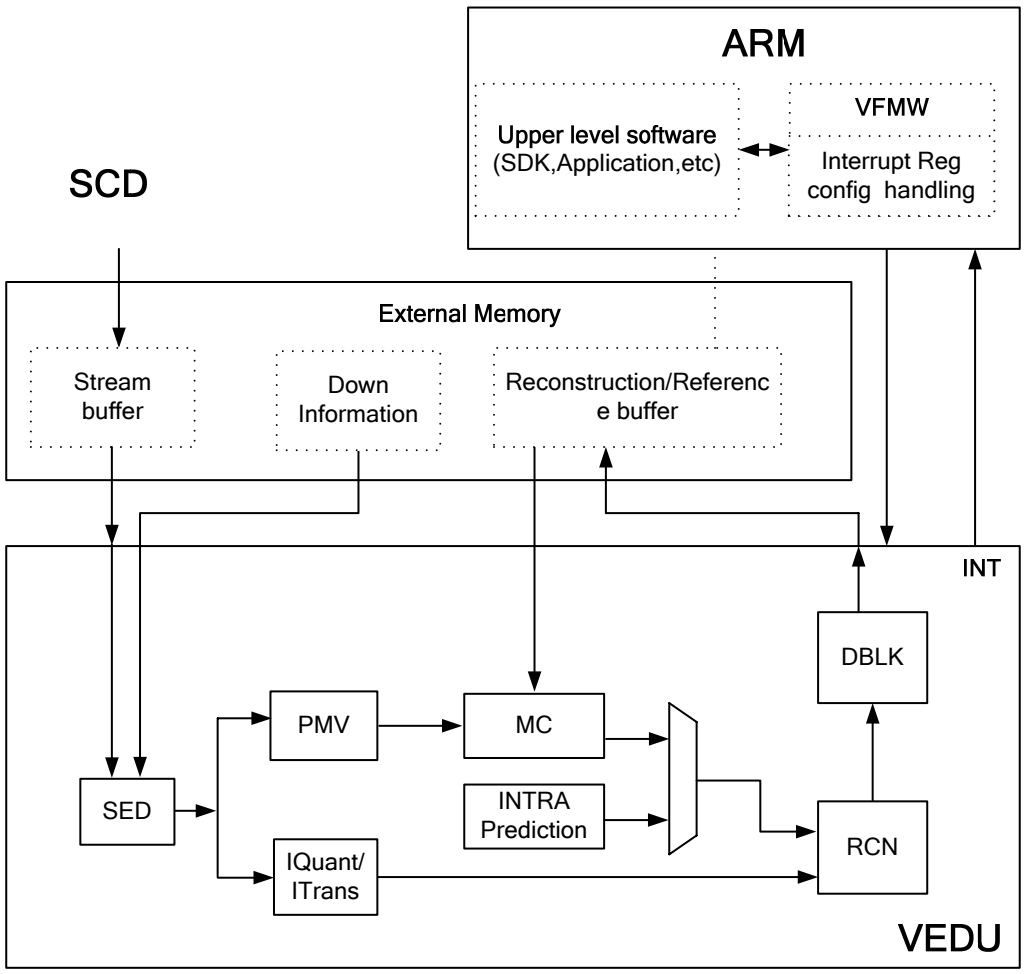
  该缓冲区用于存放解码输入的码流。该片空间码流来之 SCD（起始码检测模块）模块的输出

- 下行消息缓冲区

  该缓冲区用于存放解码输入的码流以及 slice data 层次以上信息。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

图7-2 VEDU 解码功能框图



7.3 JPGE

7.3.1 概述

JPGE（JPEG Encoder）是一个硬件实现的高性能 JPEG 编码器，可实现高达 67.1M 像素的图片抓拍或高清图像 MJPEG 编码业务。

7.3.2 特点

JPGE 具有以下特点：

- 支持 ISO/IEC 10918-1(CCITT T.81) Baseline Process(DCT Sequential)编码
- 支持 YCbCr4:2:0、YCbCr4:2:2、YCbCr4:4:4 三种色度采样格式的图像编码
- MCU 采用 interleaved 顺序组织
- 支持如下几种输入图像格式：
  - Planar YCbCr4:2:0

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

  - Planar YCbCr4:2:2
  - Planar YCbCr4:4:4
  - Semi-Planar YCbCr4:2:0
  - Semi-Planar YCbCr4:2:2
  - PackageYUYV
- 最高性能可达到 67.1M(8192x8192)pixel/s
- 支持图像分辨率可配置
  - 最小图像分辨率：64x64
  - 最大图像分辨率：8192x8192
- 图像宽度/高度的配置步长为 4
- 量化表可配置

  Y、Cb、Cr 三个分量各提供一张量化表
- 支持视频前端 OSD 叠加处理
  - 支持最多 8 个区域的编码前 OSD 叠加
  - 支持任意大小，任意位置（不超出图像大小和位置）OSD 叠加
  - 支持 129 级的 alpha 叠加
  - OSD 叠加功能可使能/禁止

7.3.3 功能描述

JPGE 功能如图 7-3 所示。

由图可见，JPGE 硬件实现了 OSD、level shift、DCT、量化、扫描、VLC 编码及码流生成等运算量较大的协议处理，而 ARM 软件则完成量化表配置和中断处理等编码控制处理。

在启动 JPGE 进行视频编码前，软件需要为其在外部存储器（DDR SDRAM）中分配以下两种类型的缓冲区：

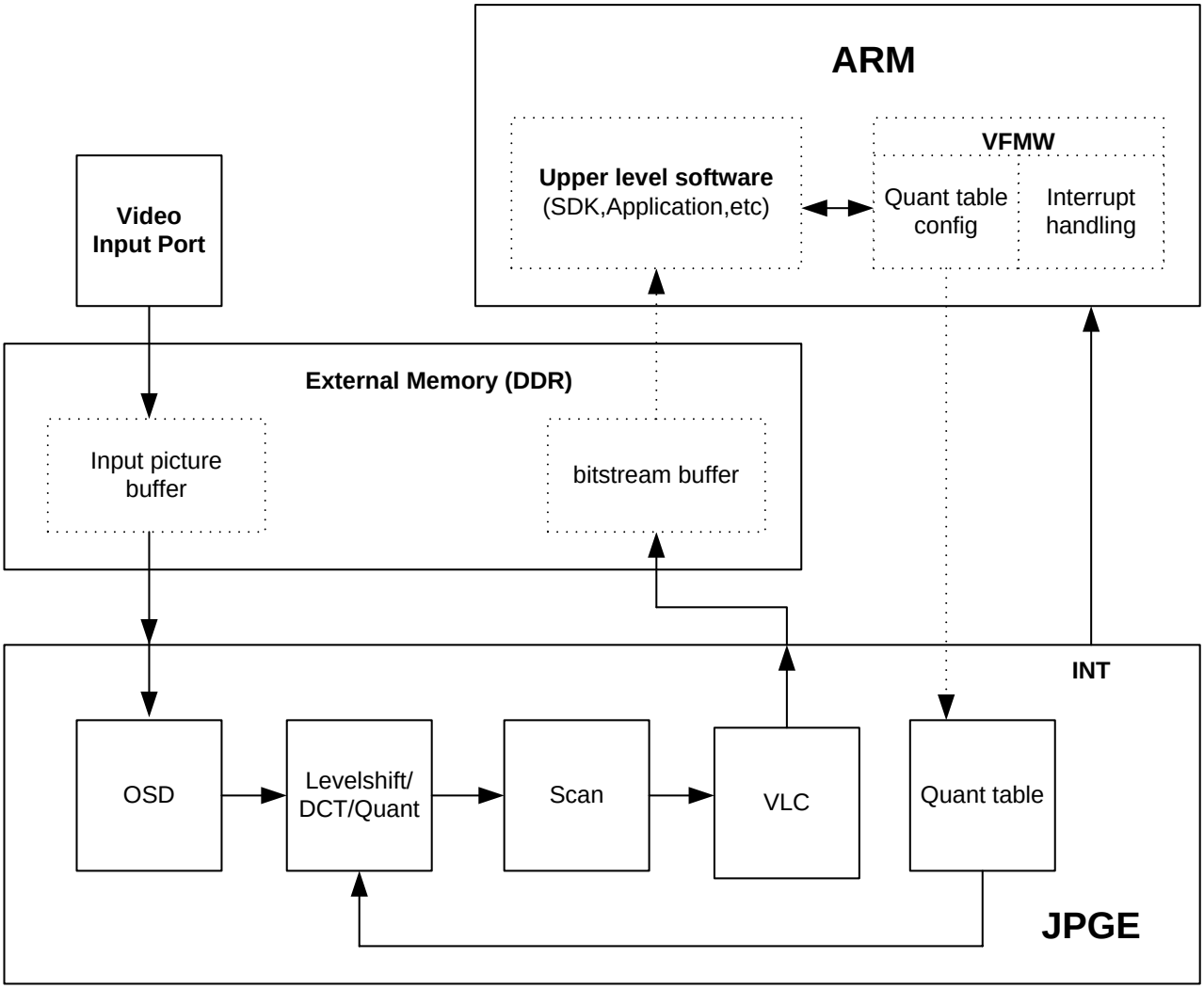
- 输入图像缓冲区

  JPGE 在编码过程中会从该缓冲区读取待编码的原始图像。该缓冲区通常由视频输入单元写入。
- 码流缓冲区

  该缓冲区用于存放编码输出的码流。JPGE 在编码过程中会将码流写入该缓冲区。该缓冲区通常由软件读取。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

图7-3 JPGE 功能框图



海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

目 录

8 视频及图形处理.....8-1
8.1 TDE.....8-1
8.1.1 概述.....8-1
8.1.2 功能描述.....8-1
8.2 VPSS.....8-2
8.2.1 概述.....8-2
8.2.2 特点.....8-3
8.3 VCMP.....8-3
8.3.1 概述.....8-3
8.3.2 特点.....8-3
8.3.3 寄存器配置限制.....8-3

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

8 视频及图形处理

8.1 TDE

8.1.1 概述

2D 图形加速引擎 TDE（Two Dimensional Engine）利用硬件进行图形绘制，可以大大减少对 CPU 的占用，同时提高了内存带宽的资源利用率。TDE 通过 AXI Master 总线接口读写位图数据、滤波缩放系数、链表节点参数信息以及一些链表信息等；通过 APB Slave 总线接口获得 CPU 的寄存器配置信息。

图形数据接口包括源 1 和源 2 两条通路，其功能如下：

- 源 1 在单源操作时完成直接拷贝与直接填充的功能。
- 源 2 在单源操作时可完成各种复杂的操作，如图像缩放、抗闪烁等。
- 源 1 与源 2 协同工作时可以完成颜色混合、ROP 等操作，并且用来支持处理宏块格式的图像。

8.1.2 功能描述

TDE 模块有以下功能特点：

- 源位图 1 支持 RGB444、RGB555、RGB565、RGB888、ARGB4444、ARGB1555、ARGB8565、ARGB8888、CLUT1、CLUT2、CLUT4、CLUT8、ACLUT44、ACLUT88、A1、A8、YCbCr888、AYCbCr8888、YCbCr422、byte、halfword、YCbCr400MB 、YCbCr422MBH、YCbCr422MBV、YCbCr420MB、YCbCr444MB 的格式。源位图 2 支持 RGB444、RGB555、RGB565、RGB888、ARGB4444、ARGB1555、ARGB8565、ARGB8888、CLUT1、CLUT2、CLUT4、CLUT8、ACLUT44、ACLUT88、A1、A8、YCbCr888、AYCbCr8888、YCbCr422、YCbCr400MB 、YCbCr422MBH、YCbCr422MBV、YCbCr420MB、YCbCr444MB 的格式。
- 输出位图支持 RGB444、RGB555、RGB565、RGB888、ARGB4444、ARGB1555、ARGB8565、ARGB8888、CLUT1、CLUT2、CLUT4、CLUT8、ACLUT44、ACLUT88、A1、A8、YCbCr888、AYCbCr8888、YCbCr422、byte、halfword、YCbCr400MB 、YCbCr422MBH、YCbCr422MBV、YCbCr420MB、YCbCr444MB 的格式。
- 只支持小端系统。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

- 支持源位图 1、源位图 2 和输出位图格式分别可配。
- 支持 Gamma 校正、亮度对比度的调节。
- 支持 CLUT 查找表。
- 支持 RGB 与 YCbCr 的转换。
- 支持直接拷贝。
- 支持直接填充。
- 支持 2D-resize 操作。
- 支持抗闪烁操作。
- 支持 clip 操作。
- 支持 alpha blending 操作。
- 支持 ROP 操作。
- 支持 colorkey 操作。
- 支持可编程扫描方式。
- 支持 clip mask 功能。
- 提供同步链表/异步链表方式的软件接口。
- 提供状态中断。

8.2 VPSS

8.2.1 概述

视频处理子系统 VPSS（Video Processing Sub System）实现编码前视频处理功能。包含高斯噪声 3D 自适应降噪，图像细节编码前增强，解交错，缩放，锐化，对比度，亮度，色度，饱和度，图像加边框和分块处理功能。

该 IP 特色如下：

- 支持单帧处理 960H 视频源
- 支持编码通路同源预览功能
- 支持编码通路大小码流和预览同时输出
- 支持图像边框大小和颜色单独配置功能
- 支持 1080I/P 分块处理功能
- 支持寄存器链表配置功能
- 支持跨 4K 边界
- 输入输出数据格式为 420/422，但不支持输入 420 到输出 422 的转换
- 支持 outstanding 配置
- 支持 MEM 的 clock gate 低功耗模式

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

8.2.2 特点

- 去高斯噪声功能：NR 模块（noise reduction），能通过参数配置，把图像中的高斯噪声去除，使得图像变得平滑，同时降低了编码码率。
- 图像增强功能：IE 模块（image enhancement），能辨别图像中的细节区域，把图像细节凸显，使得图像清晰，增加图像的对比度。
- 解交错功能：DEI 模块（de-interlace），能把交错的隔行视频源还原成逐行视频源
- 图像锐化功能：LTI/CTI 模块，能在缩放前提取图像的高频分量，对经过低频滤波器（scaler）后的图像进行频率补偿，使得图像边缘锐利，轮廓清晰。
- 图像对比度，亮度，饱和度，色条调整功能
- 图像加边框功能：图像边缘处加入边框，图像边框（上下左右）单独设置宽度，边框颜色可单独设置
- 图像分块处理功能：当输入的图像单帧宽度大于 960，可以采用图像分块处理功能；在分块处理模式下，所处理的图像最大宽度理论值为∞
- 缩放功能：输入输出分辨率不同的低频滤波处理

8.3 VCMP

8.3.1 概述

VCMP 利用图形带宽压缩算法实现对图片数据的压缩，压缩后的码流由 VDP 读取并解压显示，以节省对系统带宽的占用。VCMP 通过 AXI Master 总线接口读取位图数据并写出压缩后的码流；通过 APB 总线接口获得 CPU 的寄存器配置信息。

图形数据接口包括一条读通路和四条写通路，其功能如下：

- 读通路从内存中读取待压缩的图片数据。
- 写通路将压缩得到的码流写到内存中，分为 A、R、G、B 四个通道。

8.3.2 特点

VCMP 模块具有以下功能特点：

- 待压缩图片数据支持 ARGB1555 和 ARGB8888 两种格式。
- 压缩码流按分量存储，A、R、G、B 四个分量的压缩数据分别存放在不同的地址中。
- 支持变长码压缩算法。
- 支持输出四个分量压缩后的数据量大小，以 byte 为单位。
- 支持直接搬移图片，作为自测试模式。
- 提供工作完成中断。

8.3.3 寄存器配置限制

VCMP 模块相关工作寄存器的配置有以下限制：

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

- VCMP 所有工作相关寄存器只能在 VCMP 上报中断后进行配置，当 VCMP 正在工作时，不能配置 VCMP 的寄存器。
- 待压缩图片起始地址（SRC_ADDR）与 stride(SRC_STRIDE)支持 128bit 对齐。
- A、R、G、B 分量压缩数据回写地址（VCMP_A_ADDR、VCMP_R_ADDR、VCMP_G_ADDR、VCMP_B_ADDR）与 stride 支持 128bit 对齐。
- 压缩数据回写宽度需配置为 (256 的整数倍－1)，如 255、511、767、1023 等，且需小于或等于压缩数据回写的 stride。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

目 录

9 运动检测单元.....9-5
9.1 概述.....9-5
9.2 功能描述.....9-5
9.3 工作方式.....9-5
9.3.1 MDU 运动检测业务的软硬件分工.....9-5
9.3.2 MDU 视频遮挡检测业务的软硬件分工.....9-6
9.4 寄存器概览.....9-6
9.5 寄存器描述.....9-7

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

表格目录

表 9-1 MDU 寄存器概览（基址是 0x206C_0000）.....9-6

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

9 运动检测单元

9.1 概述

MDU（Motion Detect Unit）是一个高性能的运动检测和视频遮挡检测硬件加速 IP，能够对视频背景进行高效的建模，并计算运动区域的信息。MDU 通过 AXI Master 总线接口读取图像信息，写出刷新后的背景图信息、SAD（Sum of absolute differences）值及运动区域信息。通过 APB Slave 总线获取配置寄存器信息。

9.2 功能描述

MDU 支持如下几种功能：

- 支持以 8x8 或 16x16 为单位的 SAD 值计算和输出。
- 支持运动区域检测及运动区域信息输出。
- 支持背景图更新。

9.3 工作方式

9.3.1 MDU 运动检测业务的软硬件分工

软件实现待编码图像的准备，包括：

- 在 DDR 中分配存储空间。
- 调用其他硬件完成视频捕获、缩放等处理。
- 多个运动检测的调度，待检测区域的指定，划分和生成地址信息等。

硬件实现对输入图像进行 SAD 值计算：

- 根据 SAD 的计算结果和设定的阈值检测运动区域，并更新背景。
- 根据软件的设置输出运动区域的信息，背景图像或 SAD 值。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

9.3.2 MDU 视频遮挡检测业务的软硬件分工

软件使用硬件输出的运动区域的面积信息，判断是否达到遮挡阈值，如果达到，则设置硬件不再更新背景，但继续进行运动区域的检测，当运动区域面积连续超过设置的遮挡阈值，则进行遮挡报警。

9.4 寄存器概览

MDU 寄存器概览如表 9-1 所示。

表9-1 MDU 寄存器概览（基址是 0x206C_0000）

偏移地址	名称	描述	页码
0x0000	MDU_INTSTAT	中断状态信号寄存器	9-7
0x0004	MDU_INTEN	中断使能信号寄存器	9-8
0x0008	MDU_RAWINT	原始中断信号寄存器	9-9
0x000C	MDU_INTCLR	中断清除寄存器	9-10
0x0020	MDU_VEDIMGSIZE	图像大小配置寄存器	9-10
0x0024	MDU_MODE	模式配置寄存器	9-11
0x0028	MDU_START	MDU 启动寄存器	9-12
0x002C	MDU_AXI_OUTSTD_NUM	AXI OUTSTANDING 配置寄存器	9-13
0x0040	MDU_REF_YADDR	参考图像亮度存储地址寄存器	9-13
0x0044	MDU_REF_YSTRIDE	参考图像亮度 Stride 寄存器	9-13
0x0048	MDU_CUR_YADDR	当前图像亮度存储地址寄存器	9-14
0x004C	MDU_CUR_YSTRIDE	当前图像亮度 Stride 寄存器	9-14
0x0060	MDU_MBSAD_ADDR	宏块 SAD 值存储地址寄存器	9-15
0x0064	MDU_MBSAD_STRIDE	宏块 SAD 值存储 Stride 寄存器	9-15
0x0070	MDU_BACKGROUND_ADDR	背景图像亮度存储地址寄存器	9-16
0x0074	MDU_BACKGROUND_STRIDE	背景图像亮度 Stride 寄存器	9-16
0x0078	MDU_OBJ_ADDR	运动区域存储地址寄存器	9-16

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

偏移地址	名称	描述	页码
0x007C	MDU_BG_UP_WEIGHT	背景图更新权重寄存器	9-17
0x0080	MDU_MBSAD_TH	宏块动静判决阀值寄存器	9-18
0x0084	MDU_TIMEOUT	TIMEOUT 上限寄存器	9-18
0x0090	MDU_WND_SIZE	SAD 值输出窗口配置寄存器	9-18
0x0094	MDU_MIN_OBJ_SIZE	边界搜索最小窗口配置寄存器	9-19
0x0098	MDU_MAX_OBJ_CNT	边界搜索最大窗口配置寄存器	9-20
0x009C	MDU_OBJ_CNT	运动区域信息回读寄存器	9-20
0x00A0	MDU_MAX_OBJ_SIZE	最大运动区域回读寄存器	9-20
0x00A4	MDU_TOTAL_OBJ_SIZE	总运动区域信息回读寄存器	9-21
0x00A8	MDU_MOVE_PIX_CNT	整帧运动象素统计寄存器	9-22
0x00AC	MDU_OBJ_CNT1	基于背景的运动区域信息回读寄存器	9-22
0x00B0	MDU_MAX_OBJ_SIZE1	基于背景的最大运动区域回读寄存器	9-22
0x00B4	MDU_TOTAL_OBJ_SIZE1	基于背景的总运动区域信息回读寄存器	9-23
0x00B8	MDU_MOVE_PIX_CNT1	基于背景的整帧运动象素统计寄存器	9-23

9.5 寄存器描述

MDU_INTSTAT

MDU_INTSTAT 为中断状态信号寄存器。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x0000	MDU_INTSTAT	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	mdu_bus_err	mdu_cfg_err	reserved																												mdu_timeout	mdu_endofpic
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31]	RO	mdu_bus_err	总线读写错误。
[30]	RO	mdu_cfg_err	寄存器配置错误。
[29:2]	RO	reserved	保留。
[1]	RO	mdu_timeout	MDU 超时工作中断，当 MDU 被配置为打开超时检测模式下，且 MDU 工作时间已经超过软件在寄存器 MDU_TIMEOUT 中配置的阈值时此中断有效。
[0]	RO	mdu_endofpic	MDU 当前图像结束指示，高有效。

MDU_INTEN

MDU_INTEN 为中断使能信号寄存器。

Offset Address	Register Name	Total Reset Value
0x0004	MDU_INTEN	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	mdu_bus_err_en	mdu_cfg_err_en	reserved																												mdu_timeout_en	mdu_endofpic_en
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31]	RW	mdu_bus_err_en	总线读写错误时中断使能。 0：禁止； 1：使能。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

[30]	RW	mdu_cfg_err_en	寄存器配置错误中断使能。 0：禁止； 1：使能。
[29:2]	RO	reserved	保留。
[1]	RW	mdu_timeout_en	mdu 超时工作中断，当 mdu 被配置为打开超时检测模式下，且 mdu 工作时间已经超过软件在寄存器 MDU_TIMEOUT 中配置的阈值时此中断有效。 0：禁止； 1：使能。
[0]	RW	mdu_endofpic_en	MDU 当前图像结束中断使能。 0：禁止； 1：使能。

MDU_RAWINT

MDU_RAWINT 为原始中断信号寄存器。

Offset Address	Register Name	Total Reset Value
0x0008	MDU_RAWINT	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	mdu_bus_err_raw	mdu_cfg_err_raw	reserved																												mdu_timeout_raw	mdu_endofpic_raw
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31]	RO	mdu_bus_err_raw	总线读写错误指示，高有效。
[30]	RO	mdu_cfg_err_raw	寄存器配置错误指示，高有效。
[29:2]	RO	reserved	保留。
[1]	RO	mdu_timeout_raw	MDU 超时工作中断，高有效。
[0]	RO	mdu_endofpic_raw	MDU 当前图像结束指示，高有效。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

MDU_INTCLR

MDU_INTCLR 为中断清除寄存器。

Offset Address	Register Name	Total Reset Value
0x000C	MDU_INTCLR	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	mdu_bus_err_clr	mdu_cfg_err_clr	reserved																												mdu_timeout_clr	mdu_endofpic_clr
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31]	RW	mdu_bus_err_clr	总线读写错误清除，高有效。
[30]	RW	mdu_cfg_err_clr	寄存器配置错误清除，高有效。
[29:2]	RO	reserved	保留。
[1]	RW	mdu_timeout_clr	MDU 超时工作中断，当 MDU 被配置为打开超时检测模式下，且 MDU 工作时间已经超过软件在寄存器 MDU_TIMEOUT 中配置的阈值时此中断有效。
[0]	RW	mdu_endofpic_clr	MDU 当前图像结束指示清除，高有效。

MDU_VEDIMGSIZE

MDU_VEDIMGSIZE 为图像大小配置寄存器。

Offset Address	Register Name	Total Reset Value
0x0020	MDU_VEDIMGSIZE	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				imgheightinpixelsminus1												reserved				imgwidthinpixelsminus1											
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:29]	RO	reserved	保留。
[28:16]	RW	imgheightinpixelsminus1	图象高度。以象素为单位，实际宽度减 1。例如图象宽度为 352，此寄存器应该配为 351。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

[15:13]	RO	reserved	保留。
[12:0]	RW	imgwidthinpixelsminus1	图象宽度。以象素为单位，实际高度减 1。例如图象宽高为 288，此寄存器应该配为 287。

MDU_MODE

MDU_MODE 为模式配置寄存器。

Offset Address	Register Name	Total Reset Value
0x0024	MDU_MODE	0x0000_019C

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																							mcpi_clkgate_en	mcpi_wrlock_en	timeout_en	md_mod	bg_update_en	eg_find_en	obj_out_en	sad_out_en	sad_mad_sel
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	0	0	1	1	1	0	0

Bits	Access	Name	Description
[31:9]	RO	reserved	保留。
[8]	RW	mcpi_clkgate_en	时钟门控开关。
[7]	RW	mcpi_wrlock_en	寄存器配置锁开关，打开时，在启动 MDU 后，到结束检测之前，配置寄存器无效，防止寄存器在使用中被改写。
[6]	RW	timeout_en	mdu 超时检测开关，打开时可以自行检测软件在寄存器 MDU_TIMEOUT 中配置的工作 cycle 数上限值。 0：关闭超时检测功能； 1：打开超时检测功能。
[5]	RW	md_mod	运动检测模式。 0：基于背景算法； 1：基于帧差算法。
[4]	RW	bg_update_en	背景更新开关。 0：不更新背景； 1：更新背景。 此寄存器在 md_mod 设置为基于背景算法的情况下有效，基于帧差算法时，此寄存器为任何值都设置无效。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

[3]	RW	eg_find_en	运动区域联通检测开关。 0：不使用运动区域联通检测； 1：使用运动区域联通检测。 在基于背景算法时，此开关只关闭最后一次基于背景的区域联通检测。
[2]	RW	obj_out_en	运动区域输出开关，如果此开关打开，必须设置运动区域信息存储内存的地址和间隔寄存器。 0：运动区域信息不输出； 1：运动区域信息输出。
[1]	RW	sad_out_en	SAD 输出开关，如果此开关打开必须设置 SAD 的存储内存地址和间隔寄存器。 0：生成的 SAD 不输出； 1：生成的 SAD 输出。
[0]	RW	sad_mad_sel	SAD 输出比特数选择信号。 0：8bit； 1：16bit。

MDU_START

MDU_START 为 MDU 启动寄存器。

Offset Address	Register Name	Total Reset Value
0x0028	MDU_START	0x0000_0000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1	0
Name	reserved								mdu_start
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0	0

Bits	Access	Name	Description
[31:1]	RO	reserved	保留。
[0]	WO	mdu_start	MDU 工作触发开始。 0：不工作； 1：触发工作。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

MDU_AXI_OUTSTD_NUM

MDU_AXI_OUTSTD_NUM 为 AXI OUTSTANDING 配置寄存器。

Offset Address	Register Name	Total Reset Value
0x002C	MDU_AXI_OUTSTD_NUM	0x0000_0000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved							axi_outstd_num
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[31:3]	RO	reserved	保留。
[2:0]	RW	axi_outstd_num	AXI outstanding 配置寄存器，从 0 计数（实际值为加 1 后的值）。

MDU_REF_YADDR

MDU_REF_YADDR 为参考图像亮度存储地址寄存器。

Offset Address	Register Name	Total Reset Value
0x0040	MDU_REF_YADDR	0x0000_0000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	mdu_ref_yaddr							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[31:0]	RW	mdu_ref_yaddr	参考图象 Y 分量存储地址。输入的原始图象必须是 Qword（128bit）对齐的，即地址的低 4 位为 0。硬件会自动将地址的低 4 位置为 0。

MDU_REF_YSTRIDE

MDU_REF_YSTRIDE 为参考图像亮度 Stride 寄存器。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x0044	MDU_REF_YSTRIDE	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																mdu_ref_ystride																
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:16]	RO	reserved	保留。
[15:0]	RW	mdu_ref_ystride	亮度 Stride ，以 byte 为单位。 为保证图像换行后地址仍保持 128-bit 对齐，Ystride 的低 4bit 也应配为 0。硬件会自动将 Ystride 的低 4 位置为 0。 STRIDE 需要配置为 64byte 的整数倍。

MDU_CUR_YADDR

MDU_CUR_YADDR 为当前图像亮度存储地址寄存器。

Offset Address	Register Name	Total Reset Value
0x0048	MDU_CUR_YADDR	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	mdu_cur_yaddr																															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:0]	RW	mdu_cur_yaddr	原始图象 Y 分量存储地址。输入的原始图象必须是 Qword（128bit）对齐的，即地址的低 4 位为 0。硬件会自动将地址的低 4 位置为 0。

MDU_CUR_YSTRIDE

MDU_CUR_YSTRIDE 为当前图像亮度 Stride 寄存器。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x004C	MDU_CUR_YSTRIDE	0x0000_0000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved				mdu_cur_ystride			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[31:16]	RO	reserved	保留。
[15:0]	RW	mdu_cur_ystride	亮度 Stride，以 byte 为单位。 为保证图像换行后地址仍保持 128-bit 对齐，Ystride 的低 4bit 也应配为 0。硬件会自动将 Ystride 的低 4 位置为 0。 STRIDE 需要配置为 64byte 的整数倍。

MDU_MBSAD_ADDR

MDU_MBSAD_ADDR 为宏块 SAD 值存储地址寄存器。

Offset Address	Register Name	Total Reset Value
0x0060	MDU_MBSAD_ADDR	0x0000_0000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	mdu_mbsad_addr							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[31:0]	RW	mdu_mbsad_addr	宏块 SAD 存储地址。地址必须是 qword 对齐的，因此其低 4 位为 0。

MDU_MBSAD_STRIDE

MDU_MBSAD_STRIDE 为宏块 SAD 值存储 Stride 寄存器。

Offset Address	Register Name	Total Reset Value
0x0064	MDU_MBSAD_STRIDE	0x0000_0000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved				mdu_mbsad_stride			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[31:16]	RO	reserved	保留。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

[15:0]	RW	mdu_mbsad_stride	宏块 sad 行间距。Stride 单位为 byte。Stride 为 128bit 对齐，因此低 4bit 始终为 0。

MDU_BACKGROUND_ADDR

MDU_BACKGROUND_ADDR 为背景图像亮度存储地址寄存器。

Offset Address	Register Name	Total Reset Value
0x0070	MDU_BACKGROUND_ADDR	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	bg_yaddr																															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:0]	RO	bg_yaddr	背景图像地址。地址必须是 qword 对齐的，因此其低 4 位为 0。

MDU_BACKGROUND_STRIDE

MDU_BACKGROUND_STRIDE 为背景图像亮度 Stride 寄存器。

Offset Address	Register Name	Total Reset Value
0x0074	MDU_BACKGROUND_STRIDE	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																bg_ystride															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:16]	RO	reserved	保留。
[15:0]	RW	bg_ystride	背景图像行间距。Stride 单位为 byte。Stride 为 128bit 对齐，因此低 4bit 始终为 0。

MDU_OBJ_ADDR

MDU_OBJ_ADDR 为运动区域存储地址寄存器。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x0078	MDU_OBJ_ADDR	0x0000_0000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	obj_addr							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[31:0]	RW	obj_addr	运动区域存储地址。地址必须是 qword 对齐的，因此其低 4 位为 0。 存储格式为一个运动区域使用 4 个 16bit 存放 4 个点顺序为 left、top、right、bottom；因而一个运动区域会使用 3 个 32bit 的内存，软件在分配内存的时候应该使用 2x32bitx 最大运动区域个数作为内存的最小值。

MDU_BG_UP_WEIGHT

MDU_BG_UP_WEIGHT 为背景图更新权重寄存器。

Offset Address	Register Name	Total Reset Value
0x007C	MDU_BG_UP_WEIGHT	0x0000_0101

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved				src_weight		weight_sum_exp_2	
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 1	0 0 0 0	0 0 0 1

Bits	Access	Name	Description
[31:16]	RO	reserved	保留。
[15:8]	RW	src_weight	新图像权重。
[7:0]	RW	weight_sum_exp_2	权重和的对 2 的指数。 MDU 在进行源图像与背景迭加生成新背景的时候，使用如下的计算公式： (背景象素值 X ((1<<weight_sum_exp_2)-src_weight) + 源图像 X bg_weight) >> weight_sum_exp_2)。 背景图像的权重 bg_weight 为： ((1<<weight_sum_exp_2)-src_weight)，如果背景权重设置的比 src_weight 越大，背景更新的速度就越慢。 Default：0x1，最大值为 8。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

MDU_MBSAD_TH

MDU_MBSAD_TH 为宏块动静判决阀值寄存器。

Offset Address	Register Name	Total Reset Value
0x0080	MDU_MBSAD_TH	0x0000_001E

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																mdu_mbsad_th															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1	0

Bits	Access	Name	Description
[31:16]	RO	reserved	保留。
[15:0]	RW	mdu_mbsad_th	4x4 块动静判决阈值。在 MDU 内部所有的计算都是使用的 4x4 块

MDU_TIMEOUT

MDU_TIMEOUT 为 TIMEOUT 上限寄存器。

Offset Address	Register Name	Total Reset Value
0x0084	MDU_TIMEOUT	0x0360_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	mdu_timeout																															
Reset	0	0	0	0	0	0	1	1	0	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:0]	RW	mdu_timeout	工作 cycle 数的上限值。

MDU_WND_SIZE

MDU_WND_SIZE 为 SAD 值输出窗口配置寄存器。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x0090	MDU_WND_SIZE	0x0000_0001

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																															sad_wnd_size
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1

Bits	Access	Name	Description
[31:1]	RO	reserved	保留。
[0]	RW	sad_wnd_size	sad 输出窗口大小。在 MDU 内部以 4x4 块为单位进行计算，在使能了模式寄存器中的 sad_out_en 后，MDU 在输出的时候会根据这个寄存器对多个 4x4 块做加和，然后输出到 DDR 中。 0：8x8； 1：16x16。（默认值）

MDU_MIN_OBJ_SIZE

MDU_MIN_OBJ_SIZE 为边界搜索最小窗口配置寄存器。

Offset Address	Register Name	Total Reset Value
0x0094	MDU_MIN_OBJ_SIZE	0x0300_0101

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	egsearch_timeout																min_obj_size_h								min_obj_size_w							
Reset	0	0	0	0	0	0	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	1

Bits	Access	Name	Description
[31:16]	RW	egsearch_timeout	边缘搜索超时，如果一个运动区域搜索的点数超过此值，则停止此运动区域边缘搜索，进行下一个区域搜索。
[15:8]	RW	min_obj_size_h	运动尺寸的高度下限值，小于此高度的运动区域不上报。此处的 size 的 1 代表一个 4x4 块。
[7:0]	RW	min_obj_size_w	运动尺寸的宽度下限值，小于此宽度的运动区域不上报。此处的 size 的 1 代表一个 4x4 块。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

MDU_MAX_OBJ_CNT

MDU_MAX_OBJ_CNT 为边界搜索最大窗口配置寄存器。

Offset Address	Register Name	Total Reset Value
0x0098	MDU_MAX_OBJ_CNT	0x0000_0100

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																max_obj_cnt															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:16]	RO	reserved	保留。
[15:0]	RW	max_obj_cnt	检测运动目标的上限值。

MDU_OBJ_CNT

MDU_OBJ_CNT 为运动区域信息回读寄存器。

Offset Address	Register Name	Total Reset Value
0x009C	MDU_OBJ_CNT	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	max_obj_index																obj_cnt															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:16]	RO	max_obj_index	最大运动区域索引。后面不带数字后缀的统计寄存器，是使用帧差法的统计信息，或使用背景法，在第一次计算 SAD 和进行运动区域搜索得到的统计信息。
[15:0]	RO	obj_cnt	检测到的运动目标个数。

MDU_MAX_OBJ_SIZE

MDU_MAX_OBJ_SIZE 为最大运动区域回读寄存器。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x00A0	MDU_MAX_OBJ_SIZE	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	max_obj_size																															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:0]	RO	max_obj_size	最大运动区域面积，用来对视频遮挡进行检测。此处输出的值是象素面积。 软件用此值计算运动区域所占的百分比并和阈值比较，如果大于运动区域面积阈值，则认为此帧被遮挡，后面进行视频遮挡检测的帧停止更新图像背景，并检测是否连续的运动区域面积超出阈值，当遮挡时间超出阈值，则认为发生视频遮挡，需要告警。

MDU_TOTAL_OBJ_SIZE

MDU_TOTAL_OBJ_SIZE 为总运动区域信息回读寄存器。

Offset Address	Register Name	Total Reset Value
0x00A4	MDU_TOTAL_OBJ_SIZE	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	total_obj_size																															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:0]	RO	total_obj_size	所有运动区域的面积的和。用来对摄像头喷雾遮挡检测，使用方法同最大运动区域面积统计。 MDU 内部的计算方法为把所有的运动区域面积进行加和。此处输出的值是象素面积（用一个运动区域的 4x4 块的个数乘 16）。 说明 • 在某些情况下，运动区域可能会有重叠，此面积可能会超过原始图象面积。 • 每个运动区域是的 4x4 块宽度和高度计算公式为： weight=（right-left）+1； heigth=（bottom-top）+1。

MDU_MOVE_PIX_CNT

MDU_MOVE_PIX_CNT 为整帧运动象素统计寄存器。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x00A8	MDU_MOVE_PIX_CNT	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	move_pix_cnt																															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:0]	RO	move_pix_cnt	整帧运动象素个数，可用来做视频遮挡检测，用法同运动区域面积统计。 **注意：因为这个是按单个象素点进行的统计，此面积和上面的 total_obj_size 可能会不相等。**

MDU_OBJ_CNT1

MDU_OBJ_CNT1 为基于背景的运动区域信息回读寄存器。

Offset Address	Register Name	Total Reset Value
0x00AC	MDU_OBJ_CNT1	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	max_obj_index1																obj_cnt1															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:16]	RO	max_obj_index1	基于背景的最大运动区域索引。后面所有的后缀为 1 的统计寄存器，都是指在使用背景法的时候，第二次进行 SAD 计算和运动区域搜索得到的统计信息。
[15:0]	RO	obj_cnt1	检测到的基于背景的运动目标个数。

MDU_MAX_OBJ_SIZE1

MDU_MAX_OBJ_SIZE1 为基于背景的最大运动区域回读寄存器。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x00B0	MDU_MAX_OBJ_SIZE1	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	max_obj_size1																															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:0]	RO	max_obj_size1	基于背景的最大运动区域面积，用来对视频遮挡进行检测。 软件用此值计算运动区域所占的百分比并和阈值比较，如果大于运动区域面积阈值，则认为此帧被遮挡，后面进行的视频检测的帧停止更新图像背景，并检测是否连续的运动区域面积超出阈值，当遮挡时间超出阈值，则认为发生视频遮挡，需要告警。以像素为单位。

MDU_TOTAL_OBJ_SIZE1

MDU_TOTAL_OBJ_SIZE1 为基于背景的总运动区域信息回读寄存器。

Offset Address	Register Name	Total Reset Value
0x00B4	MDU_TOTAL_OBJ_SIZE1	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	total_obj_size1																															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:0]	RO	total_obj_size1	基于背景的所有运动区域的面积的和。用来对摄像头喷雾遮挡检测，使用方法同最大运动区域面积统计。

MDU_MOVE_PIX_CNT1

MDU_MOVE_PIX_CNT1 为基于背景的整帧运动象素统计寄存器。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x00B8	MDU_MOVE_PIX_CNT1	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	move_pix_cnt1																															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:0]	RO	move_pix_cnt1	基于背景的整帧运动象素个数，可用来做视频遮挡检测，用法同运动区域面积统计。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

目 录

10 智能加速引擎.....10-7
10.1 概述.....10-7
10.2 功能描述.....10-7
10.3 工作方式.....10-8
10.3.1 硬件使用.....10-8
10.3.2 中断.....10-12
10.3.3 时钟复位.....10-12
10.3.4 输入、输出数据格式.....10-13
10.4 寄存器概览.....10-27
10.5 寄存器描述.....10-27

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

插图目录

图 10-1 IVE 链表节点结构示意图 10-9
图 10-2 IVE 链表使用示意图 10-12
图 10-3 数据格式为 SemPlanar YCbCr422 时，Pixel 在 Memory 中的存储 10-13
图 10-4 数据格式为 SemPlanar YCbCr420 时，Pixel 在 Memory 中的存储 10-13
图 10-5 数据格式为单分量时，Pixel 在 Memory 中的存储 10-14
图 10-6 数据格式为 RGB package 时，Pixel 在 Memory 中的存储 10-14
图 10-7 数据格式为 RGB planar 时，Pixel 在 Memory 中的存储 10-15
图 10-8 SOBEL 算子时，输出结果在 Memory 中的存储 10-16
图 10-9 CANNY 算子，结果在 Memory 中的存储 10-16
图 10-10 积分图算子时，输出结果在 Memory 中的存储 （INTEGRAL_OUT） 10-17
图 10-11 直方图统计时，输出结果在 Memory 中的存储 （HIST_OUT） 10-17
图 10-12 算子的参数 stride 取最小值时的情况 10-18
图 10-13 DMA 数据搬运应用之一 10-19
图 10-14 3×3 模板滤波计算公式 10-20
图 10-15 SOBEL 梯度计算公式 10-23
图 10-16 CANNY 角度量化定义 10-24

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

表格目录

表 10-1 IVE 链表节点参数说明 10-9
表 10-2 YCbCr 到 RGB 的视频距阵（BT.601） 10-21
表 10-3 YCbCr 到 RGB 的视频距阵（BT.709） 10-21
表 10-4 YCbCr 到 RGB 的图象距阵（BT.601） 10-21
表 10-5 YCbCr 到 RGB 的图象距阵（BT.709） 10-22
表 10-6 IVE 寄存器概览（基址是 0x205E_0000） 10-27

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

10 智能加速引擎

10.1 概述

IVE（IntelligentVideoEngineering）模块是智能分析系统中的硬件加速模块。实现模板滤波、膨胀、腐蚀、图像 sobel 和 canny 边缘提取，图像减、与、或，图像二值化，积分图，直方图统计功能。IVE 通过 AXI Master 总线接口读写数据以及链表节点参数信息；通过 APB Slave 总线接口配置 IVE 启动所需的寄存器信息以及获得运行过程中的寄存器状态信息。

10.2 功能描述

IVE 模块支持如下功能特点：

- 支持 DMA。
- 支持 3×3 模板滤波。
- 支持 YUV 到 RGB 的颜色空间转换。
- 支持 3×3 模板滤波加 YUV 到 RGB 颜色空间转换的复合功能。
- 支持 SOBEL/SCHARR 等算子的 X/Y 方向的梯度计算。
- 支持 CANNY 梯度幅值及方向计算。
- 支持 3×3 腐蚀。
- 支持 3×3 膨胀。
- 支持图象二值化。
- 支持两幅图象相与。
- 支持两幅图象相减。
- 支持两幅图象相或。
- 支持积分图计算。
- 支持直方图统计。
- 最大运行频率 300MHz。
- 支持单独进行软复位。
- 支持 64bitAXI 总线（Master）和 32bitAPB 总线（Slave）。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

- 支持链表级中断和节点级中断。
- 支持查询模式。
- 支持单分量，SP420（semi-planar420），SP422（semi-planar422）输入格式。
- 支持单分量，SP420，SP422，RGBpackage，RGBplanar 等输出格式。
- 部分算子支持读写地址非 8byte 对齐。

10.3 工作方式

10.3.1 硬件使用

在查询模式下使用 IVE 的操作步骤如下：

步骤 1 在内存中创建任务链表。

步骤 2 配置 IVE 内部寄存器 LIST_POINTER，INT_EN。

步骤 3 配置 IVE 内部寄存器 IVE_START，启动 IVE。

步骤 4 在运行过程中查看 IVE_STATUS 的状态以获取 IVE 运行状态。如果 IVE 空闲，则链表任务完成。如需要继续使用，重复步骤 1 至步骤 4。

----结束

在中断模式下使用 IVE 的操作步骤如下：

步骤 1 在内存中创建任务链表。

步骤 2 配置 IVE 内部寄存器 LIST_POINTER，INT_EN。

步骤 3 配置 IVE 内部寄存器 IVE_START，启动 IVE。

步骤 4 在中断服务程序中，根据 INT_STATUS 判断中断类型，配置 IVE 内部寄存器 INT_RW 可以清除 INT_STATUS 的中断状态。并根据 IVE_STATUS 判断 IVE 状态，IVE_STATUS 状态为 IDLE，表明链表任务完成，回步骤 1 开始下一次链表操作。

----结束

IVE 任务链表采用定长定位的链表节点格式，每个节点的大小为 8×8byte，链表的节点数目为任意值。

链表节点结构如图 10-1 所示，

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

图10-1 IVE 链表节点结构示意图

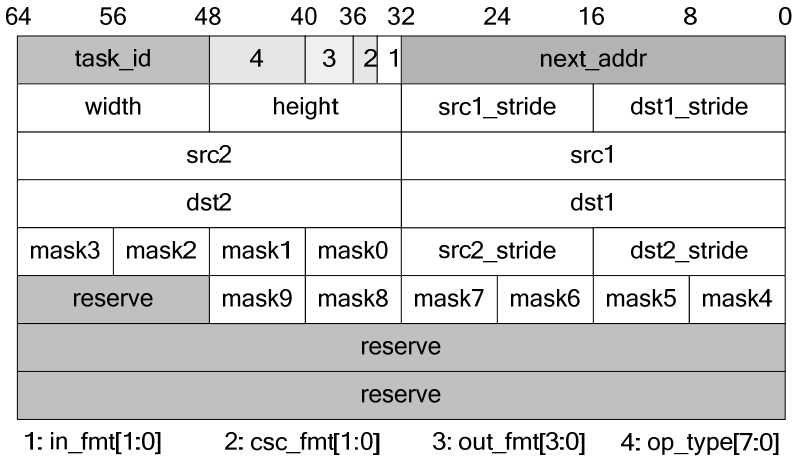


表 10-1 描述了节点各参数值的意义。

表10-1 IVE 链表节点参数说明

参数寄存器	描述
next_addr	下一个结点在内存中的地址，为 0x00000000，表示当前链表的最后一个节点。
in_fmt	图像输入格式。 00：单分量； 01：SP420； 10：SP422； 11：保留。
csc_fmt	CSC 模式选择。 00：BT601&BT656，范围 16～235； 01：BT701，范围 16～235； 10：BT601&BT656，范围 0～255； 11：BT701，范围 0～255。
out_fmt	图像输出格式。 CSC： 0000：package； 0001：planar。 CANNY： 0000：只输出幅值； 0001：输出幅值和角度值。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

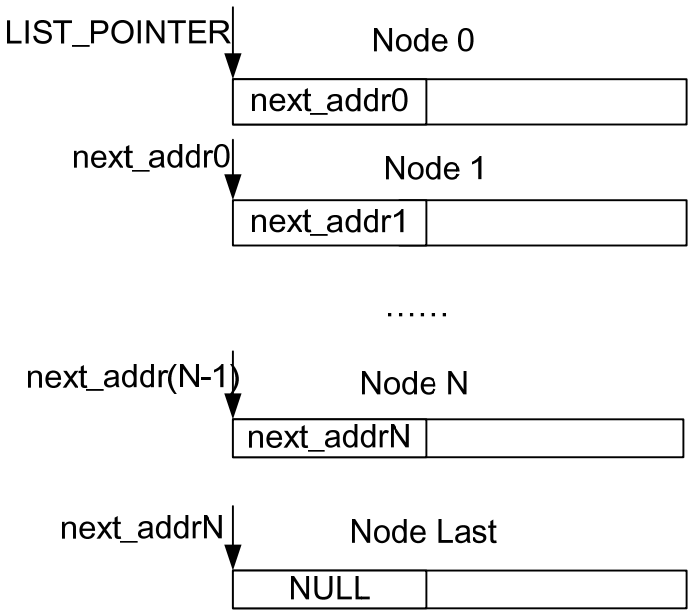
参数寄存器	描述
	THRESH： 0000：大于阈值置为 maxvalue，小于阈值置为 minvalue； 0001：大于阈值置为 maxvalue，小于阈值不变； 0010：大于阈值不变，小于阈值置为 minvalue。 SUBSTRACT： 0000：差异绝对值输出； 0001：差异值右移一位输出。
op_type	当前节点选择运行的算子类型。 0x00：快速拷贝（DMA）； 0x01：模板滤波（FILTER）； 0x02：色彩空间转换（CSC）； 0x03：模板滤波加色彩转换复合功能（FILTER+CSC）； 0x04：SOEBL 梯度（SOBEL）； 0x05：SOBEL 幅度及方向（CANNY）； 0x06：膨胀（DILATE）； 0x07：腐蚀（ERODE）； 0x08：图像二值化（THRESH）； 0x09：两图像相与（AND）； 0x0A：两图像相减（SUBSTRACT）； 0x0B：两图像相或（OR）； 0x0C：积分图（INTEGRAL）； 0x0D：直方图（HISTOGRAM）。
task_id	当前节点的任务 ID 号。
dst1_stride	输出目的地址 1 的 stide 信号，8byte 对齐。
src1_stride	源图像 1 的 stride 信号，8byte 对齐。
height	源图像实际高度值。
width	源图像实际宽度值，当输入格式为 420 和 422 时，为偶数。
src1	源图像 1 的起始地址，FILTER，CSC，FILTER+CSC，SOBEL，CANNY，DILATE，ERODE，INTEGRAL，HISTOGRAM 等算子时，8byte 对齐。
src2	源图像 2 的起始地址。
dst1	目标 1 的起始地址，FILTER，CSC，FILTER+CSC，SOBEL，CANNY，DILATE，ERODE，INTEGRAL，HISTOGRAM 等算子时，要求 8byte 对齐。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

参数寄存器	描述
dst2	目标 2 的起始地址。
dst2_stride	目标地址 2 的 stride，要求 8byte 对齐。
src2_stride	源图像 2 的 stride，8byte 对齐。
mask0	模板系数 00 或者 THRESH 算子的 threshold。
mask1	模板系数 01 或者 THRESH 算子的 min_value。
mask2	模板系数 02 或者 THRESH 算子的 max_value。
mask3	模板系数 10。
mask4	模板系数 11。
mask5	模板系数 12。
mask6	模板系数 20。
mask7	模板系数 21。
mask8	模板系数 22。
mask9	FILTER 算子系数和。
reserved	保留位。

模板系数：3×3 运算算子（FILTER、FILTER+CSC、SOBEL、CANNY、DILATE、ERODE）使用的运算模板的系数。

图10-2 IVE 链表使用示意图



海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

10.3.2 中断

IVE 会产生以下 2 种中断：

- 当前链表的全部节点完成中断。
- 当前节点的操作完成中断。

10.3.3 时钟复位

时钟关断策略

IVE 的输入时钟可以进行关断，以达到降功耗的目的。IVE 时钟关断前必须保证 IVE 处于空闲状态（查询状态寄存器 IVE_STATUS 为 IDLE），然后才能关断时钟。时钟关断不会丢掉 IVE 的寄存器配置。在对 IVE 内部寄存器进行操作前，必须先开启时钟。

复位策略

单独对 IVE 复位时不支持任意时间复位，否则可能导致总线异常，单独对 IVE 复位时必须在 IVE 状态寄存器 IVE_STATUS 为 IDLE 时方可复位。

系统复位将使 IVE 内部各寄存器全部清空。

10.3.4 输入、输出数据格式

10.3.4.1 存放顺序

下面数据存放顺序均是在小端系统（little endian）的内存存放顺序，为了方便描述，统一使用 Word、Double Word 作为存储单位进行描述，实际应用中不同的算子对数据存储对齐格式有特殊要求，具体要求见 10.3.4.2 支持的功能描述部分。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

图10-3 数据格式为 SemPlanar YCbCr422 时，Pixel 在 Memory 中的存储

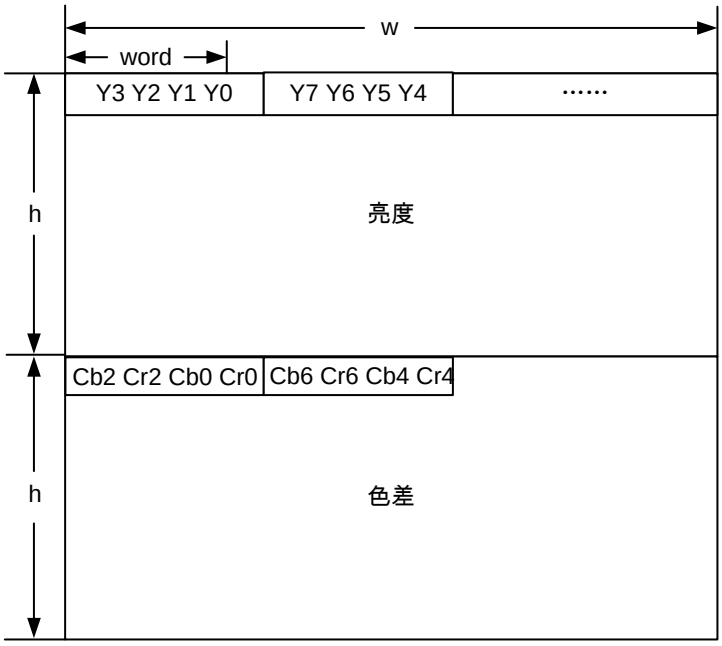
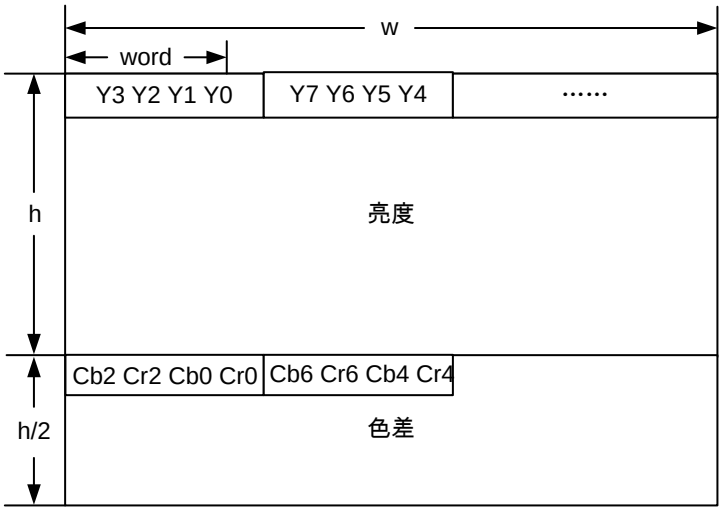


图10-4 数据格式为 SemPlanar YCbCr420 时，Pixel 在 Memory 中的存储



海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

图10-5 数据格式为单分量时，Pixel 在 Memory 中的存储

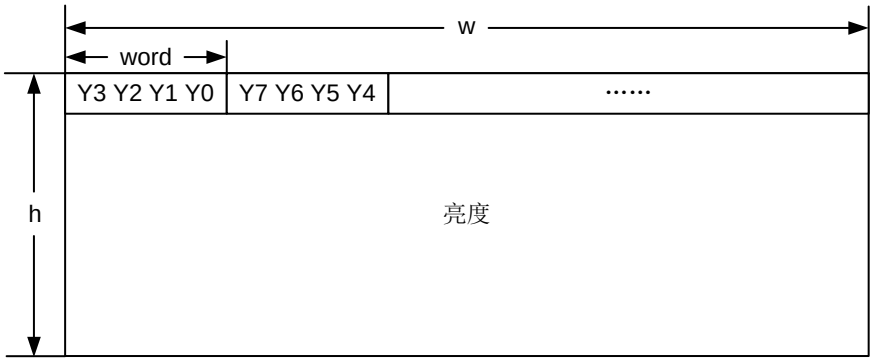
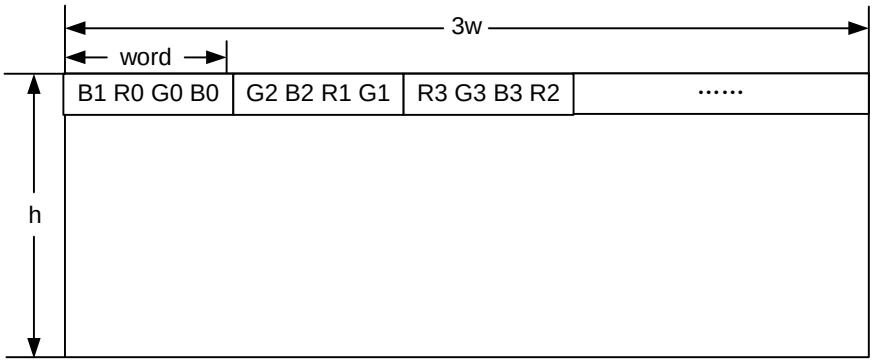
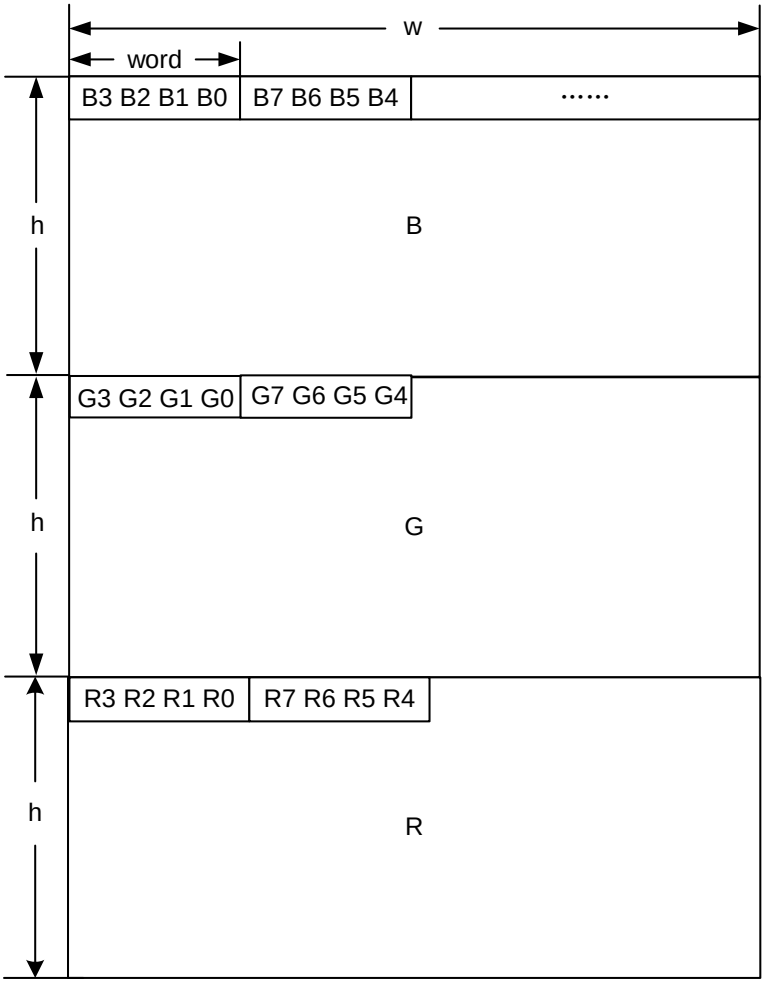


图10-6 数据格式为 RGB package 时，Pixel 在 Memory 中的存储



海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

图10-7 数据格式为 RGB planar 时，Pixel 在 Memory 中的存储



海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

图10-8 SOBEL 算子时，输出结果在 Memory 中的存储

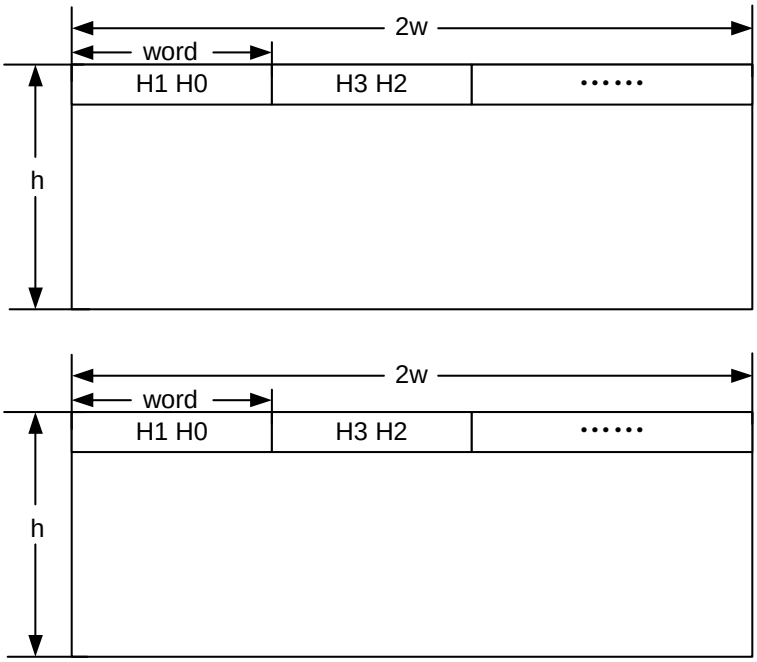
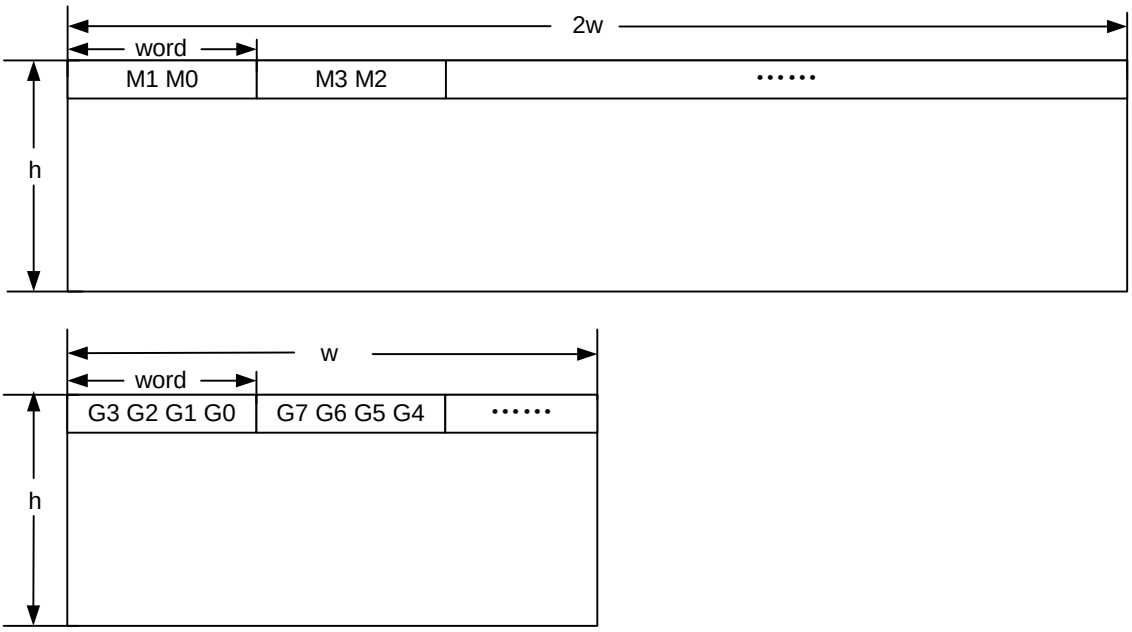


图10-9 CANNY 算子，结果在 Memory 中的存储



海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

图10-10 积分图算子时，输出结果在 Memory 中的存储 （INTEGRAL_OUT）

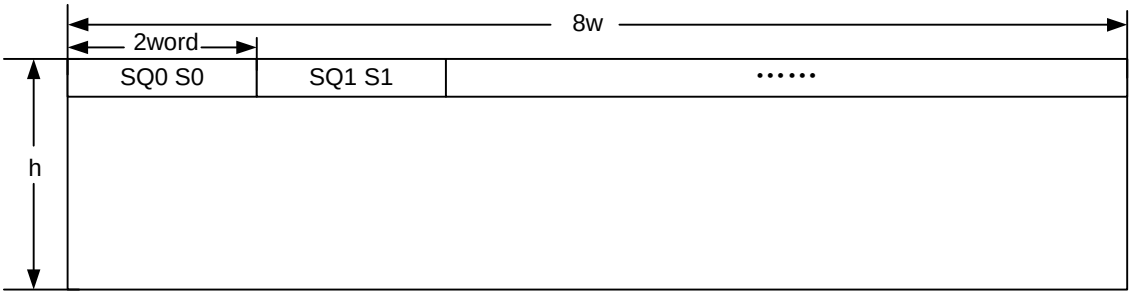
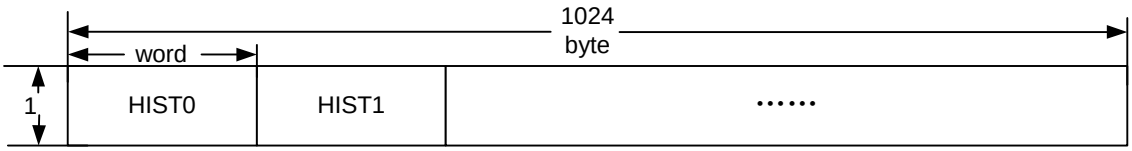


图10-11 直方图统计时，输出结果在 Memory 中的存储 （HIST_OUT）



10.3.4.2 支持的功能

IVE 所有算子的 stride 均需要满足以下条件：

当 $((src\%8)==0)\&\&((width\%8)==0)$ 成立时，要求

$$\begin{cases} stride \geq width \\ stride\%8=0 \end{cases}$$

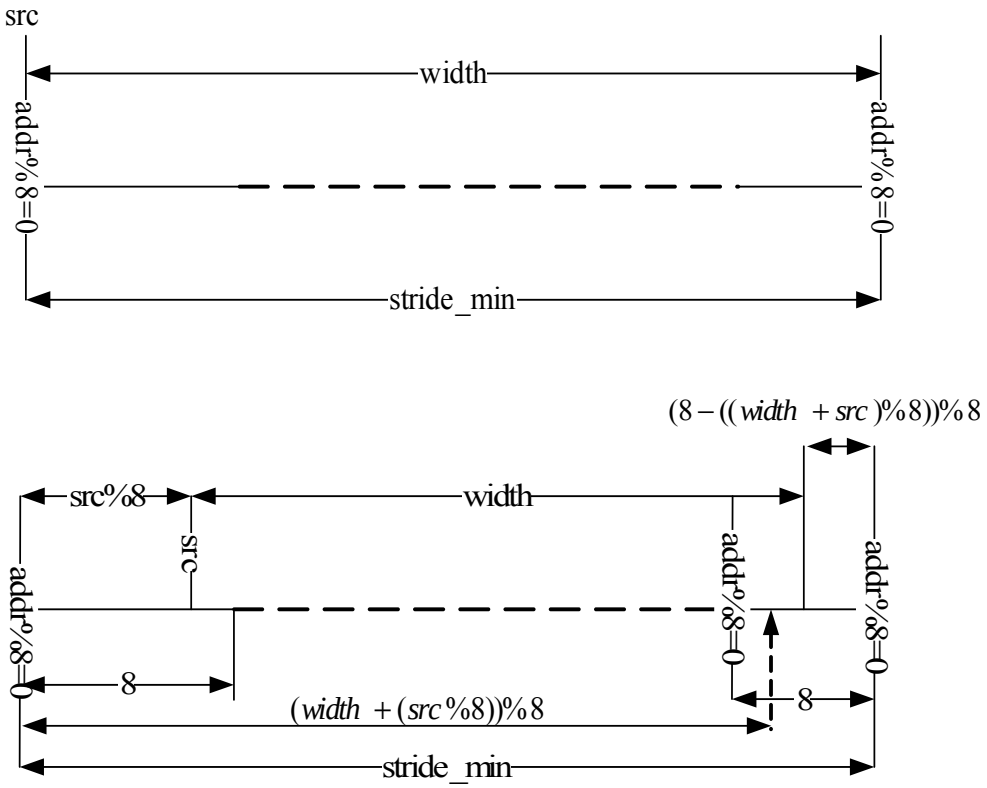
否则要求

$$\begin{cases} \{(8-((width+(src\%8))\%8))+(src\%8)+width\} \leq stride \\ stride\%8=0 \end{cases}$$

其中 % 表示求余数操作。示例见图图 10-12。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

图10-12 算子的参数 stride 取最小值时的情况



快速拷贝

实现矩形图像区域的快速搬移功能。源数据在 DMA 模式下将会直接通过 IVE 内部快速通路，搬移到目的区域，并直接覆盖目标区域数据。

图象分辨率：32×1～1920×1080

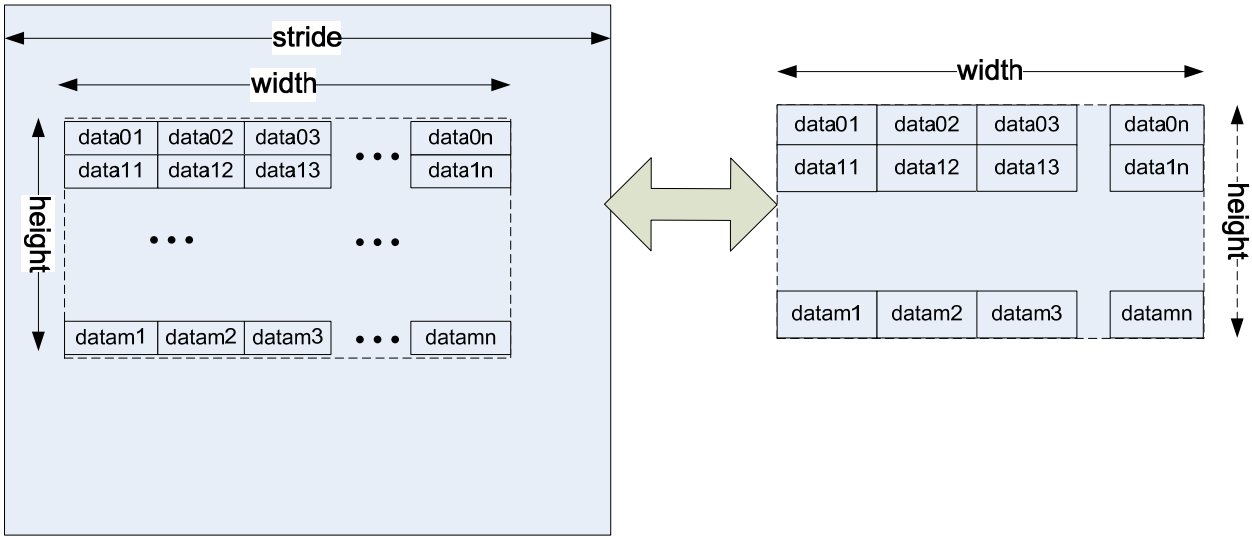
地址对齐方式：输入输出地址都要求 byte 对齐。

输入输出格式：单分量→单分量。

使用方法：配置链表中结点的 op_type 为 0x00

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

图10-13 DMA 数据搬运应用之一



3×3 模板滤波

将源图象以 3×3 模块作滤波后输出。

图象分辨率：64×64～1920×1024。

地址对齐方式：输入输出地址都要求 8byte 对齐。

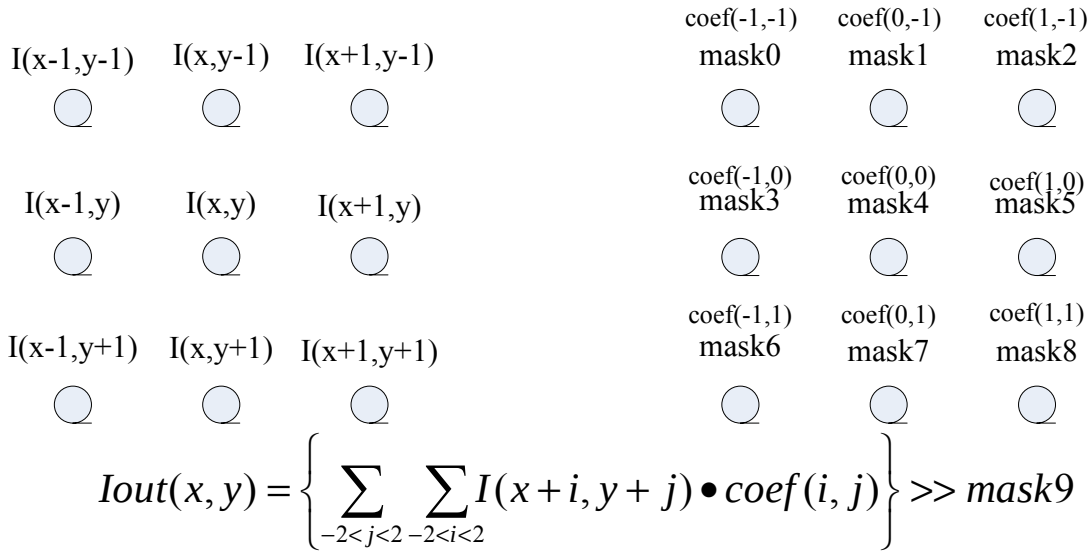
输入输出格式：单分量→单分量；SP420→SP420；SP422→SP422。

使用方法：

- 配置 op_type 为 0x1。
- 配置输入格式。
- 配置系数 mask0，mask1，…… mask9。mask0～mask8 范围为[-128, 127]，mask9 取值为[0, 10]。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

图10-14 3×3 模板滤波计算公式



$$Iout(x,y)=\left\{\sum_{-2<j<2}\sum_{-2<i<2}I(x+i,y+j)\bullet coef(i,j)\right\}>>mask9$$

颜色空间转换（CSC）

颜色空间转换支持从 YUV 空间到 RGB 空间的转换。

图象分辨率：64×64～1920×1080。

地址对齐方式：输入输出地址都要求 8byte 对齐。

输入输出格式：SP420→RGB package；SP420→RGB planar；SP422→RGB package；SP422→RGB planar。

使用方法：

- 配置链表中结点的 op_type 为 0x02。
- 配置链表中结点的 in_fmt：

  01：420

  10：422
- 配置链表中结点的 out_fmt：

  0000：package

  0001：planar

  配置链表中结点的 csc_fmt：

  00：BT601&BT656 （16~235）

  01：BT709 （16~235）

  10：BT601&BT656 （0~255）

  11：BT709 （0~255）

当 csc_fmt = 0 或者 1 时为 YUV 到 RGB 的视频变换，输出满足 16≤R，G，B≤235

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

当 csc_fmt = 2 或者 3 时 为 YUV 到 RGB 的图像变换，输出满足 0≤R，G，B≤255

YUV 到 RGB 的转换的视频距阵的输入输出要求如下。

- 16≤Y≤235
- 16≤Cb，Cr≤240
- 16≤R，G，B≤235

YUV 到 RGB 的转换的视频矩阵算法如表 10-2。

表10-2 YCbCr 到 RGB 的视频距阵（BT.601）

RGB 到 YCbCr 颜色空间转换浮点计算方法：									
R	=	1	×（Y）	+	0.0	×（Cb-128）	+	1.371	×（Cr-128）
G	=	1	×（Y）	−	0.336	×（Cb-128）	−	0.698	×（Cr-128）
B	=	1	×（Y）	+	1.732	×（Cb-128）	+	0.0	×（Cr-128）

表10-3 YCbCr 到 RGB 的视频距阵（BT.709）

RGB 到 YCbCr 颜色空间转换浮点计算方法：									
R	=	1	×（Y）	+	0.0	×（Cb-128）	+	1.540	×（Cr-128）
G	=	1	×（Y）	−	0.183	×（Cb-128）	−	0.459	×（Cr-128）
B	=	1	×（Y）	+	1.816	×（Cb-128）	+	0.0	×（Cr-128）

YUV 到 RGB 的转换的图象距阵的输入输出要求如下。

- 16≤Y≤235
- 16≤U，V≤240
- 0≤R，G，B≤255

YUV 到 RGB 的转换的图象距阵算法如表 10-4。

表10-4 YCbCr 到 RGB 的图象距阵（BT.601）

RGB 到 YCbCr 颜色空间转换浮点计算方法：									
R	=	1.164	×（Y-16）	+	0.0	×（Cb-128）	+	1.596	×（Cr-128）
G	=	1.164	×（Y-16）	−	0.391	×（Cb-128）	−	0.813	×（Cr-128）
B	=	1.164	×（Y-16）	+	2.018	×（Cb-128）	+	0.0	×（Cr-128）

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

表10-5 YCbCr 到 RGB 的图象距阵（BT.709）

RGB 到 YCbCr 颜色空间转换浮点计算方法：									
R	=	1.164	×（Y-16）	+	0.0	×（Cb-128）	+	1.793	×（Cr-128）
G	=	1.164	×（Y-16）	−	0.213	×（Cb-128）	−	0.534	×（Cr-128）
B	=	1.164	×（Y-16）	+	2.115	×（Cb-128）	+	0.0	×（Cr-128）

3×3 模板滤波加 CSC

将源图象以 3×3 模板作滤波，然后再作颜色空间转换后输出。

图象分辨率：64×64～1920×1024。

地址对齐方式：输入输出地址都要求 8byte 对齐。

输入输出格式：SP420→RGB package；SP420→RGB planar；SP422→RGB package；SP422→RGB planar。

使用方法：

- 配置 op_type 为 0x3。
- 配置 CSC 系数。
- 配置输入格式和输出格式。
- 配置系数 mask0，mask1，..... mask9。mask0～mask8 范围为[-128, 127]，mask9 取值为[0, 10]。

SOBEL x/y 方向梯度计算

图象分辨率：64×64～1920×1024。

地址对齐方式：输入输出地址都要求 8byte 对齐。

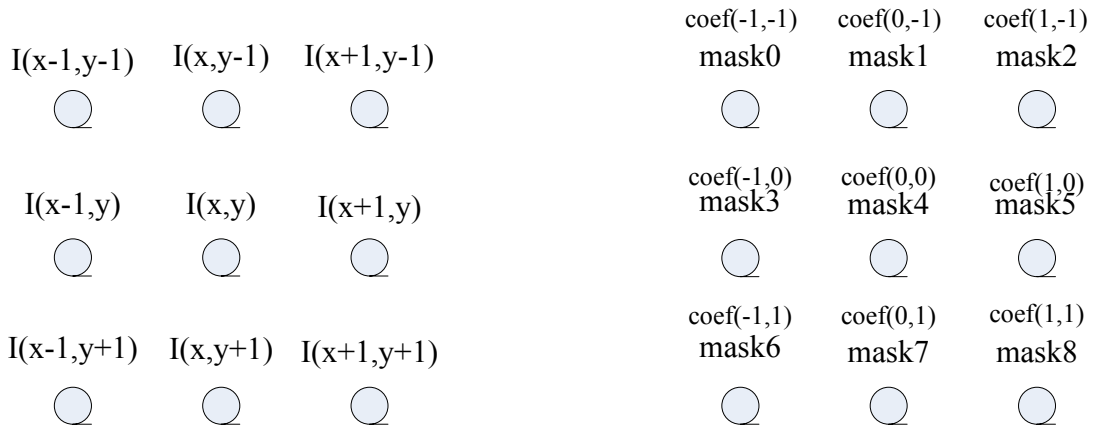
输入输出格式：单分量→SOBEL_OUT。

使用方法：

- 配置 op_type 为 0x4。
- 配置系数 mask0，mask1，..... mask8。mask0～mask8 范围为[-128, 127]。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

图10-15 SOBEL 梯度计算公式



$$Hout(x,y)=\sum_{-2<j<2}\sum_{-2<i<2}I(x+i,y+j)\bullet coef(i,j)$$

$$Vout(x,y)=\sum_{-2<j<2}\sum_{-2<i<2}I(x+i,y+j)\bullet coef(j,i)$$

CANNY 梯度幅值及角度

图象分辨率：64×64～1920×1024。

地址对齐方式：输入输出地址都要求 8byte 对齐。

输入输出格式：单分量→CANNY_OUT1；单分量→CANNY_OUT2。

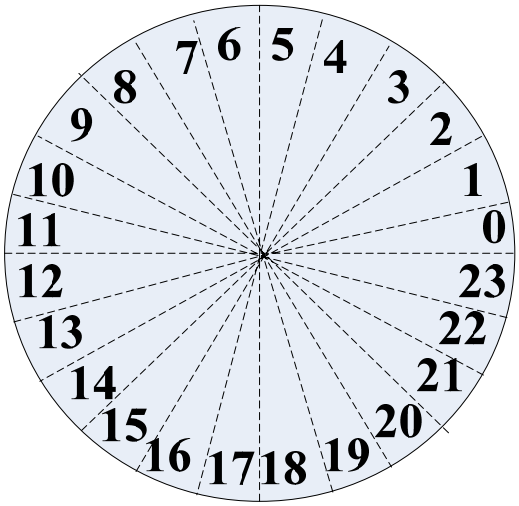
使用方法：

- 配置 op_type 为 0x5。
- 配置输出格式。
- 配置系数 mask0，mask1，..... mask8。mask0～mask8 范围为[-128, 127]。

幅值定义：$Mag(x,y)=abs(Hout(x,y))+abs(Vout(x,y))$

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

图10-16 CANNY 角度量化定义



计算输出角度为：$\theta = \left[\frac{\arctan(\frac{V}{H}) * 12}{\pi} \right]$

3x3 膨胀

图象分辨率：64×64～1920×1024。

地址对齐方式：输入输出地址都要求 8byte 对齐。

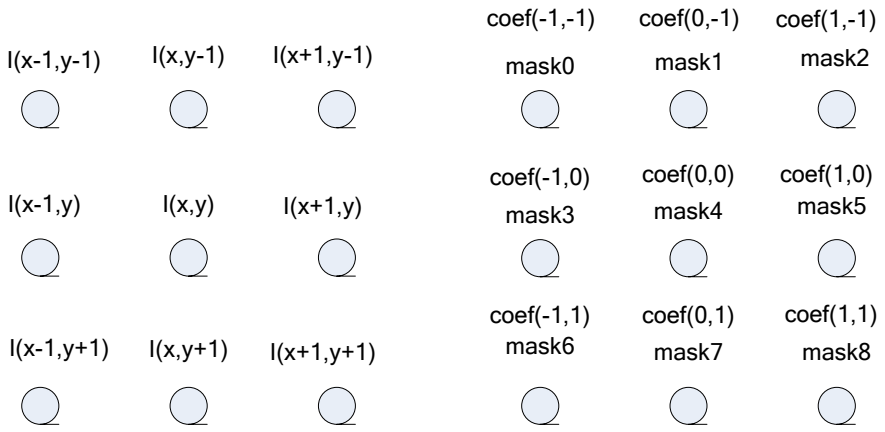
输入输出格式：单分量→单分量。

使用方法：

- 配置 op_type 为 0x6。
- 配置系数 mask0，mask1，..... mask8。
- 要求输入输出数据为 0 或 255，mask 的值为 0 或 255。

3x3 膨胀计算公式如下，其中公式中|为位或运算，&为位与运算，%为除余运算。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司



$$Iout(x,y) = f(I(x+(k\&3)-1, y+(k\%3)-1)\&coef((k\&3)-1,(k\%3)-1),|,0,8)$$
$$f(A_k,\Theta,c_{\min},c_{\max}) = A_{c_{\min}}\Theta A_{c_{\min+1}}\cdots\Theta A_{c_{\max}}$$

3x3 腐蚀

图象分辨率：64×64～1920×1024。

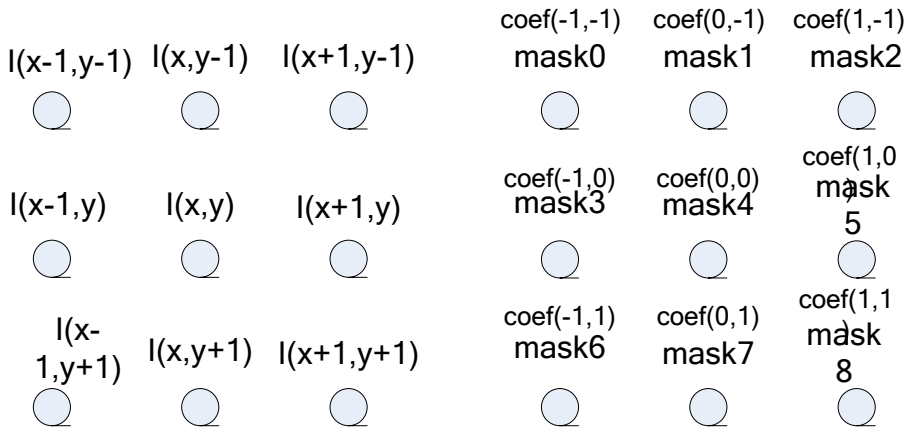
地址对齐方式：输入输出地址都要求 8byte 对齐。

输入输出格式：单分量→单分量。

使用方法：

- 配置 op_type 为 0x7。
- 配置系数 mask0，mask1，..... mask8。
- 要求输入输出数据为 0 或 255，mask 的值为 0 或 255。

3x3 腐蚀计算公式如下，其中该公式中|为位或运算，&为位与运算，%为除余运算。



$$Iout(x,y) = f(I(x+(k\&3)-1, y+(k\%3)-1)\,|\,coef((k\&3)-1,(k\%3)-1),\&,0,8)$$
$$f(A_k,\Theta,c_{\min},c_{\max}) = A_{c_{\min}}\Theta A_{c_{\min+1}}\cdots\Theta A_{c_{\max}}$$

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

图像二值化处理

使用固定阈值对图像进行二值化操作，共有三种模式：

- mode=2：像素值>阈值 threshold，像素值不变，否则为 minValue

$$I_{out}(x,y)=\begin{cases}\min Value & (I(x,y)\le threshold)\\ I(x,y) & (I(x,y)>threshold)\end{cases}$$

- mode=1：像素值>阈值 threshold，则为 maxValue，否则像素值不变

$$I_{out}(x,y)=\begin{cases}I(x,y) & (I(x,y)\le threshold)\\ \max Value & (I(x,y)>threshold)\end{cases}$$

- mode=0：像素值>阈值 threshold，则为 maxValue，否则为 minValue

$$I_{out}(x,y)=\begin{cases}\min Value & (I(x,y)\le threshold)\\ \max Value & (I(x,y)>threshold)\end{cases}$$

图象分辨率：64×64～1920×1080。

地址对齐方式：输入输出地址都要求 byte 对齐。

输入输出格式：单分量→单分量。

使用方法：

- 配置链表中结点的 op_type 为 0x08；
- 配置链表中结点 mask0，mask1 和 mask2 对应为 threshold，minValue 和 maxValue。

双源图像与运算

注意

要求源图 2 和源图 1 的高宽一致，但是 stride 不要求一致。

源图 2 数据与源图 1 数据进行进行与运算，然后搬移到目的区域。

图象分辨率：64×64～1920×1080。

地址对齐方式：输入输出地址都要求 byte 对齐。

输入输出格式：单分量→单分量。

使用方法：配置链表中结点的 op_type 为 0x09。

$$I_{out}(x,y)=I_{src1}(x,y)\ \&\ I_{src2}(x,y)$$

其中，该公式中&为位与运算。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

双源图像减运算

注意

要求源图 2 和源图 1 的高宽一致，但是 stride 不要求一致。

源图 2 数据与源图 1 数据进行进行减运算，然后搬移到目的区域，提供两种工作模式：

0000：差异值绝对值输出，即 $dst[i, j] = abs(src1[i, j] - src2[i, j])$；

0001：差异值右移 1 位输出，保留符号位，即 $dst[i, j] = (src1[i, j] - src2[i, j]) >> 1$；

如图像 1 某位置像素值为 0x23，图像 2 对应位置像素值为 0x40，则在模式 0000 时结果为 0x1D，在模式 0001 时结果为 0xF1。

图象分辨率：64×64～1920×1080。

地址对齐方式：输入输出地址都要求 byte 对齐。

输入输出格式：单分量→单分量。

使用方法：

- 配置链表中结点的 op_type 为 0x0a；
- 配置链表中结点的 out_fmt 为 0x0000 或 0x0001。

双源图像或运算

注意

要求源图 2 和源图 1 的高宽一致，但是 stride 不要求一致。

源图 2 数据与源图 1 数据进行进行或运算，然后搬移到目的区域。

图象分辨率：64×64～1920×1080。

地址对齐方式：输入输出地址都要求 byte 对齐。

输入输出格式：单分量→单分量。

使用方法：配置链表中结点的 op_type 为 0x0b。

$$I_{out}(x, y) = I_{src1}(x, y) \mid I_{src2}(x, y)$$

其中，该公式中|为位或运算。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

积分图

支持分量累加和与分量平方累加和，输出格式为 64 比特，分量累加和占低 28 比特，分量平方累加和占高 36 比特。

图象分辨率：64×64～1920×1080。

地址对齐方式：输入输出地址都要求 8byte 对齐。

输入输出格式：单分量→INTEGRAL_OUT。

使用方法：配置链表中结点的 op_type 为 0x0c。

$$I_{sum}(x,y)=\sum_{i\geq 0}^{i\leq x}\sum_{j\geq 0}^{j\leq y}I(i,j)$$

$$I_{sq}(x,y)=\sum_{i\geq 0}^{i\leq x}\sum_{j\geq 0}^{j\leq y}(I(i,j)\bullet I(i,j))$$

$$I_{out}(x,y)=(I_{sum}(x,y)\,\&\,0xFFFFFFFF)\,|\,(I_{sq}(x,y)<<28)$$

其中，该公式中|为位或运算，&为位与运算，<<为左移移位操作。

直方图

256 级直方图统计，输入为单分量，输出为位宽为 32bit 的 256 级直方图统计值。

图象分辨率：64x64～1920x1080。

地址对齐方式：输入输出地址都要求 8byte 对齐。

输入输出格式：单分量→HIST_OUT。

使用方法：配置链表中结点的 op_type 为 0x0d。

$$I_{out}(x)=\sum_{i}\sum_{j}((I(i,j)==x)?1:0)\qquad x=0\ldots255$$

10.4 寄存器概览

IVE 寄存器概览如表 10-6 所示。

表10-6 IVE 寄存器概览（基址是 0x205E_0000）

偏移地址	名称	描述	页码
0x0000	IVE_START	启动信号寄存器	10-27
0x0004	INT_EN	中断使能信号寄存器	10-28
0x0008	INT_RW	原始中断信号寄存器	10-28
0x000C	INT_STATUS	中断状态信号寄存器	10-29

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

偏移地址	名称	描述	页码
0x0010	LIST_POINTER	链表首地址寄存器	10-30
0x0014	IVE_STATUS	IVE 工作状态信号寄存器	10-30
0x0018	IVE_TASK_ID	刚刚完成的 task 的 ID 寄存器	10-31

10.5 寄存器描述

IVE_START

IVE_START 为启动信号寄存器。

Offset Address	Register Name	Total Reset Value
0x0000	IVE_START	0x0000_0000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1	0
Name	reserved								ive_start
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0	0

Bits	Access	Name	Description
[31:1]	RO	reserved	保留。
[0]	WO	ive_start	IVE 启动信号，高电平有效。

INT_EN

INT_EN 为中断使能信号寄存器。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x0004	INT_EN	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																														list_int_en	node_int_en
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:2]	RO	reserved	保留。
[1]	RW	list_int_en	链表中断使能。 0：不使能； 1：使能。
[0]	RW	node_int_en	节点中断使能。 0：不使能； 1：使能。

INT_RW

INT_RW 为原始中断信号寄存器。

Offset Address	Register Name	Total Reset Value
0x0008	INT_RW	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																														list_int_rw	node_int_rw
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:2]	RO	reserved	保留。
[1]	RW	list_int_rw	链表级原始中断。软件在通过 INT_STATUS 读取中断后通过写 INT_RW 来清除中断。 0：没有中断； 1：有中断。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

[0]	RW	node_int_rw	节点级原始中断。软件在通过 INT_STATUS 读取中断后通过写 INT_RW 来清除中断。 0：没有中断； 1：有中断。

INT_STATUS

INT_STATUS 为中断状态信号寄存器。

Offset Address	Register Name	Total Reset Value
0x000C	INT_STATUS	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																														list_int_status	node_int_status
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:2]	RO	reserved	保留。
[1]	RO	list_int_status	链表级中断状态。软件通过读此状态位确定是否有链表级中断。 0：没有中断； 1：有中断。
[0]	RO	node_int_status	节点级中断状态。软件通过读此状态位确定是否有节点级中断。 0：没有中断； 1：有中断。

LIST_POINTER

LIST_POINTER 为链表首地址寄存器。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x0010	LIST_POINTER	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	link_table_header_addr																															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:0]	RW	link_table_header_addr	标明链表第一个节点的地址。

IVE_STATUS

IVE_STATUS 为 IVE 工作状态信号寄存器。

Offset Address	Register Name	Total Reset Value
0x0014	IVE_STATUS	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																															ive_working_status
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:1]	RO	reserved	保留。
[0]	RO	ive_working_status	IVE 当前的工作状态。 0：空闲； 1：忙碌。

IVE_TASK_ID

IVE_TASK_ID 为刚完成的任务的 ID 寄存器。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x0018	IVE_TASK_ID	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																ive_task_id															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:16]	RO	reserved	保留。
[15:0]	RO	ive_task_id	刚刚完成的任务的 ID。如果任务 ID 是递增的，则表明此 ID 之前的所有任务都已完成。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

目 录

11 视频接口.....11-1
11.1 VICAP.....11-1
11.1.1 概述.....11-1
11.1.2 特点.....11-1
11.1.3 功能描述.....11-2
11.1.4 工作方式.....11-13
11.1.5 寄存器概览.....11-15
11.1.6 寄存器描述.....11-19
11.2 VDP.....11-65
11.2.1 概述.....11-65
11.2.2 功能描述.....11-65
11.2.3 工作方式.....11-68

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

插图目录

图 11-1 VICAP 功能框图 11-1
图 11-2 8 路 D1/960H 的典型输入应用 11-3
图 11-3 4 路 720P 的典型输入应用 11-3
图 11-4 2 路 1080P 的典型输入应用 11-4
图 11-5 525 行 60 场/秒视频系统垂直时序 11-6
图 11-6 625 行 50 场/秒视频系统垂直时序 11-7
图 11-7 高清接口输入时序水平时序 11-7
图 11-8 高清接口输入时序垂直时序 11-8
图 11-9 ITU-R BT.601 水平时序图 11-8
图 11-10 NTSC 制式垂直同步时序图 11-9
图 11-11 PAL 制式垂直同步时序图 11-9
图 11-12 数字摄像头水平时序 11-10
图 11-13 数字摄像头垂直时序脉冲方式 11-10
图 11-14 数字摄像头垂直时序行有效方式 11-11
图 11-15 有效图像区域与水平垂直消隐关系图 11-11
图 11-16 YCbCr4:2:2 的存储模式 11-12
图 11-17 big endian 和 little endian 图像存储模式 11-12
图 11-18 VICAP 的硬件工作流程 11-14
图 11-19 软件操作流程 11-15
图 11-20 VICAP 寄存器空间分配 11-16
图 11-21 VDP 总体框图 11-67
图 11-22 ITU-R BT.656 YCbCr 4:2:2 行数据格式 11-72
图 11-23 BT1120 接口水平时序图 11-72
图 11-24 3 套坐标示意图 11-74
图 11-25 逐行解压存储方式 11-77

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

图 11-26 隔行解压存储方式.....11-78

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

表格目录

表 11-1 ITU-R BT.656 YCbCr 4:2:2 行数据格式 11-4
表 11-2 SAV/EAV 格式 11-5
表 11-3 有效 SAV/EAV 值 11-5
表 11-4 ITU-R BT.656 纠错码表 11-5
表 11-5 寄存器概览（基址是 0x2058_0000） 11-16
表 11-6 DHD0 显示通道的时钟配置关系（接口时钟/数据来源于 DHD0 或者 DSD0/DSD1） 11-69
表 11-7 DSD0～DSD1 显示通道的时钟配置关系 11-70

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

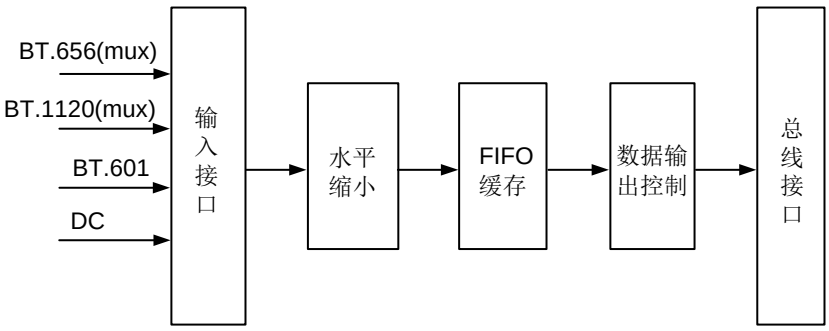
11 视频接口

11.1 VICAP

11.1.1 概述

视频捕获单元 VICAP（Video capture），可以通过 BT.656（mux）/ BT.1120（mux）/ BT.601 接口和 DC（Digital Camera）接口接收视频数据，存入指定的内存区域。在此过程中，VICAP 可以对视频图像数据进行水平缩小（根据通道情况可能为简单的下采样或者是缩放）并输出多个不同的视频流。VICAP 的功能框图如图 11-1 所示。

图11-1 VICAP 功能框图



11.1.2 特点

VICAP 有以下特点：

- 输入最大分辨率为 1920x1080
- 外部支持 4 个 BT656 接口，或 2 个 BT1120 接口
- 内部支持 4 个端口和 16 路通道视频处理，每个通道支持隔行和逐行输入模式
- 支持 BT.656（mux），BT.1120（mux），BT601，DC 等时序
- 支持 SMPTE293M/ITU-R BT.1358 时序（480P/576P）
- 支持 BT.601 时序
- 支持 SMPTE 274M/BT 1120 时序（1080i/1080P）

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

- 支持 SMPTE 296M（720P）
- 支持 2 倍的水平整数倍缩小
- 各通道支持 2 级总线优先级可配
- 支持在一个指定窗口内获取数据
- 支持水平镜像和垂直镜像
- 输出格式支持存储模式：SPYCbCr 4:2:0 和 SPYCbCr 4:2:2 模式。

11.1.3 功能描述

11.1.3.1 典型应用

VICAP 是一个支持多种时序输入的视频输入采集单元，将采集到的视频数据存储到 DDR 中，系统可以配置不同的功能模式，使之可以灵活的适应不同的外部输入视频接口，支持多种外部输入设备。

VICAP 总共占有 38 个管脚，2 个时钟，4 个外同步信号（有管脚复用），32 个数据线。

VICAP 模块总共有 4 个端口，16 个通道。1 个端口可以解析 1 个对接芯片的时序，1 个通道可以处理 1 路视频信号。

每 1 个端口对应 4 个通道。4 个端口之间相互独立，可以任意组合。

可以接 4 个 8bit 数据线的对接芯片，使用 4 个端口。

可以接 2 个 16bit 数据线的对接芯片，使用 2 个端口。

可以接 1 个 16bit 数据线的对接芯片和 2 个 8bit 数据线的对接芯片，使用 3 个端口。

每个端口可以接 4 路 D1/960H，2 路 D1/960H，1 路 D1/960H，1 路 720P，1 路 1080P 中任意一种。其中 1080P60 只能接 16bit 数据线的对接芯片。

VICAP 的典型输入有以下 3 种：

- 8 路 D1/960H
- 4 路 720P
- 2 路 1080P

注意

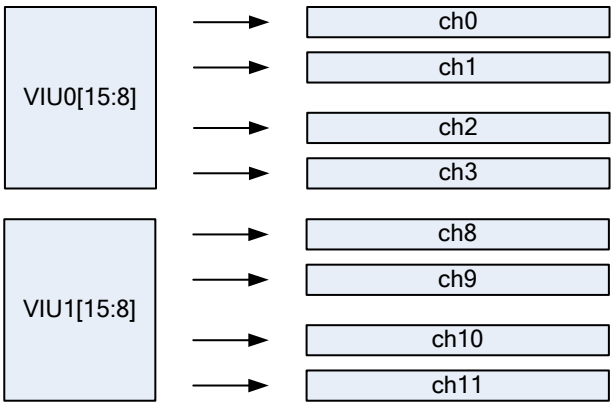
管脚上的每个 BT1120 口有两个时钟：CLK 和 CLKA。如果一个 BT.1120 口作为 1 个 16bit 的数据输入，使用 CLK；如果作为 2 个 8bit 的数据输入，则高 8bit 使用 CLK，低 8bit 使用 CLKA。

8 路 D1/960H

8 路 D1/960H 的典型输入应用如图 11-2 所示。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

图11-2 8 路 D1/960H 的典型输入应用



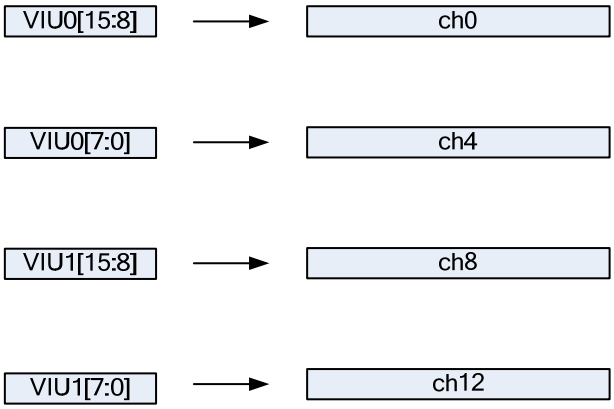
每 8bit 数据管脚传 4 路时分复用的 D1/960H，总共使用 32bit 管脚。

- VIU0 表示管脚上的第 0 个 BT1120 口
- VIU1 表示管脚上的第 1 个 BT1120 口
- [15:8]表示第 15 到 8bit
- [7:0]表示第 7 到 0bit
- ch0 到 ch15 表示通道 0 到通道 15

4 路 720P

4 路 720P 的典型输入应用如图 11-3 所示。

图11-3 4 路 720P 的典型输入应用



每 8bit 数据管脚传 1 路 720P，总共使用 32bit 管脚（interleave 模式，将 BT.1120 的 16bit 数据线，通过时分复用的方式，通过 8bit 来传输，C 分量在前，Y 分量在后，时钟频率提高一倍）。其中：

- VIU0 表示管脚上的第 0 个 BT.1120 口

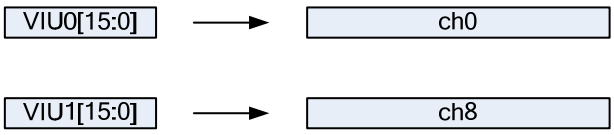
海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

- VIU1 表示管脚上的第 1 个 BT.1120 口
- [15:8]表示第 15 到 8bit
- [7:0]表示第 7 到 0bit
- ch0 到 ch15 表示通道 0 到通道 15

2 路 1080P

2 路 1080P 的典型输入应用如图 11-4 所示。

图11-4 2 路 1080P 的典型输入应用



每 16bit 数据管脚组成 BT1120 口传 1 路 1080P，总共使用 32bit 管脚。其中：

- VIU0 表示管脚上的第 0 个 BT1120 口
- VIU1 表示管脚上的第 1 个 BT1120 口
- [15:8]表示第 15 到 8bit
- [7:0]表示第 7 到 0bit
- ch0 到 ch15 表示通道 0 到通道 15

混合时序输入

不同对接芯片之间相互对立，互不影响，可以任意组合。

11.1.3.2 功能原理

ITU-R BT.656 YCbCr4:2:2

（1）水平时序

在 ITU-R BT.656 协议中，同步信号集成在数据流中，在数据流中的特殊字节 SAV 和 EAV 分别表示有效行数据的开始和结束。在视频数据流中，由 FF 00 00（FF、00 为图像编码数据的保留值，为非图像数据）构成的定时基准码字的码头来标志紧接着的一个字节为 SAV 或者 EAV，ITU-R BT. 656 的行数据流格式如表 11-1 所示。

表11-1 ITU-R BT.656 YCbCr 4:2:2 行数据格式

定时基准码				行消隐区					定时基准码				720 有效像素 YCbCr 4:2:2						
FF	00	00	EAV	80	10	…	80	10	FF	00	00	SAV	Cb0	Y0	Cr0	Y1	…	Cr718	Y719

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

SAV 和 EAV 的相互区别由 SAV/EAV 的特殊比特位“H”区分，SAV/EAV 还包含了垂直消隐位“V”和场指示位“F”。SAV/EAV 的具体描述见表 11-2 所示。

表11-2 SAV/EAV 格式

bit[7]	bit[6](F)	bit[5](V)	bit[4](H)	bit[3:0](P3～P0)
固定值 1	场指示位 1st field：F=0 2nd field：F=1	垂直消隐位 VBI：V=1 Active video：V=0	SAV：H=0 EAV：H=1	校验位。

ITU-R BT.656 协议采用了 8 个有效保留位用来定义有效的 SAV 和 EAV，4 个校验位可纠正 1bit 出错，检测 2bit 出错。有效的 SAV/EAV 值如表 11-3 所示。

表11-3 有效 SAV/EAV 值

编码	二进制值	场号	垂直消隐期
SAV	10000000	1	-
EAV	10011101	1	-
SAV	10101011	1	是
EAV	10110110	1	是
SAV	11000111	2	-
EAV	11011010	2	-
SAV	11101100	2	是
EAV	11110001	2	是

4 个有效保留位还起到纠错的作用，P_0、P_1、P_2、P_3 由 F、V 和 H 位来确定的，如表 11-4 所示。

表11-4 ITU-R BT.656 纠错码表

F	V	H	P3	P2	P1	P0
0	0	0	0	0	0	0
0	0	1	1	1	0	1
0	1	0	1	0	1	1
0	1	1	0	1	1	0
1	0	0	0	1	1	1
1	0	1	1	0	1	0

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

F	V	H	P3	P2	P1	P0
1	1	0	1	1	0	0
1	1	1	0	0	0	1

其中：

P0=F^V^H

P1=F^V

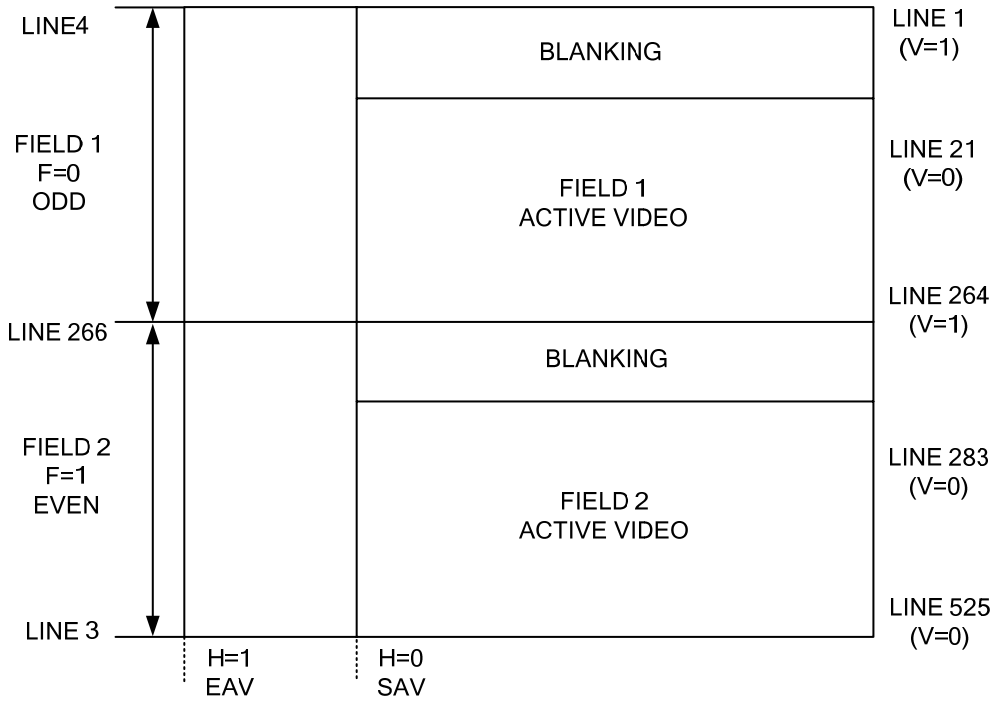
P2=F^H

P3=V^H

（2）垂直时序

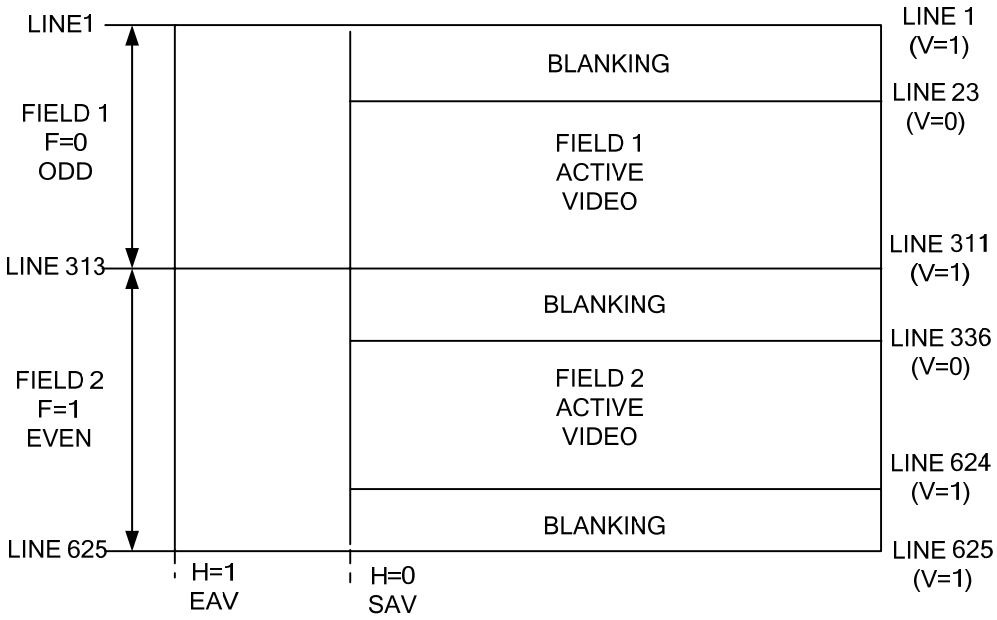
垂直时序也是通过定时基准码 SAV/EAV 的“F”和“V”来实现，典型的 525 行和 625 行视频系统垂直时序如图 11-5 和图 11-6 所示。

图11-5 525 行 60 场/秒视频系统垂直时序



海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

图11-6 625 行 50 场/秒视频系统垂直时序

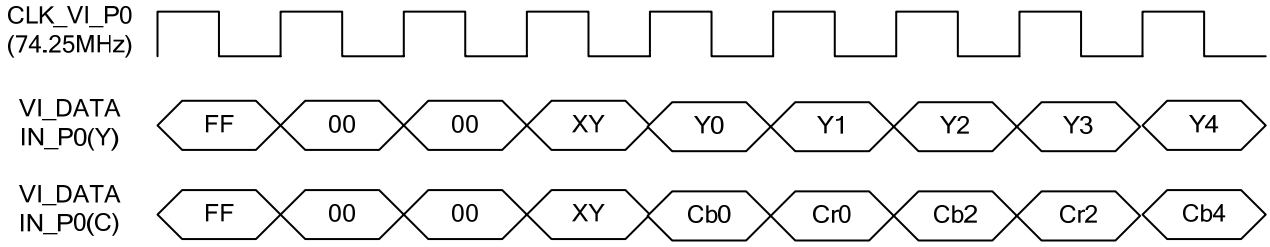


注：VICAP 内部只根据 SAV/EAV 来识别垂直时序，不会限制具体在哪一行。

BT 1120（高清）接口时序

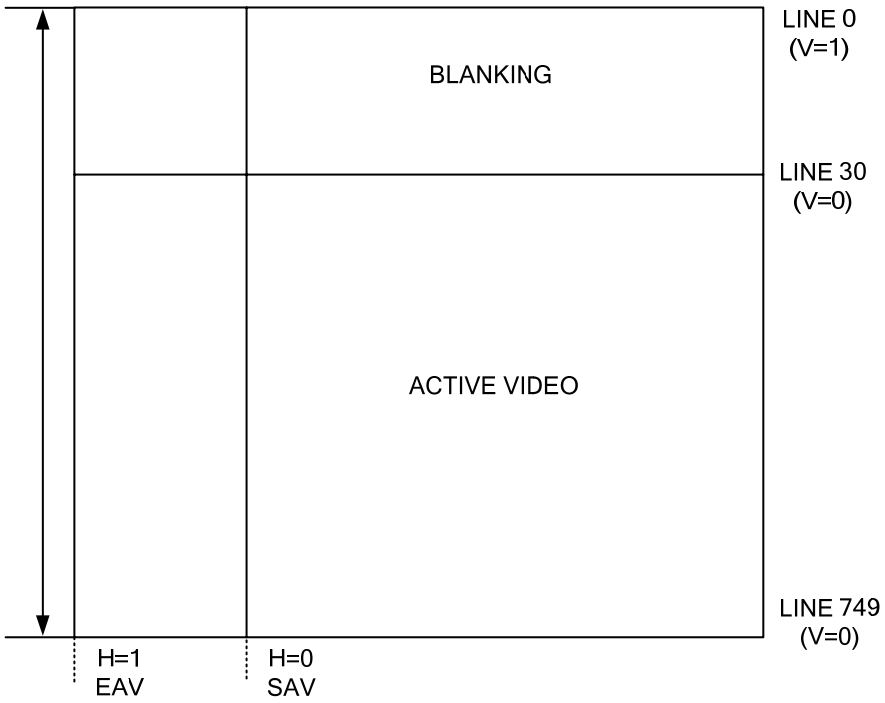
VICAP 支持 Y/C 分开输入的高清接口时序，此时需要用到 2 个端口，一个端口用来传输亮度，另一个端口用来传输色度，如图 11-7 和图 11-8 所示。

图11-7 高清接口输入时序水平时序



海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

图11-8 高清接口输入时序垂直时序

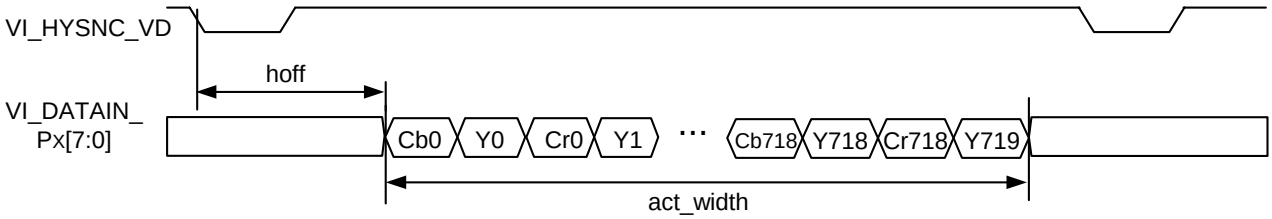


ITU-R BT.601 YCbCr4:2:2

（1）水平时序

水平脉冲表示新的的一行开始如图 11-9 所示。经过 hoff（可配，NTSC525 行系统该值为 244，PAL625 行系统该值为 264 个时钟后，行前消隐区结束，进入行有效数据区，经过 act_width（可配，典型值为 720 或 704）个时钟后行有效区域结束，进入行后消隐区。水平同步极性可配。

图11-9 ITU-R BT.601 水平时序图



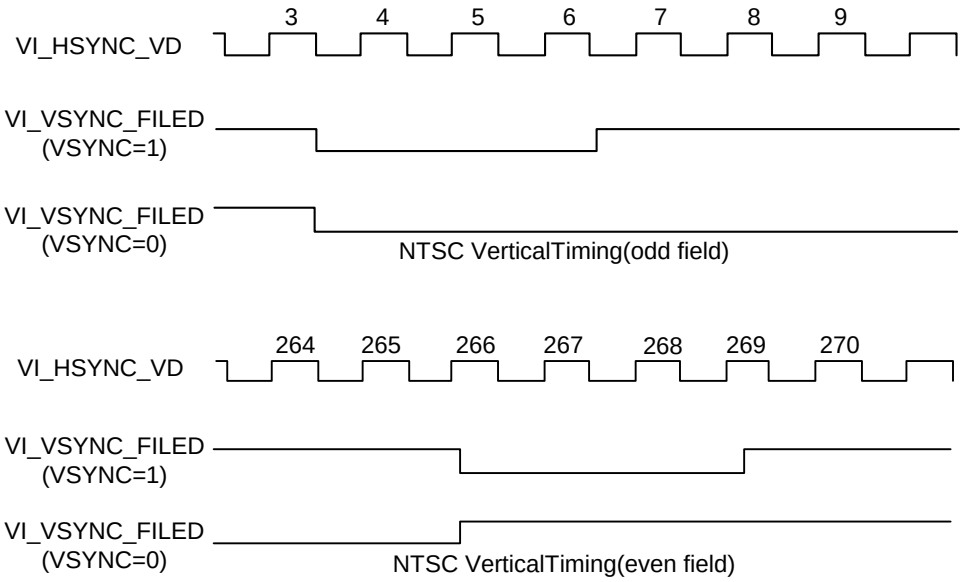
（2）垂直时序

ITU-R BT.601 建议：信号 VSYNC/FIELD 作为垂直同步信号。VSYNC 的脉冲或者 FIELD 的跳变标志奇偶场的开始，VICAP 支持以下 2 种垂直同步方法。

VI 在 NTSC 制式（525 行）和 PAL 制式（625 行）的垂直时序关系图如图 11-10 和图 11-11 所示，其中 VI_HSYNC_VD 为水平同步脉冲，VI_VSYNC_FIELD 在 VSYNC=1 时为垂直同步脉冲；在 VSYNC=0 时为场同步信号。

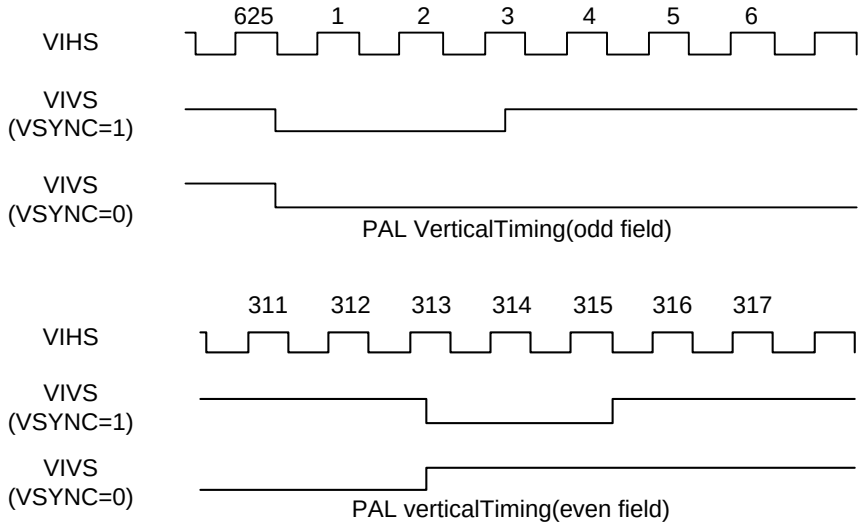
海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

图11-10 NTSC 制式垂直同步时序图



在 NTSC 隔行扫描制式下，第 1 场的垂直同步信号在第 4 行的起始位置变为低电平，持续 3 行低电平后，在第 7 行的起始位置变为高电平。VICAP 接收从第 22 行开始到第 261 行结束的 240 行数据。第 2 场的垂直同步信号在第 266 行的中间位置变为低电平，持续 3 行低电平后，在第 269 行中间位置变为高电平。VICAP 接收从第 285 行开始第 524 行结束的 240 行数据。

图11-11 PAL 制式垂直同步时序图



在 PAL 隔行扫描制式下，第 1 场的垂直同步信号在第 1 行起始位置变为低电平，持续 2.5 行低电平后，在第 3 行的中间位置变为高电平。VICAP 接收从第 24 行开始到第 310 行结束的 288 行数据。第 2 场的垂直同步信号在第 313 行的中间位置变为低电平，

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

持续 2.5 行低电平后，在第 316 行的起始位置变为高电平。VICAP 接收从第 336 行开始到第 623 行结束的 288 行数据。

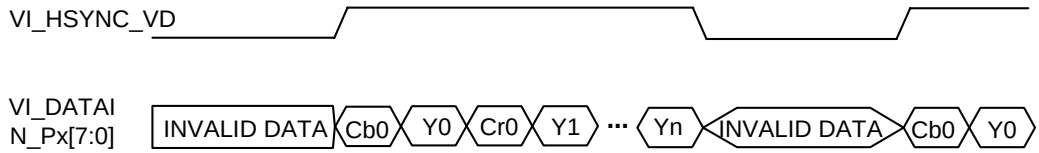
上面两种为典型的 BT.601 垂直时序，VICAP 内部支持场开始到场有效行开始之间的行数可配，场有效行的行数可配，垂直同步的极性可配。

数字摄像头接口时序

（1）水平时序

VICAP 接数字摄像头时，VI_HSYNC_VD 表示数据有效信号，数据有效信号极性可配，水平时序如图 11-12 所示。

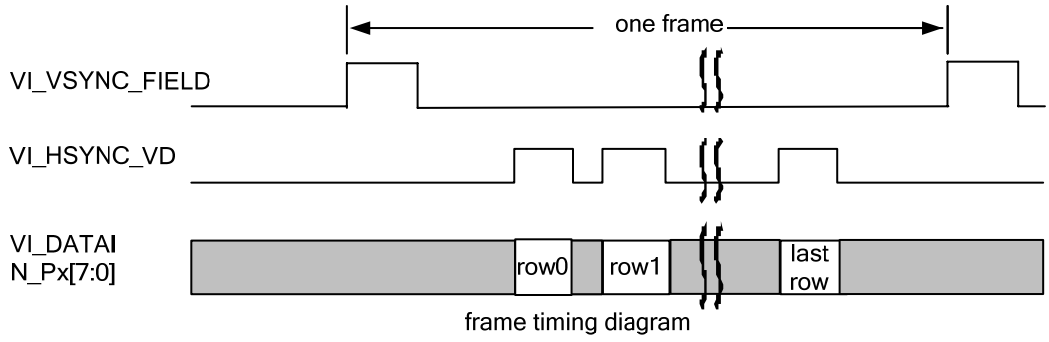
图11-12 数字摄像头水平时序



（2）垂直时序

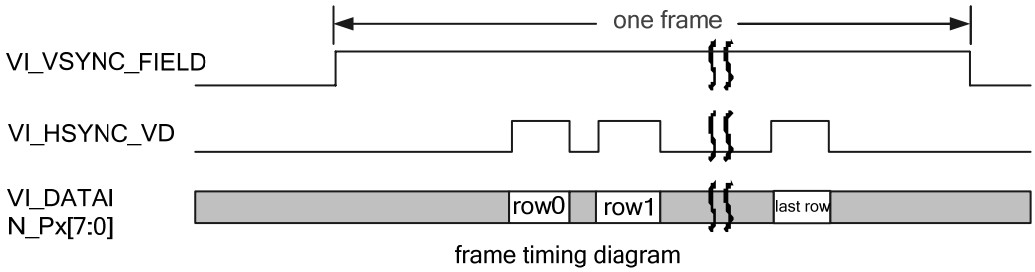
VICAP 支持两种垂直时序脉冲方式和行有效方式，如图 11-13 和图 11-14 所示。垂直同步极性可配。

图11-13 数字摄像头垂直时序脉冲方式



海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

图11-14 数字摄像头垂直时序行有效方式

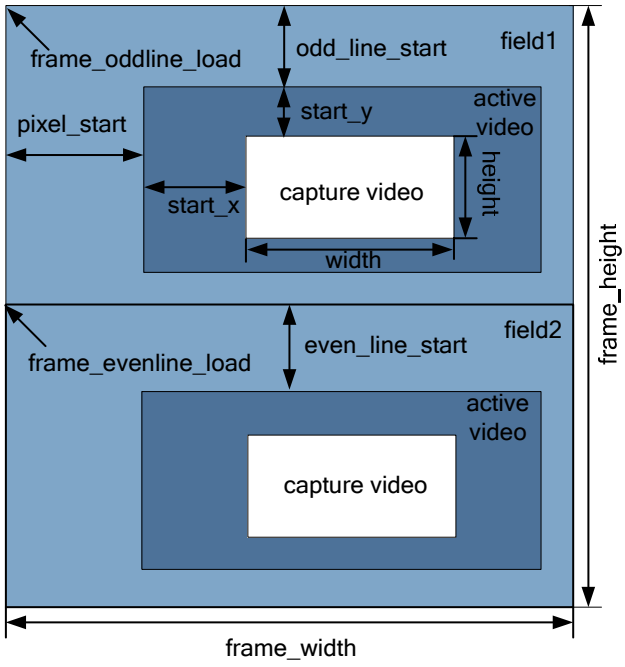


对于 VICAP 内部处理来说，这两种时序相同，VICAP 内部检测到一个上升沿或下降沿，这认为是一帧的开始，然后检测数据有效信号，来判断当前数据是否有效。

11.1.3.3 图象 CROP

有效视频范围如图 11-15 所示。开始于水平消隐和垂直消隐之后。而实际显示的视图区域常常包含在有效视频范围之内，相对有效视频的边界有一点点缩小，其目的是避免边缘效应。

图11-15 有效图像区域与水平垂直消隐关系图



11.1.3.4 图像存储模式

图像存储模式包括：

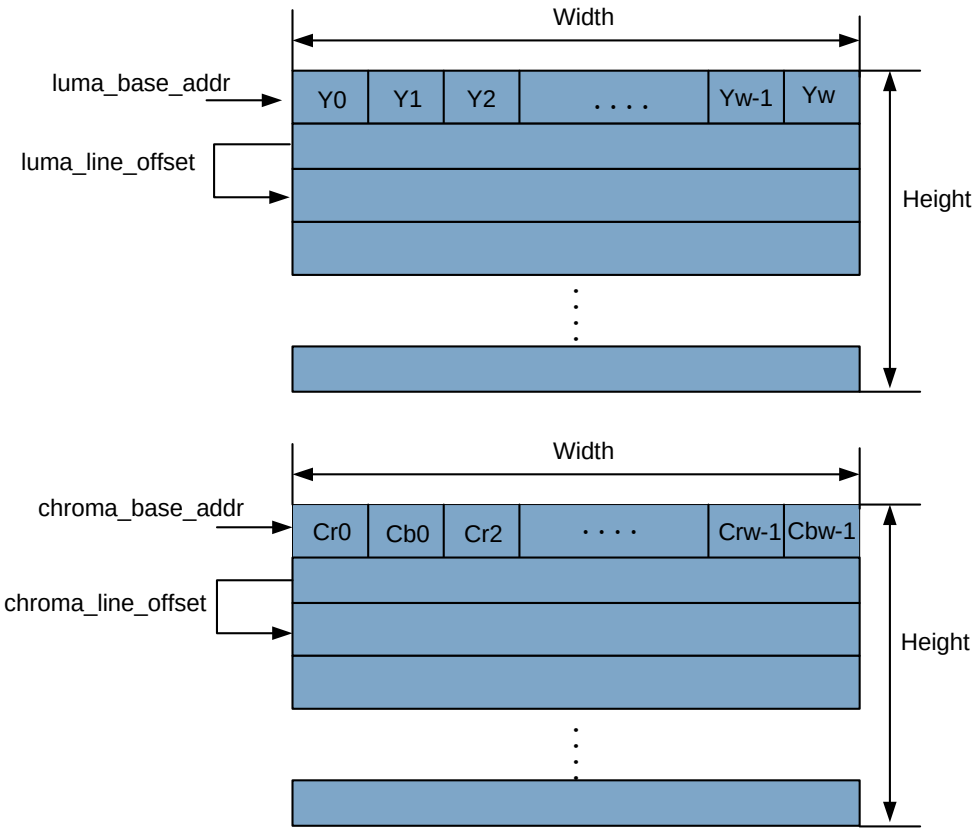
- semi-planar YcbCr 存储

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

系统设定了视图区域后，对读入数据按照 semi-planar 方式存储，即亮度分量和色度分量分别存储在 DDR 中的亮度存储空间和色度存储空间。

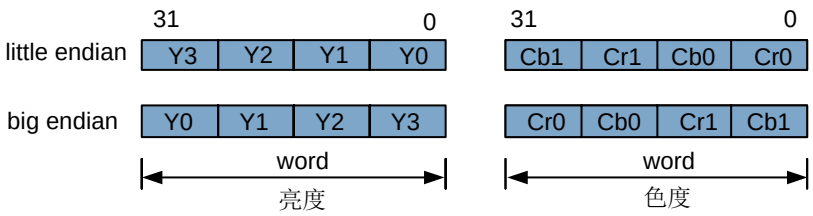
- 在 1 行内，亮度、色度分量各自连续存储。
- 连续 2 行之间的存储，可以通过系统定义的行首与行首之间的存储间隔参数 offset 定义。亮度和色度分量在 DDR 中的存储位置由起始地址 base_addr 来指示。VI 捕获的 YCbCr4:2:2 数据的存储结构如图 11-16 所示。

图11-16 YCbCr4:2:2 的存储模式



在 DDR，数据的存储是以 word（32bit）为单位。由 4 个 8bit 像素组成一个 32bit 的 word，在 4 个字节构成一个 word 时有 2 种方式：big endian 和 little endian。图 11-17 是以亮度和色度分量为例来说明 big endian 和 little endian 的存储方式。

图11-17 big endian 和 little endian 图像存储模式



海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

VICAP 只支持采用 little endian 方式存储数据的 DDR。

11.1.3.5 水平镜像和垂直镜像（mirror and flip）

当 sensor 安装出现镜头水平和垂直颠倒的情况下时，可通过 VICAP 的水平和垂直镜像来纠正输出的图像，水平和垂直镜像是通过写入 DDR 地址的反向处理来实现的，但必须确保帧起始的首地址 128bit 对齐。

11.1.4 工作方式

11.1.4.1 VICAP 的 reg_newer 功能

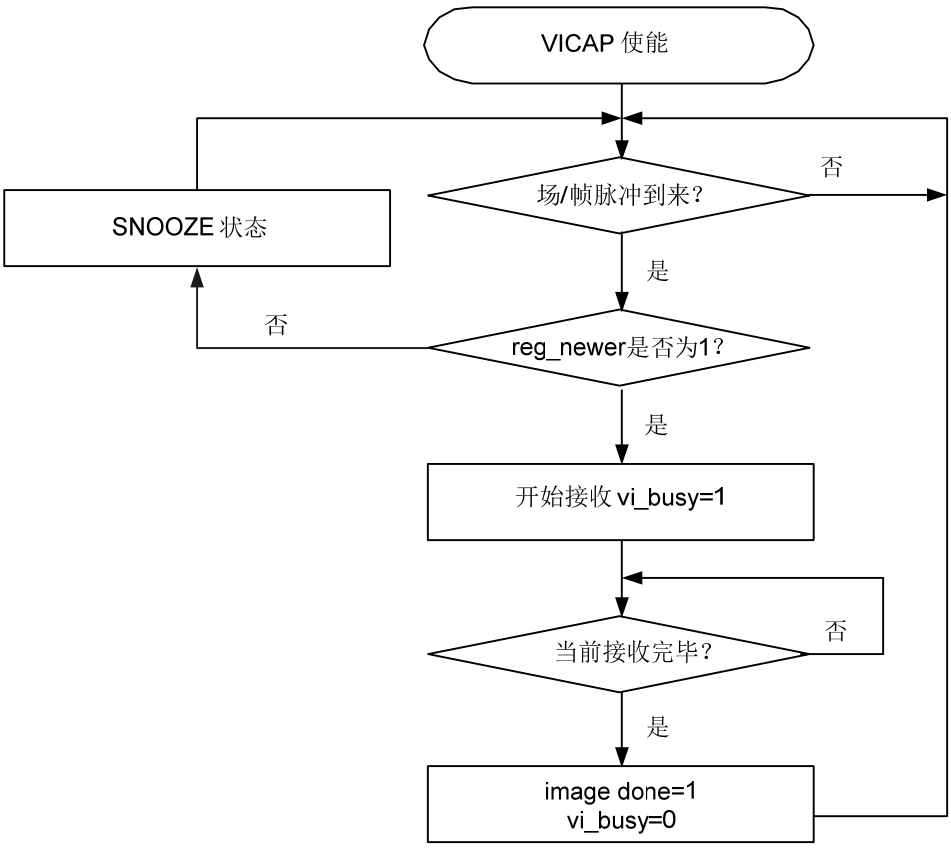
- 在软件使能 VICAP 某个通道之前，软件应该完成以下操作：
  - 完成对 VICAP 的属性寄存器的配置操作。
  - 写 reg_newer 位为“1”，通知 VICAP 模块当前的寄存器已经准备就绪。
- 使能 VICAP 后，VICAP 逻辑开始工作，当一场/帧到来的时候，则有：
  - 如果 reg_newer 为 0，则 VICAP 将不会接收数据，置硬件状态为 SNOOZE，等待下一场/帧的数据的到来。
  - 如果 reg_newer 为 1，则开始接收数据，同时给出寄存器更新中断(reg_update_int)，并设置硬件状态为 busy。
- 当接收完毕当前数据后，清除硬件 busy 状态。等到下一场/帧到来的时候，则：
  - 如果 reg_newer 为 0，则放弃下一场/帧数据的接收。
  - 如果 reg_newer 为 1，则可以紧接着前一次数据继续接收下一场/帧的数据。

11.1.4.2 硬件工作流程

VICAP 的硬件工作流程如图 11-18 所示。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

图11-18 VICAP 的硬件工作流程



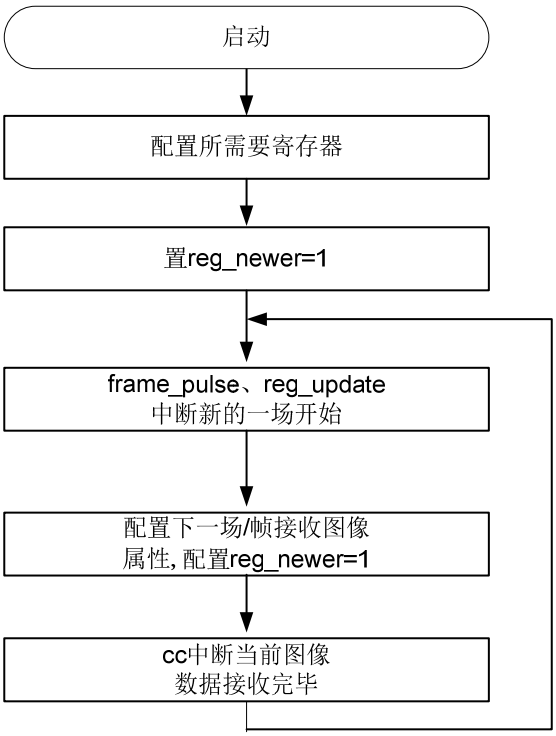
在 BT.656/601 和 digital camera 模式下，每接收完一场/帧规定数据，在下一场的到来时，VICAP 将检测 reg_newer 位。如果 reg_newer 位为 1（表示软件已经更新或者确认 VICAP 的寄存器），VICAP 将自动 load 软件所配置的寄存器值到工作寄存器（工作寄存器软件不可访问），然后将 reg_newer 位清 0，并开始接收下一场/帧数据。否则，只有等到 reg_newer 为 1 且新的一场/帧到来时开始接收数据。

11.1.4.3 软件配置流程

在中断方式下，软件的操作流程如图 11-19 所示。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

图11-19 软件操作流程



在使用 BT.656 模式和 digital camera 接口情况下，不需要配置时序寄存器。在 BT.601 模式下，还需要配置时序寄存器，时序寄存器包括垂直同步寄存器和水平同步寄存器。

11.1.5 寄存器概览

VICAP 寄存器空间分配如图 11-20 所示。

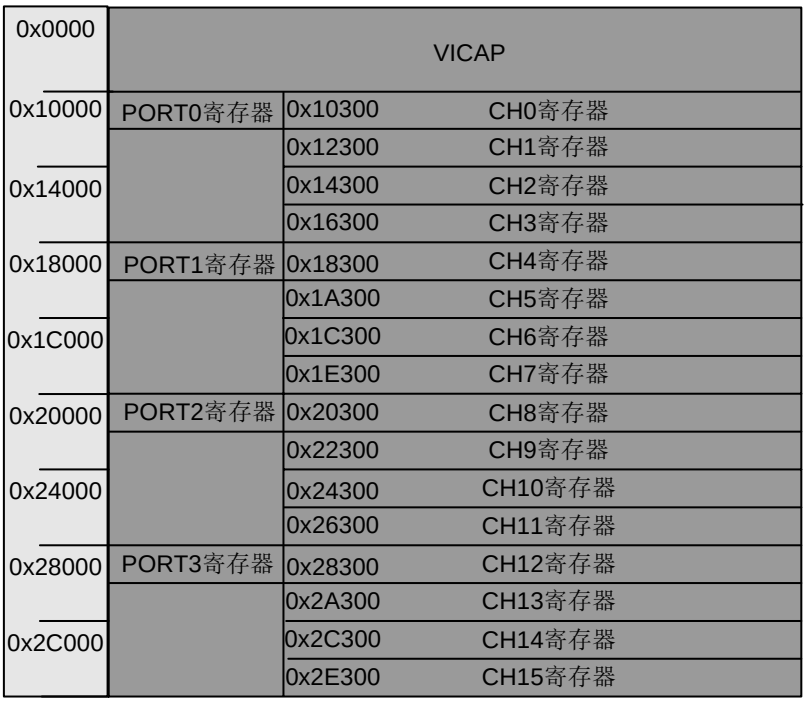
注意

由于最多外接 4 个端口，因此，表 11-5 中 PT_为前缀的寄存器只存在于 0，4，8，12 通道中；0x0000～0x0200 为 VICAP 系统寄存器。

- **端口 0 的数据可连接到通道 0、1、2、3。**
- **端口 1 的数据可连接到通道 4、5、6、7。**
- **端口 2 的数据可连接到通道 8、9、10、11。**
- **端口 3 的数据可连接到通道 12、13、14、15。**

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

图11-20 VICAP 寄存器空间分配



注：图中以0x标注的地址为偏移地址

寄存器概览如表 11-5 所示。

说明

表 11-5 中的寄存器针对 PORT0 和 CH0。

- 表 11-5 中 PT_XXX 是以 PORT0 为例进行介绍，PORT1～PORT3 的寄存器与 PORT0 相比，除偏移地址不同外，其他均相同；
- 表 11-5 中 CH_XXX 是以 chn0 为例进行介绍，CH1～CH15 的寄存器与 CH0 相比，除偏移地址不同外，其他均相同。

表11-5 寄存器概览（基址是 0x2058_0000）

偏移地址	名称	描述	页码
0x0000	WK_MODE	全局工作配置寄存器	11-19
0x0004	AXI_CFG	总线配置寄存器	11-19
0x0008	MIXER0_PRO_CFG0	MASTER 优先级配置寄存器	11-20
0x0100	VICAP_INT	中断指示寄存器	11-22
0x10000	PT_INTF_MOD	接口模式寄存器	11-24
0x10004	PT_R_MASK_L	R 分量 mask 寄存器	11-27
0x10008	PT_B_MASK_L	B 分量 mask 寄存器	11-27

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

偏移地址	名称	描述	页码
0x1000C	PT_G_MASK_L	G 分量 mask 寄存器	11-28
0x10014	PT_R_OFFSET_L	R 分量偏移寄存器	11-28
0x10018	PT_B_OFFSET_L	B 分量偏移寄存器	11-29
0x1001C	PT_G_OFFSET_L	G 分量偏移寄存器	11-29
0x10040	PT_TEST_CFG	接口测试配置寄存器	11-29
0x10044	PT_ID_STATUS	接口 ID 状态寄存器	11-30
0x10300	CH_INTF_CFG0	接口时序寄存器 0	11-31
0x10304	CH_INTF_CFG1	接口时序寄存器 1	11-34
0x10310	CH_INTF_HFB	水平前消隐区宽度寄存器	11-35
0x10314	CH_INTF_HACT	水平有效区宽度寄存器	11-35
0x10318	CH_INTF_HBB	水平后消隐区宽度寄存器	11-36
0x10320	CH_INTF_VFB	垂直前消隐区宽度寄存器	11-36
0x10324	CH_INTF_VACT	垂直有效区宽度寄存器	11-37
0x10328	CH_INTF_VBB	垂直后消隐区宽度寄存器	11-37
0x10330	CH_INTF_VBFB	垂直底场前消隐区宽度寄存器	11-37
0x10334	CH_INTF_VBACT	垂直底场有效区宽度寄存器	11-38
0x10338	CH_INTF_VBBB	垂直后消隐区宽度寄存器	11-38
0x10360	CH_FSTART_DLY	帧同步延迟寄存器	11-39
0x10400	CH_CTRL	通道控制寄存器	11-39
0x10404	CH_REG_NEWER	采集控制寄存器	11-39
0x10410	CH_CROP_START	CROP 起始位置寄存器	11-40
0x10414	CH_CROP_SIZE	CROP 大小置寄存器	11-40
0x10418	CH_YDES_SIZE	原始码流亮度存储大小寄存器	11-41
0x1041C	CH_CDES_SIZE	原始码流色度存储大小寄存器	11-41
0x10420	CH_YBASE_ADDR	原始码流亮度存储基地址寄存器	11-42
0x10424	CH_CBASE_ADDR	原始码流色度存储基地址寄存器	11-42
0x10428	CH_YLINE_OFFSET	原始码流亮度行偏移寄存器	11-43
0x1042C	CH_CLINE_OFFSET	原始码流色度行偏移寄存器	11-43
0x10430	CH_INT_RAW	通道原始中断寄存器	11-43

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

偏移地址	名称	描述	页码
0x10434	CH_INT	通道中断寄存器	11-45
0x10438	CH_INT_MASK	通道中断屏蔽寄存器	11-46
0x1043C	CH_STATUS	通道状态寄存器	11-47
0x10440	CH_IPI_STATUS_SIZE	通道大小指示寄存器	11-49
0x10444	CH_IPI_STATUS_SEAV	通道 SEAV 指示寄存器	11-49
0x10500	CH_DITHER_CFG	Dither 配置寄存器	11-49
0x10504	CH_DITHER_COEF0	Dither 系数寄存器 0	11-50
0x10508	CH_DITHER_COEF1	Dither 系数寄存器 1	11-51
0x1050C	CH_DITHER_SIZE	Dither 模块的输入图像宽度寄存器	11-51
0x10510	CH_MIR_CTRL	原始码流镜像控制寄存器	11-51
0x10700	CH_MSC_CFG	块屏蔽配置寄存器	11-52
0x10710	CH_BLOCK0_START	块 0 屏蔽起始位置寄存器	11-53
0x10714	CH_BLOCK1_START	块 1 屏蔽起始位置寄存器	11-53
0x10718	CH_BLOCK2_START	块 2 屏蔽起始位置寄存器	11-54
0x1071C	CH_BLOCK3_START	块 3 屏蔽起始位置寄存器	11-54
0x10720	CH_BLOCK0_SIZE	块 0 屏蔽大小寄存器	11-55
0x10724	CH_BLOCK1_SIZE	块 1 屏蔽大小寄存器	11-55
0x10728	CH_BLOCK2_SIZE	块 2 屏蔽大小寄存器	11-56
0x1072C	CH_BLOCK3_SIZE	块 3 屏蔽大小寄存器	11-56
0x10730	CH_BLOCK0_COLOR	块 0 屏蔽颜色寄存器	11-57
0x10734	CH_BLOCK1_COLOR	块 1 屏蔽颜色寄存器	11-57
0x10738	CH_BLOCK2_COLOR	块 2 屏蔽颜色寄存器	11-58
0x1073C	CH_BLOCK3_COLOR	块 3 屏蔽颜色寄存器	11-58
0x10800	CH_VCDS_CFG	主码流色度垂直下采样配置寄存器	11-59
0x10808	CH_VCDS_COEF	主码流色度垂直下采样系数寄存器	11-59
0x10940	CH_LHFIR_SPH	亮度水平缩放参数配置寄存器	11-60
0x10944	CH_CHFIR_SPH	色度水平缩放参数配置寄存器	11-61
0x10948	CH_LHFIR_OFFSET	亮度缩放水平位置偏移寄存器	11-61
0x1094C	CH_CHFIR_OFFSET	色度缩放水平位置偏移寄存器	11-62

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

偏移地址	名称	描述	页码
0x10980	CH_LHFIR_COEF0	亮度水平缩放系数寄存器 0	11-62
0x10984	CH_LHFIR_COEF1	亮度水平缩放系数寄存器 1	11-63
0x10988	CH_LHFIR_COEF2	亮度水平缩放系数寄存器 2	11-63
0x10990	CH_CHFIR_COEF0	色度水平缩放系数寄存器 0	11-63
0x10994	CH_CHFIR_COEF1	色度水平缩放系数寄存器 1	11-64
0x10998	CH_CHFIR_COEF2	色度水平缩放系数寄存器 2	11-64
0x10B00	CH_Y_CLIP_CFG	亮度 CLIP 配置寄存器	11-65
0x10B04	CH_C_CLIP_CFG	色度 CLIP 配置寄存器	11-65

11.1.6 寄存器描述

WK_MODE

WK_MODE 为全局工作配置寄存器。

Offset Address	Register Name	Total Reset Value
0x0000	WK_MODE	0x0000_0000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1	0
Name	reserved								power_mode
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0	0

Bits	Access	Name	Description
[31:1]	-	reserved	保留。
[0]	RW	power_mode	时钟模式。 0：低功耗关闭； 1：低功耗打开。

AXI_CFG

AXI_CFG 为总线配置寄存器。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x0004	AXI_CFG	0xF0F0_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved												m0_id				reserved												m0_otd			
Reset	1	1	1	1	0	0	0	0	1	1	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:20]	-	reserved	保留。
[19:16]	RW	m0_id	ID 号。
[15:4]	-	reserved	保留。
[3:0]	RW	m0_otd	outstanding 个数。 outstanding 应该大于 0，小于等于 4。

MIXER0_PRO_CFG0

MIXER0_PRO_CFG0 为 MASTER 优先级配置寄存器。

Offset Address	Register Name	Total Reset Value
0x0008	MIXER0_PRO_CFG0	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	ch15_c_pro	ch15_y_pro	ch14_c_pro	ch14_y_pro	ch13_c_pro	ch13_y_pro	ch12_c_pro	ch12_y_pro	ch11_c_pro	ch11_y_pro	ch10_c_pro	ch10_y_pro	ch9_c_pro	ch9_y_pro	ch8_c_pro	ch8_y_pro	ch7_c_pro	ch7_y_pro	ch6_c_pro	ch6_y_pro	ch5_c_pro	ch5_y_pro	ch4_c_pro	ch4_y_pro	ch3_c_pro	ch3_y_pro	ch2_c_pro	ch2_y_pro	ch1_c_pro	ch1_y_pro	ch0_c_pro	ch0_y_pro
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31]	RW	ch15_c_pro	通道 15 色度优先级设置，0 为高优先级。
[30]	RW	ch15_y_pro	通道 15 亮度优先级设置，0 为高优先级。
[29]	RW	ch14_c_pro	通道 14 色度优先级设置，0 为高优先级。
[28]	RW	ch14_y_pro	通道 14 亮度优先级设置，0 为高优先级。
[27]	RW	ch13_c_pro	通道 13 色度优先级设置，0 为高优先级。
[26]	RW	ch13_y_pro	通道 13 亮度优先级设置，0 为高优先级。
[25]	RW	ch12_c_pro	通道 12 色度优先级设置，0 为高优先级。
[24]	RW	ch12_y_pro	通道 12 亮度优先级设置，0 为高优先级。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x0008	MIXER0_PRO_CFG0	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	ch15_c_pro	ch15_y_pro	ch14_c_pro	ch14_y_pro	ch13_c_pro	ch13_y_pro	ch12_c_pro	ch12_y_pro	ch11_c_pro	ch11_y_pro	ch10_c_pro	ch10_y_pro	ch9_c_pro	ch9_y_pro	ch8_c_pro	ch8_y_pro	ch7_c_pro	ch7_y_pro	ch6_c_pro	ch6_y_pro	ch5_c_pro	ch5_y_pro	ch4_c_pro	ch4_y_pro	ch3_c_pro	ch3_y_pro	ch2_c_pro	ch2_y_pro	ch1_c_pro	ch1_y_pro	ch0_c_pro	ch0_y_pro
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[23]	RW	ch11_c_pro	通道 11 色度优先级设置，0 为高优先级。
[22]	RW	ch11_y_pro	通道 11 亮度优先级设置，0 为高优先级。
[21]	RW	ch10_c_pro	通道 10 色度优先级设置，0 为高优先级。
[20]	RW	ch10_y_pro	通道 10 亮度优先级设置，0 为高优先级。
[19]	RW	ch9_c_pro	通道 9 色度优先级设置，0 为高优先级。
[18]	RW	ch9_y_pro	通道 9 亮度优先级设置，0 为高优先级。
[17]	RW	ch8_c_pro	通道 8 色度优先级设置，0 为高优先级。
[16]	RW	ch8_y_pro	通道 8 亮度优先级设置，0 为高优先级。
[15]	RW	ch7_c_pro	通道 7 色度优先级设置，0 为高优先级。
[14]	RW	ch7_y_pro	通道 7 亮度优先级设置，0 为高优先级。
[13]	RW	ch6_c_pro	通道 6 色度优先级设置，0 为高优先级。
[12]	RW	ch6_y_pro	通道 6 亮度优先级设置，0 为高优先级。
[11]	RW	ch5_c_pro	通道 5 色度优先级设置，0 为高优先级。
[10]	RW	ch5_y_pro	通道 5 亮度优先级设置，0 为高优先级。
[9]	RW	ch4_c_pro	通道 4 色度优先级设置，0 为高优先级。
[8]	RW	ch4_y_pro	通道 4 亮度优先级设置，0 为高优先级。
[7]	RW	ch3_c_pro	通道 3 色度优先级设置，0 为高优先级。
[6]	RW	ch3_y_pro	通道 3 亮度优先级设置，0 为高优先级。
[5]	RW	ch2_c_pro	通道 2 色度优先级设置，0 为高优先级。
[4]	RW	ch2_y_pro	通道 2 亮度优先级设置，0 为高优先级。
[3]	RW	ch1_c_pro	通道 1 色度优先级设置，0 为高优先级。
[2]	RW	ch1_y_pro	通道 1 亮度优先级设置，0 为高优先级。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x0008	MIXER0_PRO_CFG0	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	ch15_c_pro	ch15_y_pro	ch14_c_pro	ch14_y_pro	ch13_c_pro	ch13_y_pro	ch12_c_pro	ch12_y_pro	ch11_c_pro	ch11_y_pro	ch10_c_pro	ch10_y_pro	ch9_c_pro	ch9_y_pro	ch8_c_pro	ch8_y_pro	ch7_c_pro	ch7_y_pro	ch6_c_pro	ch6_y_pro	ch5_c_pro	ch5_y_pro	ch4_c_pro	ch4_y_pro	ch3_c_pro	ch3_y_pro	ch2_c_pro	ch2_y_pro	ch1_c_pro	ch1_y_pro	ch0_c_pro	ch0_y_pro
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[1]	RW	ch0_c_pro	通道 0 色度优先级设置，0 为高优先级。
[0]	RW	ch0_y_pro	通道 0 亮度优先级设置，0 为高优先级。

VICAP_INT

VICAP_INT 为中断指示。寄存器。

Offset Address	Register Name	Total Reset Value
0x0100	VICAP_INT	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																int_ch15	int_ch14	int_ch13	int_ch12	int_ch11	int_ch10	int_ch9	int_ch8	int_ch7	int_ch6	int_ch5	int_ch4	int_ch3	int_ch2	int_ch1	int_ch0
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:16]	-	reserved	保留。
[15]	RO	int_ch15	通道 15 中断指示。 0：无中断； 1：有中断。
[14]	RO	int_ch14	通道 14 中断指示。 0：无中断； 1：有中断。
[13]	RO	int_ch13	通道 13 中断指示。 0：无中断； 1：有中断。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x0100	VICAP_INT	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																int_ch15	int_ch14	int_ch13	int_ch12	int_ch11	int_ch10	int_ch9	int_ch8	int_ch7	int_ch6	int_ch5	int_ch4	int_ch3	int_ch2	int_ch1	int_ch0
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[12]	RO	int_ch12	通道 12 中断指示。 0：无中断； 1：有中断。
[11]	RO	int_ch11	通道 11 中断指示。 0：无中断； 1：有中断。
[10]	RO	int_ch10	通道 10 中断指示。 0：无中断； 1：有中断。
[9]	RO	int_ch9	通道 9 中断指示。 0：无中断； 1：有中断。
[8]	RO	int_ch8	通道 8 中断指示。 0：无中断； 1：有中断。
[7]	RO	int_ch7	通道 7 中断指示。 0：无中断； 1：有中断。
[6]	RO	int_ch6	通道 6 中断指示。 0：无中断； 1：有中断。
[5]	RO	int_ch5	通道 5 中断指示。 0：无中断； 1：有中断。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x0100	VICAP_INT	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																int_ch15	int_ch14	int_ch13	int_ch12	int_ch11	int_ch10	int_ch9	int_ch8	int_ch7	int_ch6	int_ch5	int_ch4	int_ch3	int_ch2	int_ch1	int_ch0
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[4]	RO	int_ch4	通道 4 中断指示。 0：无中断； 1：有中断。
[3]	RO	int_ch3	通道 3 中断指示。 0：无中断； 1：有中断。
[2]	RO	int_ch2	通道 2 中断指示。 0：无中断； 1：有中断。
[1]	RO	int_ch1	通道 1 中断指示。 0：无中断； 1：有中断。
[0]	RO	int_ch0	通道 0 中断指示。 0：无中断； 1：有中断。

PT_INTF_MOD

PT_INTF_MOD 为接口模式寄存器。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x10000	PT_INTF_MOD	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved								interleave_seq	ch3_id_en	ch2_id_en	ch1_id_en	ch0_id_en	ch3_id		ch2_id		ch1_id		ch0_id	port_cap_mode		port_mux_mode		fix_code	reserved		port_mod		reserved		clk_mode	port_en
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:25]	-	reserved	端口寄存器，共 4 个端口。 偏移地址： 0x1_0000～0x1_00FF 为端口 0 的地址； 0x1_8000～0x1_80FF 为端口 1 的地址； 0x2_0000～0x2_00FF 为端口 2 的地址； 0x2_8000～0x2_80FF 为端口 3 的地址。 以下只列出端口 0 的地址，其他端口的寄存器与端口 0 相同。
[24]	RW	interleave_seq	interleave 时的 YC 顺序。 0：C 在前； 1：Y 在前。
[23]	RW	ch3_id_en	3 通道 ID 使能。 0：不检测 ID； 1：通过 ID 选择数据通路。
[22]	RW	ch2_id_en	2 通道 ID 使能。 0：不检测 ID； 1：通过 ID 选择数据通路。
[21]	RW	ch1_id_en	1 通道 ID 使能。 0：不检测 ID； 1：通过 ID 选择数据通路。
[20]	RW	ch0_id_en	0 通道 ID 使能。 0：不检测 ID； 1：通过 ID 选择数据通路。
[19:18]	RW	ch3_id	3 通道 ID 使能时，根据 ID 选择数据通路。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x10000	PT_INTF_MOD	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved							interleave_seq	ch3_id_en	ch2_id_en	ch1_id_en	ch0_id_en	ch3_id		ch2_id		ch1_id		ch0_id		port_cap_mode		port_mux_mode		fix_code	reserved		port_mod	reserved		clk_mode	port_en
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[17:16]	RW	ch2_id	2 通道 ID 使能时，根据 ID 选择数据通路。
[15:14]	RW	ch1_id	1 通道 ID 使能时，根据 ID 选择数据通路。
[13:12]	RW	ch0_id	0 通道 ID 使能时，根据 ID 选择数据通路。
[11:10]	RW	port_cap_mode	端口模式。 0：BT656 模式； 1：BT601 模式； 2：DC 模式； 3：interleave 模式。
[9:8]	RW	port_mux_mode	复合模式。 0：1 路复合模式； 1：2 路复合模式； 2：4 路复合模式； 3：保留。
[7]	RW	fix_code	同步码最高 bit； 0：同步码最高 bit 为 1； 1：同步码最高 bit 为 0。
[6:5]	-	reserved	保留。
[4:3]	RW	port_mod	端口模式。 00：单分量输入； 01：双分量输入； 10：三分量输入； 11：保留。
[2]	-	reserved	保留。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x10000	PT_INTF_MOD	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved								interleave_seq	ch3_id_en	ch2_id_en	ch1_id_en	ch0_id_en	ch3_id		ch2_id		ch1_id		ch0_id	port_cap_mode		port_mux_mode		fix_code		reserved		port_mod		reserved		clk_mode	port_en
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[1]	RW	clk_mode	时钟模式。 0：上升沿采样； 1：下降沿采样。
[0]	RW	port_en	端口使能。 0：关闭； 1：使能。

PT_R_MASK_L

PT_R_MASK_L 为 R 分量 mask 寄存器。

Offset Address	Register Name	Total Reset Value
0x10004	PT_R_MASK_L	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	r_mask																															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:0]	RW	r_mask	R 分量 mask。

PT_B_MASK_L

PT_B_MASK_L 为 B 分量 mask 寄存器。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x10008	PT_B_MASK_L	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	b_mask																															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:0]	RW	b_mask	B 分量 mask。

PT_G_MASK_L

PT_G_MASK_L 为 G 分量 mask 寄存器。

Offset Address	Register Name	Total Reset Value
0x1000C	PT_G_MASK_L	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	g_mask																															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:0]	RW	g_mask	G 分量 mask。

PT_R_OFFSET_L

PT_R_OFFSET_L 为 R 分量偏移寄存器。

Offset Address	Register Name	Total Reset Value
0x10014	PT_R_OFFSET_L	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																								r_offset							
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:8]	-	reserved	保留。
[7:0]	RW	r_offset	R 分量偏移。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

PT_B_OFFSET_L

PT_B_OFFSET_L 为 B 分量偏移寄存器。

Offset Address	Register Name	Total Reset Value
0x10018	PT_B_OFFSET_L	0x0000_0000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved						b_offset	
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[31:8]	-	reserved	保留。
[7:0]	RW	b_offset	B 分量偏移。

PT_G_OFFSET_L

PT_G_OFFSET_L 为 G 分量偏移寄存器。

Offset Address	Register Name	Total Reset Value
0x1001C	PT_G_OFFSET_L	0x0000_0000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved						g_offset	
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[31:8]	-	reserved	保留。
[7:0]	RW	g_offset	G 分量偏移。

PT_TEST_CFG

PT_TEST_CFG 为接口测试配置寄存器。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x10040	PT_TEST_CFG	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																													interlace	hsync_sel	cbar_en
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:3]	-	reserved	保留。
[2]	RW	interlace	隔行逐行模式。 0：逐行； 1：隔行。
[1]	RW	hsync_sel	测试模式行同步信号选择。
[0]	RW	cbar_en	color_bar 测试使能。 0：关闭； 1：使能；

PT_ID_STATUS

PT_ID_STATUS 为接口 ID 状态寄存器。

Offset Address	Register Name	Total Reset Value
0x10044	PT_ID_STATUS	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																								id3		id2		id1		id0	
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:8]	-	reserved	保留。
[7:6]	RO	id3	通道 3 ID 号码。
[5:4]	RO	id2	通道 2 ID 号码。
[3:2]	RO	id1	通道 1 ID 号码。
[1:0]	RO	id0	通道 0 ID 号码。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

CH_INTF_CFG0

CH_INTF_CFG0 为接口时序寄存器 0。

Offset Address	Register Name	Total Reset Value
0x10300	CH_INTF_CFG0	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																					vsync_valid_neg	vsync_valid	port_scan_mod		port_mode		vsync_mode	vsync_polar	hsync_mode	hsync_polar	reserved
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:11]	-	reserved	保留。
[10]	RW	vsync_valid_neg	管脚 VI_P_VSYNC_FIELD 配置信号。 0：高电平有效；(在 vsync_valid 为 1 时有效) 1：低电平有效。(在 vsync_valid 为 1 时有效)
[9]	RW	vsync_valid	管脚 VI_P_VSYNC_FIELD 配置信号。 1：垂直有效模式； 0：垂直脉冲模式。
[8:7]	RW	port_scan_mod	端口数据输入模式。 bit[8]：Scan_mode[1]。 0：亮度色度复合模式； 1：亮度色度分离模式。 bit[7]：Scan_mode[0]。 0：隔行输入模式； 1：逐行输入模式。
[6:5]	RW	port_mode	端口数据接收模式。 00：BT.656 模式； 01：BT.601 模式； 10：数字摄像头模式； 其他：保留。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

[4]	RW	vsync_mode	管脚 VI_P_VSYNC_FIELD 配置信号。 0：场号(奇场或偶场)或 toggle 模式； BT.601 模式下表示场号； camera 接口情况下表示 toggle 模式。 1：垂直脉冲模式或有效模式。
[3]	RW	vsync_polar	管脚 VI_P_VSYNC_FIELD 极性配置。 0：高电平有效。 在脉冲模式下(port_vsync=1)，正脉冲表示同步脉冲； 在场号模式下(port_vsync=0)，高电平表示偶数场，低电平表示奇数场； 行有效模式下，高电平表示行有效。 1：低电平有效。 在脉冲模式下(port_vsync=1)，负脉冲表示同步脉冲； 在场号模式下(port_vsync=0)，低电平表示偶数场，高电平表示奇数场； 行有效模式下，低电平表示行有效。
[2]	RW	hsync_mode	管脚 VI_P_HSYNC_VD 配置信号。 0：VI_P_HSYNC_VD 为数据有效信号； 1：VI_P_HSYNC_VD 为水平同步脉冲信号。 说明：16bit 同步接口该比特配置为 1。
[1]	RW	hsync_polar	管脚 VI_P_HSYNC_VD 极性配置。 0：高电平有效。 在脉冲模式下(port_hsync=1)，正脉冲表示同步脉冲； 在数据有效模式下(port_hsync=0)，高电平表示数据有效。 1：低电平有效。 在脉冲模式下(port_hsync=1)，负脉冲表示同步脉冲； 在数据有效模式下(port_hsync=0)，低电平表示数据有效。
[0]	-	reserved	保留。

CH_INTF_CFG1

CH_INTF_CFG1 为接口时序寄存器 1。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x10304	CH_INTF_CFG1	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																port_mod				reserved								yuv_seq		ftc_cfg	ftc_polar	reserved	sav_ver_en
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:16]	-	reserved	保留。
[15:14]	RW	port_mod	端口模式。 00：单分量输入； 01：双分量输入； 10：三分量输入； 11：保留。
[13:6]	-	reserved	保留。
[5:4]	RW	yuv_seq	YUV 输入顺序寄存器。 00：UYVY； 01：VYUY； 10：YUYV； 11：YVYU。 当为两分量的时候，表示 UV 顺序。 00：VUVU； 01：UVUV； 10/11：保留。
[3]	RW	ftc_cfg	BT.656 定时基准码最高 bit 配置。 0：固定为 1； 1：固定为 0。
[2]	RW	ftc_polar	BT.656 定时基准码场指示位(F)极性。 0：1st field:F=0，2nd field:F=1(标准)； 1：1st field:F=1，2nd field:F=0(非标准)。
[1]	-	reserved	保留。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

[0]	RW	sav_ver_en	SAV(Start of Active Video)/EAV(End of Activevideo)数据校验使能。。 0：不使能校验； 1：使能校验。

CH_INTF_HFB

CH_INTF_HFB 为水平前消隐区宽度寄存器。

Offset Address	Register Name	Total Reset Value
0x10310	CH_INTF_HFB	0x0000_0010

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																hfb															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0

Bits	Access	Name	Description
[31:16]	-	reserved	保留。
[15:0]	RW	hfb	水平前消隐区宽度。

CH_INTF_HACT

CH_INTF_HACT 为水平有效区宽度寄存器。

Offset Address	Register Name	Total Reset Value
0x10314	CH_INTF_HACT	0x0000_0010

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																hact															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0

Bits	Access	Name	Description
[31:16]	-	reserved	保留。
[15:0]	RW	hact	水平有效区宽度。

CH_INTF_HBB

CH_INTF_HBB 为水平后消隐区宽度寄存器。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x10318	CH_INTF_HBB	0x0000_0010

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																hbb															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0

Bits	Access	Name	Description
[31:16]	-	reserved	保留。
[15:0]	RW	hbb	水平后消隐区宽度。

CH_INTF_VFB

CH_INTF_VFB 为垂直前消隐区宽度寄存器。

Offset Address	Register Name	Total Reset Value
0x10320	CH_INTF_VFB	0x0000_0010

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																vfb															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0

Bits	Access	Name	Description
[31:16]	-	reserved	保留。
[15:0]	RW	vfb	垂直前消隐区宽度。

CH_INTF_VACT

CH_INTF_VACT 为垂直有效区宽度寄存器。

Offset Address	Register Name	Total Reset Value
0x10324	CH_INTF_VACT	0x0000_0010

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																vact															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0

Bits	Access	Name	Description
[31:16]	-	reserved	保留。
[15:0]	RW	vact	垂直有效区宽度。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

CH_INTF_VBB

CH_INTF_VBB 为垂直后消隐区宽度寄存器。

Offset Address	Register Name	Total Reset Value
0x10328	CH_INTF_VBB	0x0000_0010

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																vbb															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0

Bits	Access	Name	Description
[31:16]	-	reserved	保留。
[15:0]	RW	vbb	垂直后消隐区宽度。

CH_INTF_VBFB

CH_INTF_VBFB 为垂直底场前消隐区宽度寄存器。

Offset Address	Register Name	Total Reset Value
0x10330	CH_INTF_VBFB	0x0000_0010

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																vbfb															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0

Bits	Access	Name	Description
[31:16]	-	reserved	保留。
[15:0]	RW	vbfb	垂直底场前消隐区宽度。

CH_INTF_VBACT

CH_INTF_VBACT 为垂直底场有效区宽度寄存器。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x10334	CH_INTF_VBACT	0x0000_0010

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																vact															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0

Bits	Access	Name	Description
[31:16]	-	reserved	保留。
[15:0]	RW	vact	垂直底场有效区宽度。

CH_INTF_VBBB

CH_INTF_VBBB 为垂直后消隐区宽度寄存器。

Offset Address	Register Name	Total Reset Value
0x10338	CH_INTF_VBBB	0x0000_0010

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																vbbb															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0

Bits	Access	Name	Description
[31:16]	-	reserved	保留。
[15:0]	RW	vbbb	垂直底场后消隐区宽度。

CH_FSTART_DLY

CH_FSTART_DLY 为帧同步延迟寄存器。

Offset Address	Register Name	Total Reset Value
0x10360	CH_FSTART_DLY	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:0]	RW	reserved	帧同步延迟寄存器

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

CH_CTRL

CH_CTRL 为通道控制寄存器。

Offset Address	Register Name	Total Reset Value
0x10400	CH_CTRL	0x0000_0000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1	0
Name	reserved								ch_en
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0	0

Bits	Access	Name	Description
[31:1]	-	reserved	保留。
[0]	RW	ch_en	原始码流使能。 0：不使能； 1：使能。

CH_REG_NEWER

CH_REG_NEWER 为采集控制寄存器。

Offset Address	Register Name	Total Reset Value
0x10404	CH_REG_NEWER	0x0000_0000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1	0
Name	reserved								reg_newer
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0	0

Bits	Access	Name	Description
[31:1]	-	reserved	保留。
[0]	RW	reg_newer	通道更新寄存器，每帧自动清 0。

CH_CROP_START

CH_CROP_START 为 CROP 起始位置寄存器。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x10410	CH_CROP_START	0x0000_0000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved	y_start			reserved	x_start		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[31:28]	-	reserved	保留。
[27:16]	RW	y_start	开始获取图像的行号。
[15:12]	-	reserved	保留。
[11:0]	RW	x_start	开始获取图像的像素号。

CH_CROP_SIZE

CH_CROP_SIZE 为 CROP 大小置寄存器。

Offset Address	Register Name	Total Reset Value
0x10414	CH_CROP_SIZE	0x023F_03BF

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved	crop_hgt			reserved	crop_wth		
Reset	0 0 0 0	0 0 1 0	0 0 1 1	1 1 1 1	0 0 0 0	0 0 1 1	1 0 1 1	1 1 1 1

Bits	Access	Name	Description
[31:28]	-	reserved	保留。
[27:16]	RW	crop_hgt	获取图像的高度(以行为单位)。
[15:12]	-	reserved	保留。
[11:0]	RW	crop_wth	获取图像一行的宽度(以像素为单位)。

CH_YDES_SIZE

CH_YDES_SIZE 为原始码流亮度存储大小寄存器。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x10418	CH_YDES_SIZE	0x023F_03BF

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				height												reserved				width											
Reset	0	0	0	0	0	0	1	0	0	0	1	1	1	1	1	1	0	0	0	0	0	0	1	1	1	0	1	1	1	1	1	1

Bits	Access	Name	Description
[31:28]	RW	reserved	保留。
[27:16]	RW	height	Y 分量的输出高度(以行为单位)。
[15:12]	-	reserved	保留。
[11:0]	RW	width	Y 分量的输出宽度(以像素为单位)。

CH_CDES_SIZE

CH_CDES_SIZE 为原始码流色度存储大小寄存器。

Offset Address	Register Name	Total Reset Value
0x1041C	CH_CDES_SIZE	0x023F_03BF

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				height												reserved				width											
Reset	0	0	0	0	0	0	1	0	0	0	1	1	1	1	1	1	0	0	0	0	0	0	1	1	1	0	1	1	1	1	1	1

Bits	Access	Name	Description
[31:28]	RW	reserved	保留。
[27:16]	RW	height	C 分量的输出高度(以行为单位)。
[15:12]	-	reserved	保留。
[11:0]	RW	width	C 分量的输出宽度(以像素为单位)。

CH_YBASE_ADDR

CH_YBASE_ADDR 为原始码流亮度存储基地址寄存器。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x10420	CH_YBASE_ADDR	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	ybase_addr																															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:0]	RW	ybase_addr	原始码流亮度存储基地址。

CH_CBASE_ADDR

CH_CBASE_ADDR 为原始码流色度存储基地址寄存器。

Offset Address	Register Name	Total Reset Value
0x10424	CH_CBASE_ADDR	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	cbase_addr																															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:0]	RW	cbase_addr	原始码流色度存储基地址。

CH_YLINE_OFFSET

CH_YLINE_OFFSET 为原始码流亮度行偏移寄存器。

Offset Address	Register Name	Total Reset Value
0x10428	CH_YLINE_OFFSET	0x0000_03C0

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																y_stride															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1	0	0	0	0	0	0

Bits	Access	Name	Description
[31:16]	-	reserved	保留。
[15:0]	RW	y_stride	图像存储亮度的 stride，以 byte 的为单位。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

CH_CLINE_OFFSET

CH_CLINE_OFFSET 为原始码流色度行偏移寄存器。

Offset Address	Register Name	Total Reset Value
0x1042C	CH_CLINE_OFFSET	0x0000_03C0

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																c_stride															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1	0	0	0	0	0	0

Bits	Access	Name	Description
[31:16]	-	reserved	保留。
[15:0]	RW	c_stride	图像存储色度的 stride，以 byte 的为单位。

CH_INT_RAW

CH_INT_RAW 为通道原始中断寄存器。

Offset Address	Register Name	Total Reset Value
0x10430	CH_INT_RAW	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved													bus_err	buf_ovf	cc_int	reserved						timing_err	field_throw	reserved						reg_update	fstart
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:19]	-	reserved	保留。。
[18]	WC	bus_err	原始码流总线错误中断状态，写 1 清零。 0：无原始中断； 1：有原始中断。
[17]	WC	buf_ovf	原始码流内部 FIFO 溢出错误中断状态，写 1 清零。 0：无原始中断； 1：有原始中断。
[16]	WC	cc_int	原始码流获取完毕中断状态，写 1 清零。 0：无原始中断； 1：有原始中断。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x10430	CH_INT_RAW	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved													bus_err	buf_ovf	cc_int	reserved						timing_err	field_throw	reserved						reg_update	fstart
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[15:10]	-	reserved	保留。
[9]	WC	timing_err	时序错误中断状态，写 1 清零。 0：无原始中断； 1：有原始中断。
[8]	WC	field_throw	场/帧丢失中断状态，写 1 清零。 0：无原始中断； 1：有原始中断。
[7:2]	-	reserved	保留。
[1]	WC	reg_update	寄存器更新中断状态，写 1 清零。 0：无原始中断； 1：有原始中断。
[0]	WC	fstart	帧/场起始中断状态，写 1 清零。 0：无原始中断； 1：有原始中断。

CH_INT

CH_INT 为通道中断寄存器。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x10434	CH_INT	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved													bus_err	buf_ovf	cc_int	reserved						timing_err	field_throw	reserved						reg_update	fstart
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:19]	-	reserved	保留。。
[18]	RO	bus_err	原始码流总线错误中断状态。 0：无原始中断； 1：有原始中断。
[17]	RO	buf_ovf	原始码流内部 FIFO 溢出错误中断状态。 0：无原始中断； 1：有原始中断。
[16]	RO	cc_int	原始码流获取完毕中断状态。 0：无原始中断； 1：有原始中断。
[15:10]	-	reserved	保留。
[9]	RO	timing_err	时序错误中断状态。 0：无原始中断； 1：有原始中断。
[8]	RO	field_throw	场/帧丢失中断状态。 0：无原始中断； 1：有原始中断。
[7:2]	-	reserved	保留。
[1]	RO	reg_update	寄存器更新中断状态。 0：无原始中断； 1：有原始中断。
[0]	RO	fstart	帧/场起始中断状态。 0：无原始中断； 1：有原始中断。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

CH_INT_MASK

CH_INT_MASK 为通道中断屏蔽寄存器。

Offset Address	Register Name	Total Reset Value
0x10438	CH_INT_MASK	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved													bus_err_en	buf_ovf_en	cc_int_en	reserved						timing_err_en	field_throw_en	reserved						reg_update_en	fstart_en
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:19]	-	reserved	保留。。
[18]	RW	bus_err_en	原始码流总线错误中断状态使能。 0：屏蔽中断； 1：使能中断。
[17]	RW	buf_ovf_en	原始码流内部 FIFO 溢出错误中断状态使能。 0：屏蔽中断； 1：使能中断。
[16]	RW	cc_int_en	原始码流获取完毕中断状态使能。 0：屏蔽中断； 1：使能中断。
[15:10]	-	reserved	保留。
[9]	RW	timing_err_en	时序错误中断状态使能。 0：屏蔽中断； 1：使能中断。
[8]	RW	field_throw_en	场/帧丢失中断状态使能。 0：屏蔽中断； 1：使能中断。
[7:2]	-	reserved	保留。
[1]	RW	reg_update_en	寄存器更新中断状态使能。 0：屏蔽中断； 1：使能中断。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x10438	CH_INT_MASK	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved													bus_err_en	buf_ovf_en	cc_int_en	reserved						timing_err_en	field_throw_en	reserved						reg_update_en	fstart_en
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[0]	RW	fstart_en	帧/场起始中断状态使能。 0：屏蔽中断； 1：使能中断。

CH_STATUS

CH_STATUS 为通道状态寄存器。

Offset Address	Register Name	Total Reset Value
0x1043C	CH_STATUS	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved												busy	bus_err	buf_ovf	image_done	reserved						timing_err	field_throw	reserved							field2
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:20]	RW	reserved	保留。。
[19]	RO	busy	工作状态。 0：空闲； 1：忙。
[18]	RO	bus_err	总线错误。 0：总线正确； 1：总线错误。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x1043C	CH_STATUS	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved												busy	bus_err	buf_ovf	image_done	reserved						timing_err	field_throw	reserved							field2
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[17]	RO	buf_ovf	内部 buffer 溢出。 0：未溢出； 1：溢出。
[16]	RO	image_done	小码流获取完毕。 0：未接受完毕； 1：接受完毕。
[15:10]	-	reserved	保留。
[9]	RO	timing_err	时序错误状态。 0：时序正确； 1：时序错误。
[8]	RO	field_throw	丢失场/帧数据。 0：未丢失； 1：丢失。
[7:1]	-	reserved	保留。
[0]	RO	field2	奇偶场指示。 0：奇场； 1：偶场。

CH_IPI_STATUS_SIZE

CH_IPI_STATUS_SIZE 为通道状态寄存器。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x10440	CH_IPI_STATUS_SIZE	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	height																reserved															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:16]	RO	height	图像高度。
[15:0]	-	reserved	保留。

CH_IPI_STATUS_SEAV

CH_IPI_STATUS_SEAV 为通道状态寄存器。

Offset Address	Register Name	Total Reset Value
0x10444	CH_IPI_STATUS_SEAV	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																SEAV								reserved							
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:16]	-	reserved	保留。
[15:8]	RO	SEAV	SEAV 码的值。
[7:0]	-	reserved	保留。

CH_DITHER_CFG

CH_DITHER_CFG 为 Dither 配置寄存器

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x10500	CH_DITHER_CFG	0xE000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	dither_md				reserved																											
Reset	1	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:29]	RW	dither_md	Dither 模式选择。 000：12bit 输入，10bit 输出，不做 dither，直接截位； 001：12bit 输入，10bit 输出，时域 dither； 010：12bit 输入，10bit 输出，空域 dither； 011：12bit 输入，8bit 输出，时域与空域 dither。 100：12bit 输入，10bit 输出，四舍五入。 101：12bit 输入，8bit 输出，四舍五入。 111：Dither bypass。
[28:0]	-	reserved	保留。

CH_DITHER_COEF0

CH_DITHER_COEF0 为 Dither 系数寄存器 0。

Offset Address	Register Name	Total Reset Value
0x10504	CH_DITHER_COEF0	0x3860_8000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	dither_coef3								dither_coef2								dither_coef1								dither_coef0							
Reset	0	0	1	1	1	0	0	0	0	1	1	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:24]	RW	dither_coef3	时域模式 Dither 使用的系数 3。
[23:16]	RW	dither_coef2	时域模式 Dither 使用的系数 2。
[15:8]	RW	dither_coef1	时域模式 Dither 使用的系数 1。
[7:0]	RW	dither_coef0	时域模式 Dither 使用的系数 0。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

CH_DITHER_COEF1

CH_DITHER_COEF1 为 Dither 系数寄存器 1。

Offset Address	Register Name	Total Reset Value
0x10508	CH_DITHER_COEF1	0xFBE7_0F1E

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	dither_coef7		dither_coef6		dither_coef5		dither_coef4	
Reset	1 1 1 1	1 0 1 1	1 1 1 0	0 1 1 1	0 0 0 0	1 1 1 1	0 0 0 1	1 1 1 0

Bits	Access	Name	Description
[31:24]	RW	dither_coef7	描述信息
[23:16]	RW	dither_coef6	
[15:8]	RW	dither_coef5	
[7:0]	RW	dither_coef4	时域模式 Dither 使用的系数。

CH_DITHER_SIZE

CH_DITHER_SIZE 为 Dither 模块的输入图像宽度寄存器。

Offset Address	Register Name	Total Reset Value
0x1050C	CH_DITHER_SIZE	0x0000_03BF

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved					width		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 1 1	1 0 1 1	1 1 1 1

Bits	Access	Name	Description
[31:12]	RW	reserved	描述信息
[11:0]	RW	width	dither 模块的输入图像宽度。

CH_MIR_CTRL

CH_MIR_CTRL 为原始码流镜像控制寄存器。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x10510	CH_MIR_CTRL	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																														flip_en	mir_en
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:2]	-	reserved	保留。
[1]	RW	flip_en	垂直反向使能。 0：不使能； 1：使能。
[0]	RW	mir_en	水平反向使能。 0：不使能； 1：使能。

CH_MSC_CFG

CH_MSC_CFG 为块屏蔽配置寄存器。

Offset Address	Register Name	Total Reset Value
0x10700	CH_MSC_CFG	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																												msc3_en	msc2_en	msc1_en	msc0_en
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:4]	-	reserved	保留。
[3]	RW	msc3_en	遮挡块 3 使能。 0：不使能； 1：使能。
[2]	RW	msc2_en	遮挡块 2 使能。 0：不使能； 1：使能。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x10700	CH_MSC_CFG	0x0000_0000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3	2	1	0
Name	reserved							msc3_en	msc2_en	msc1_en	msc0_en
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0	0	0	0

Bits	Access	Name	Description
[1]	RW	msc1_en	遮挡块 1 使能。 0：不使能； 1：使能。
[0]	RW	msc0_en	遮挡块 0 使能。 0：不使能； 1：使能。

CH_BLOCK0_START

CH_BLOCK0_START 为块 0 屏蔽起始位置寄存器。

Offset Address	Register Name	Total Reset Value
0x10710	CH_BLOCK0_START	0x0000_0000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved	y_start			reserved	x_start		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[31:28]	-	reserved	保留。
[27:16]	RW	y_start	遮挡块 0 垂直起始点。
[15:12]	-	reserved	保留。
[11:0]	RW	x_start	遮挡块 0 水平起始点。

CH_BLOCK1_START

CH_BLOCK1_START 为块 1 屏蔽起始位置寄存器。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x10714	CH_BLOCK1_START	0x0000_0000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved	y_start			reserved	x_start		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[31:28]	-	reserved	保留。
[27:16]	RW	y_start	遮挡块 1 垂直起始点。
[15:12]	-	reserved	保留。
[11:0]	RW	x_start	遮挡块 1 水平起始点。

CH_BLOCK2_START

CH_BLOCK2_START 为块 2 屏蔽起始位置寄存器。

Offset Address	Register Name	Total Reset Value
0x10718	CH_BLOCK2_START	0x0000_0000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved	y_start			reserved	x_start		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[31:28]	-	reserved	保留。
[27:16]	RW	y_start	遮挡块 2 垂直起始点。
[15:12]	-	reserved	保留。
[11:0]	RW	x_start	遮挡块 2 水平起始点。

CH_BLOCK3_START

CH_BLOCK3_START 为块 3 屏蔽起始位置寄存器。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x1071C	CH_BLOCK3_START	0x0000_0000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved	y_start			reserved	x_start		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[31:28]	-	reserved	保留。
[27:16]	RW	y_start	遮挡块 3 垂直起始点。
[15:12]	-	reserved	保留。
[11:0]	RW	x_start	遮挡块 3 水平起始点。

CH_BLOCK0_SIZE

CH_BLOCK0_SIZE 为块 0 屏蔽大小寄存器。

Offset Address	Register Name	Total Reset Value
0x10720	CH_BLOCK0_SIZE	0x0000_0000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved	blk_height			reserved	blk_width		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[31:28]	-	reserved	保留。
[27:16]	RW	blk_height	遮挡块 0 垂直高度-1。
[15:12]	-	reserved	保留。
[11:0]	RW	blk_width	遮挡块 0 水平宽度-1。

CH_BLOCK1_SIZE

CH_BLOCK1_SIZE 为块 1 屏蔽大小寄存器。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x10724	CH_BLOCK1_SIZE	0x0000_0000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved	blk_height			reserved	blk_width		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[31:28]	-	reserved	保留。
[27:16]	RW	blk_height	遮挡块 1 垂直高度-1。
[15:12]	-	reserved	保留。
[11:0]	RW	blk_width	遮挡块 1 水平宽度-1。

CH_BLOCK2_SIZE

CH_BLOCK2_SIZE 为块 2 屏蔽大小寄存器。

Offset Address	Register Name	Total Reset Value
0x10728	CH_BLOCK2_SIZE	0x0000_0000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved	blk_height			reserved	blk_width		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[31:28]	-	reserved	保留。
[27:16]	RW	blk_height	遮挡块 2 垂直高度-1。
[15:12]	-	reserved	保留。
[11:0]	RW	blk_width	遮挡块 2 水平宽度-1。

CH_BLOCK3_SIZE

CH_BLOCK3_SIZE 为块 3 屏蔽大小寄存器。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x1072C	CH_BLOCK3_SIZE	0x0000_0000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved	blk_height			reserved	blk_width		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[31:28]	-	reserved	保留。
[27:16]	RW	blk_height	遮挡块 3 垂直高度-1。
[15:12]	-	reserved	保留。
[11:0]	RW	blk_width	遮挡块 3 水平宽度-1。

CH_BLOCK0_COLOR

CH_BLOCK0_COLOR 为块 0 填充颜色寄存器。

Offset Address	Register Name	Total Reset Value
0x10730	CH_BLOCK0_COLOR	0x0000_0000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved		blk_cr		blk_cb		blc_y	
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[31:24]	-	reserved	保留。
[23:16]	RW	blk_cr	遮挡块 0 填充色 Cr 分量。
[15:8]	RW	blk_cb	遮挡块 0 填充色 Cb 分量。
[7:0]	RW	blc_y	遮挡块 0 填充色 Y 分量。

CH_BLOCK1_COLOR

CH_BLOCK1_COLOR 为块 1 填充颜色寄存器。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x10734	CH_BLOCK1_COLOR	0x0000_0000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved		blk_cr		blk_cb		blc_y	
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[31:24]	-	reserved	保留。
[23:16]	RW	blk_cr	遮挡块 1 填充色 Cr 分量。
[15:8]	RW	blk_cb	遮挡块 1 填充色 Cb 分量。
[7:0]	RW	blc_y	遮挡块 1 填充色 Y 分量。

CH_BLOCK2_COLOR

CH_BLOCK2_COLOR 为块 2 填充颜色寄存器。

Offset Address	Register Name	Total Reset Value
0x10738	CH_BLOCK2_COLOR	0x0000_0000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved		blk_cr		blk_cb		blc_y	
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[31:24]	-	reserved	保留。
[23:16]	RW	blk_cr	遮挡块 2 填充色 Cr 分量。
[15:8]	RW	blk_cb	遮挡块 2 填充色 Cb 分量。
[7:0]	RW	blc_y	遮挡块 2 填充色 Y 分量。

CH_BLOCK3_COLOR

CH_BLOCK3_COLOR 为块 3 填充颜色寄存器。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x1073C	CH_BLOCK3_COLOR	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved								blk_cr								blk_cb								blc_y							
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:24]	-	reserved	保留。
[23:16]	RW	blk_cr	遮挡块 3 填充色 Cr 分量。
[15:8]	RW	blk_cb	遮挡块 3 填充色 Cb 分量。
[7:0]	RW	blc_y	遮挡块 3 填充色 Y 分量。

CH_VCDS_CFG

CH_VCDS_CFG 为主码流色度垂直下采样配置寄存器。

Offset Address	Register Name	Total Reset Value
0x10800	CH_VCDS_CFG	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																															cds_en
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:1]	-	reserved	保留。
[0]	RW	cds_en	下采样使能。 0：下采样关闭； 1：下采样使能。

CH_VCDS_COEF

CH_VCDS_COEF 为主码流色度垂直下采样系数寄存器。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x10808	CH_VCDS_COEF	0x0000_001F

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved												coef1				reserved												coef0			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1	1

Bits	Access	Name	Description
[31:21]	-	reserved	保留。
[20:16]	RW	coef1	下采样系数 1。
[15:5]	-	reserved	保留。
[4:0]	RW	coef0	下采样系数 0。

CH_LHFIR_SPH

CH_LHFIR_SPH 为亮度水平缩放参数配置寄存器。

Offset Address	Register Name	Total Reset Value
0x10940	CH_LHFIR_SPH	0x0000_1000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	hlmsc_en	reserved															hlratio				reserved											
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31]	RW	hlmsc_en	水平亮度缩放使能。 0：禁止； 1：使能。
[30:16]	-	reserved	保留。
[15:12]	RW	hlratio	亮度水平缩放倍数，输入宽度/输出宽度。 若水平预处理使能，输入宽度使用预处理后的宽度。 (u,4)格式，即无符号位，4bit 整数位。
[11:0]	-	reserved	保留。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

CH_CHFIR_SPH

CH_CHFIR_SPH 为色度水平缩放参数配置寄存器。

Offset Address	Register Name	Total Reset Value
0x10944	CH_CHFIR_SPH	0x0000_1000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	hchmsc_en	reserved															hchratio				reserved											
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31]	RW	hchmsc_en	水平色度缩放使能。 0：禁止； 1：使能。
[30:16]	-	reserved	保留。
[15:12]	RW	hchratio	色度水平缩放倍数，输入宽度/输出宽度。 若水平预处理使能，输入宽度使用预处理后的宽度。 (u,4)格式，即无符号位，4bit 整数位。
[11:0]	-	reserved	保留。

CH_LHFIR_OFFSET

CH_LHFIR_OFFSET 为亮度缩放水平位置偏移寄存器。

Offset Address	Register Name	Total Reset Value
0x10948	CH_LHFIR_OFFSET	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																hluma_offset				reserved											
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:17]	-	reserved	保留。
[16:12]	RW	hluma_offset	水平亮度起始位置偏移。 (s,5)格式，即 1bit 符号位，4bit 整数位，补码表示，范围-6～15。
[11:0]	-	reserved	保留。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

CH_CHFIR_OFFSET

CH_CHFIR_OFFSET 为色度缩放水平位置偏移寄存器。

Offset Address	Register Name	Total Reset Value
0x1094C	CH_CHFIR_OFFSET	0x0000_0000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved				hchroma_offset	reserved		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[31:17]	-	reserved	保留。
[16:12]	RW	hchroma_offset	水平色度起始位置偏移。 (s,5)格式，即 1bit 符号位，4bit 整数位，补码表示，范围-6～15。
[11:0]	-	reserved	保留。

CH_LHFIR_COEF0

CH_LHFIR_COEF0 为亮度水平缩放系数寄存器 0。

Offset Address	Register Name	Total Reset Value
0x10980	CH_LHFIR_COEF0	0x0000_0000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved	coef2		coef1		coef0		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[31:30]	-	reserved	保留。
[29:20]	RW	coef2	水平亮度缩放滤波系数 2。
[19:10]	RW	coef1	水平亮度缩放滤波系数 1。
[9:0]	RW	coef0	水平亮度缩放滤波系数 0。 水平缩放为 8 阶整数倍缩放。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

CH_LHFIR_COEF1

CH_LHFIR_COEF1 为亮度水平缩放系数寄存器 1。

Offset Address	Register Name	Total Reset Value
0x10984	CH_LHFIR_COEF1	0x0000_01FF

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				coef5								coef4								coef3											
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1	1

Bits	Access	Name	Description
[31:30]	-	reserved	保留。
[29:20]	RW	coef5	水平亮度缩放滤波系数 5。
[19:10]	RW	coef4	水平亮度缩放滤波系数 4。
[9:0]	RW	coef3	水平亮度缩放滤波系数 3。

CH_LHFIR_COEF2

CH_LHFIR_COEF2 为亮度水平缩放系数寄存器 2。

Offset Address	Register Name	Total Reset Value
0x10988	CH_LHFIR_COEF2	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved												coef7								coef6											
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:20]	-	reserved	保留。
[19:10]	RW	coef7	水平亮度缩放滤波系数 7。
[9:0]	RW	coef6	水平亮度缩放滤波系数 6。

CH_CHFIR_COEF0

CH_CHFIR_COEF0 为色度水平缩放系数寄存器 0。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x10990	CH_CHFIR_COEF0	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				coef2								coef1								coef0											
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:30]	-	reserved	保留。
[29:20]	RW	coef2	水平色度缩放滤波系数 2。
[19:10]	RW	coef1	水平色度缩放滤波系数 1。
[9:0]	RW	coef0	水平色度缩放滤波系数 0。 水平缩放为 8 阶整数倍缩放。

CH_CHFIR_COEF1

CH_CHFIR_COEF1 为色度水平缩放系数寄存器 1。

Offset Address	Register Name	Total Reset Value
0x10994	CH_CHFIR_COEF1	0x0000_01FF

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				coef5								coef4								coef3											
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1	1

Bits	Access	Name	Description
[31:30]	-	reserved	保留。
[29:20]	RW	coef5	水平色度缩放滤波系数 5。
[19:10]	RW	coef4	水平色度缩放滤波系数 4。
[9:0]	RW	coef3	水平色度缩放滤波系数 3。

CH_CHFIR_COEF2

CH_CHFIR_COEF2 为色度水平缩放系数寄存器 2。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x10998	CH_CHFIR_COEF2	0x0000_0000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved			coef7		coef6		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[31:20]	-	reserved	保留。
[19:10]	RW	coef7	水平色度缩放滤波系数 7。
[9:0]	RW	coef6	水平色度缩放滤波系数 6。

CH_Y_CLIP_CFG

CH_Y_CLIP_CFG 为亮度 CLIP 配置寄存器。

Offset Address	Register Name	Total Reset Value
0x10B00	CH_Y_CLIP_CFG	0x00FF_0000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved		max		reserved		min	
Reset	0 0 0 0	0 0 0 0	1 1 1 1	1 1 1 1	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[31:24]	-	reserved	保留。
[23:16]	RW	max	输出的最大值。
[15:8]	-	reserved	保留。
[7:0]	RW	min	输出的最小值。

CH_C_CLIP_CFG

CH_C_CLIP_CFG 为色度 CLIP 配置寄存器。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x10B04	CH_C_CLIP_CFG	0x00FF_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved								max								reserved								min							
Reset	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:24]	-	reserved	保留。
[23:16]	RW	max	输出的最大值。
[15:8]	-	reserved	保留。
[7:0]	RW	min	输出的最小值。

11.2 VDP

11.2.1 概述

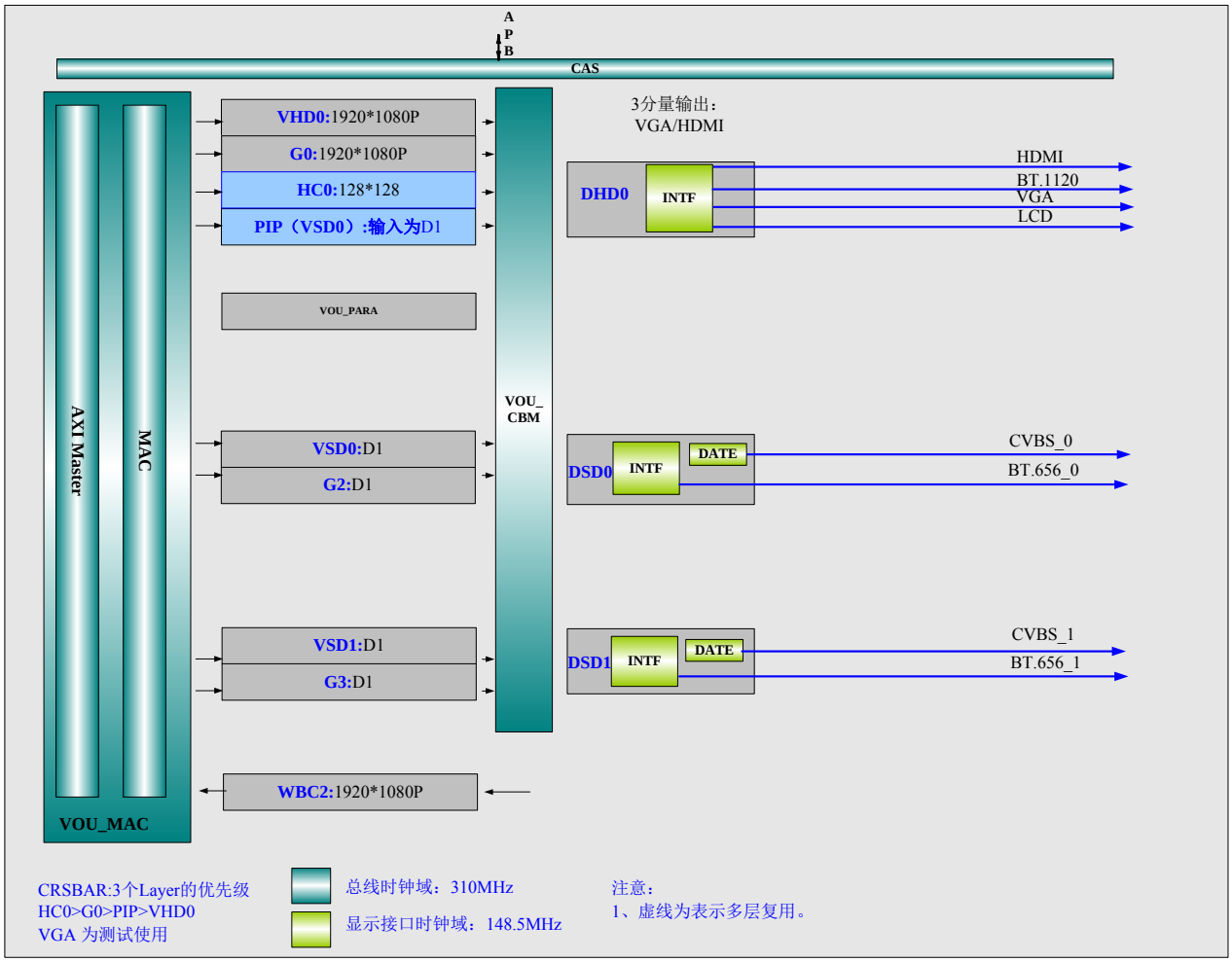
VDP（Video Display）模块主动从内存相应位置读取视频和图形数据，将视频层和图形层数据叠加后通过显示通道送出。

11.2.2 功能描述

VDP 的总体框图如图 11-21 所示。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

图11-21 VDP 总体框图



- Surface：总线输入的数据通路。其功能包括单个图层的总线数据读取、数据处理。Surface 包括：视频层（VHD0、VSD0、VSD1）、图形层（G0、G2、G3）和鼠标层 HC0。
- Display Channel：显示通道。包括高清显示通（DHD0）、标清显示通道（DSD0 和 DSD1）。
- CBM（CrossBar and Mixer，选通叠加器）：视频层/图形层叠加。
- PARA（Parameter，参数）：处理视频通道 ACC（Automatic Contrast Control）系数的更新、加载。
- MAC（Memory Access Controllor，内存访问控制器）：各 Surface 的总线申请仲裁模块。各模块通过 AXI（Advanced eXtensible Interface，高级扩展接口）总线从内存中读取数据，该模块对各 Surface 提出的申请进行仲裁。
- CAS（Control And Status，控制和状态）：该模块主要是通过 APB（Advanced Peripheral Bus，高级外围总线）总线完成对寄存器的配置，并且各模块的状态信息通过该模块上报给 CPU。

VDP 寄存器主要按照模块全局、Surface 和 Display Channel 来分配：

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

- 模块全局寄存器

  包括总线相关配置、中断、版本寄存器。

- Surface 寄存器

  包括视频层、图形层配置寄存器。

- Display Channel 寄存器

  包括 DHD、DSD 配置寄存器。

- 片内系数

  视频层 ACC 系数。因为系数的数据量较大，因此通过 AXI Master 读取，不占用 CPU。

VDP 的特点如下：

- 数字输出接口
  - 标清支持 ITU-R BT.656 输出
  - 高清支持 ITU-R BT.1120 输出、VGA（Video Graphics Array，视频图形阵列）输出、HDMI（High Definition Multimedia Interface，高清晰度多媒体接口）输出、LCD 输出，但 LCD 和 ITU-R BT.1120 互斥
  - 支持 BT.1120/LCD、HDMI、VGA 同时显示同一通道数据（LCD 和 VGA 不能同时输出）
  - 支持高清 BT.1120 口输出来自 DSD0 或者 DSD1 的一路或者两路 BT.656
- 模拟输出接口
  - 标清通道 DSD0、DSD1 支持 CVBS（Composite Video Broadcast Signal，复合电视广播信号）输出（可以和 ITU-R BT.656 接口同时输出内容一样的图像）
- 视频层（Video Surface）
  - 支持输入像素格式：Semi-Planar YCbCr4:2:2，Semi-Planar YCbCr4:2:0
  - 支持全局 alpha 值
  - 支持视频层的色彩空间转换，支持亮度、对比度、色调、饱和度调节
  - 支持垂直色度上采样
  - 支持水平色度上采样
  - 支持多区域读写（VHD0 为 32 区域，VSD0 为 8 区域）
  - 支持最大 8 倍的放大
- 图形层(Graphics Surface)
  - 支持 3 个图形层：图形层 0、2、3
  - 支持 1 个鼠标层：HC0
  - 支持的数据格式：ARGB8888、ARGB1555
  - 支持全局 alpha 和像素 alpha
  - 支持 3 种数据扩展模式：

    低位补 0

    低位补最高 bit

    低位补若干高 bit
  - 支持宽度和高度为偶数

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

  - G0 最小输入/输出分辨率 32×32，最大输入/输出分辨率为 2560×1600
  - G2/G3 最小输入/输出分辨率 32×32，最大输入/输出分辨率为 720×576
- 叠加特性
  - 支持背景层、2 层视频层、1 层图形层、1 鼠标层的 256 级 alpha 混合，图形层和视频层的优先级可配置（叠加时使用优先级高的层的 alpha）。
  - 各叠加图层的大小和位置可以任意调节。
  - 支持叠加后图像的亮度、对比度、色调、饱和度调节。
- VDP 包含 1 个高清通道、2 个标清通道，每个通道都有独立的垂直时序中断，标志帧/场的结束标志，以及 3 个低带宽中断及一个回写完成中断。

11.2.3 工作方式

11.2.3.1 时钟配置

VDP 的时钟源共有 3 个：

- VPLL0
- VPLL2
- AXI bus 总线时钟

以下时钟选择可通过寄存器配置：

- BT.1120 接口时钟来源于 DHD0（BT.1120 口输出 BT.1120 时）或者 DSD0/DSD1（BT.1120 口输出 BT.656 时）。
- HDMI 接口时钟来源于 DHD0。
- DAC1 接口时钟来源于 DHD0。

表 11-6～表 11-7 为通道接口类型和 PLL 配置关系，使用方法为：

步骤 1. 确定通道。

步骤 2. 从通道所对应的表格中查找接口类型。

步骤 3. 从接口类型所在的行信息中即可确定 PLL 的选取及 DATE（Digital part of Analog TV Encoder，模拟电视编码器的数字部分）/DAC（Digital Analog Converter，数模转换器）的配置。

--结束

表11-6 DHD0 显示通道的时钟配置关系（接口时钟/数据来源于 DHD0 或者 DSD0/DSD1）

	DHD0（MHz）	DSD0/DSD1（MHz）	PLL0/2（MHz）	HDATE（MHz）	DAC1（MHz）
BT.1120/HDMI	148.5	NA	PLL0（297）	NA	NA
	74.25	NA	PLL0（148.5）	NA	NA

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

	DHD0（MHz）	DSD0/DSD1（MHz）	PLL0/2（MHz）	HDATE（MHz）	DAC1（MHz）
VGA	148.5	NA	PLL0（148.5）	NA	148.5
BT.656	NA	27	PLL2（27）	NA	NA

表11-7 DSD0～DSD1 显示通道的时钟配置关系

	DSD0～DSD1	PLL0/2（MHz）	SDATE（MHz）	DAC0（MHz）
CVBS	27	PLL2（27）	54	54
BT.656	27	PLL2（27）	NA	NA

11.2.3.2 复位

VDP 的复位包括硬件复位、软件复位。

VDP 共有 3 个软复位（向相应的时钟复位控制位写 1 复位，写 0 撤销复位）：

- 2 个标清通道 SD channel 共用一个软复位
- 高清通道 HD0 软复位
- AXI 总线软复位

注意

在进行 AXI 总线复位之前：

- **将所有的层关闭。**
- **在下一帧/场中断起来（到达更新点）后，再配置总线复位请求。**

11.2.3.3 总线相关配置

AXI Master

VDP 包括一个 Master 接口，可提高总线访问效率：

- VDP 支持 AXI Master，VHD0、VSD0/1、G0/2、HC0、WBC2 层的数据读写请求可通过 MASTER 进行总线操作。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

APB 寄存器配置

VDP 寄存器通过 APB 接口进行读写操作，APB 的时钟为 150MHz。在 Hi3521 中，VDP 的基地址为 0x205C_0000，寄存器寻址空间 64KB，相应的地址偏移范围为：0x0000～0xFFFF。

Outstanding 配置

AXI Master 的 Outstanding 深度可配置为 0、1、2、3、4、5、6、7。其中，outstanding 为 0 时，AXI Master 不对总线进行任何操作。

11.2.3.4 模拟输出接口

VDP 包含以下模拟输出接口：

- 标清通道支持最多 2 路 CVBS 输出接口
  - DSD0->CVBS_0
  - DSD1->CVBS_1
  - CVBS 支持两种制式：PAL 制和 NTSC 制式制式

11.2.3.5 数字输出接口

VDP 支持以下数字接口输出：

- ITU-R BT.656
- ITU-R BT.1120 模式
- HDMI 接口
- VGA 接口
- LCD 接口

其中，数字 LCD 和 BT.1120 接口互斥。BT.1120 口可以输出来自 DSD0 或者 DSD1 的一路或者两路 BT.656。

ITU-R BT.656

VDP 支持最多 2 路 BT.656 输出接口：

- DSD0->BT.656_0
- DSD1->BT.656_1

ITU-R BT.656 模式支持以下两种制式：

- PAL 制式（625 行/帧@25 帧/秒）
- NTSC 制式（525 行/帧@30 帧/秒）

ITU-R BT.656 协议中，同步信号包含在视频数据流中，在数据流中的特殊字节 SAV 和 EAV 分别表示行的开始和行的结束。

在视频数据流中，由 FF 00 00（FF、00 为图像编码数据的保留字节，为非图像数据）构成的定时基准码字的码头来标志紧接着的一个字节为 SAV 或者 EAV。ITU-R BT.656 的行数据流格式如图 11-22 所示。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

图11-22 ITU-R BT.656 YCbCr 4:2:2 行数据格式

行消隐期		定时基准码				720 有效象素 YCbCr4:2:2						定时基准码				行消隐期	
···	10	FF	00	00	SAV	C_B0	Y0	CR0	Y1	···	Y719	FF	00	00	EAV	80	···

ITU-R BT.656 YCbCr 4:2:2 协议中，亮度信号与色度信号的采样比例为 2:1。两个亮度信号共用一个色度 CbCr 信号。

协议推荐每行亮度采样 720 个有效图像像素点，色度采样 360 个有效图像像素点，色度在对应偶数像素点采样（起始采样点为 0 像素点），以 co-sited 格式采样。亮度色度信号在同一个 8bit 通道内传输的情况下，传输顺序为：C_B0 Y0 C_R0 Y1 C_B2 Y2 C_R2 Y3……C_B718 Y718 C_R718 Y719，时钟频率为 27MHz。

ITU-R BT.1120 模式

VDP 支持 BT.1120 接口（其源可以来自 DHD0）：

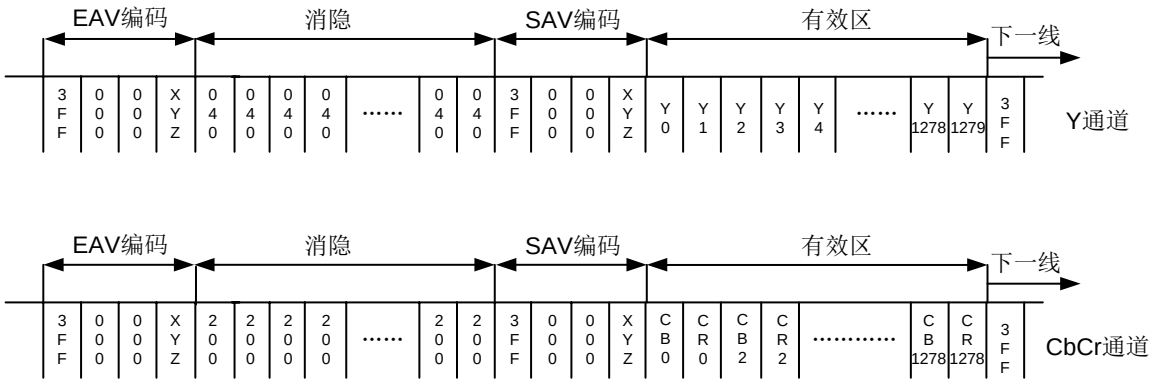
- 支持外同步，行场同步、数据有效
- 最大输出分辨率：1920×1080
- 数据 Y/C 的可以调换

BT.1120 模式下，同步信号也包含在视频数据流中，在数据流中的特殊字节 SAV 和 EAV 分别表示行的开始和行的结束。

ITU-R BT.1120 YCbCr 4:2:2 协议中，亮度信号与色度信号的采样比例为 2:1。两个亮度信号共用一个色度 CbCr 信号。

图 11-23 表示的是针对 1280×720P 有效分辨率一行扫描线的时序。亮度色度信号在不同的通道内传输，时钟频率为 74.25MHz。

图11-23 BT.1120 接口水平时序图



HDMI 接口

HDMI 为支持 1.4a 协议标准的 HDMI 接口（其源可以来自 DHD0）：

- 最大输出分辨率：1600×1200 或 1920×1080

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

- 时钟频率为 74.25MHz～165MHz
- 支持逐隔行显示
- 数据格式为 YCbCr444

VGA 接口

支持 VGA 接口（其源可以来自 DHD0）：

- 输出分辨率范围：720P50～1600×1200，1920×1080
- 时钟频率为 40MHz～268.5MHz
- 支持逐行显示
- 通过配置接口 CSC（Color Space Conversion，色彩空间转换）实现 RGB888 输出

LCD 接口

支持 LCD 接口（其源可以来自 DHD0）：

- 输出分辨率范围：720P50～1600×1200，1920×1080
- 时钟频率为 40MHz～268.5MHz
- 支持逐行显示
- 通过配置接口 CSC（Color Space Conversion，色彩空间转换）实现 RGB888 输出

11.2.3.6 高清视频层功能

多区域读取功能

VDP 具有多区域读取的功能，可同时显示多个区域的画面，每个区域画面的数据可以是不同的来源：

- VHD0 视频层支持多区域规格。
- VHD0 最大可支持 32 区域。
- 各区域大小可配，最小为 32×32，最大为层的最大分辨率（VHD0：1920×1080）。
- 各区域可单独使能。
- 区域显示位置可配置在屏幕的任意位置显示（通过区域的起始、结束坐标配置）。
- 各区域的内容可来自同一视频源，也可来自不同的视频源。
- 区域源起始地址可配（分亮度、色度地址），地址为 2byte 对齐。
- 区域源 stride 可配（分亮度、色度地址），为 16byte 对齐。
- 支持逐行模式、隔行模式。

显示位置描述

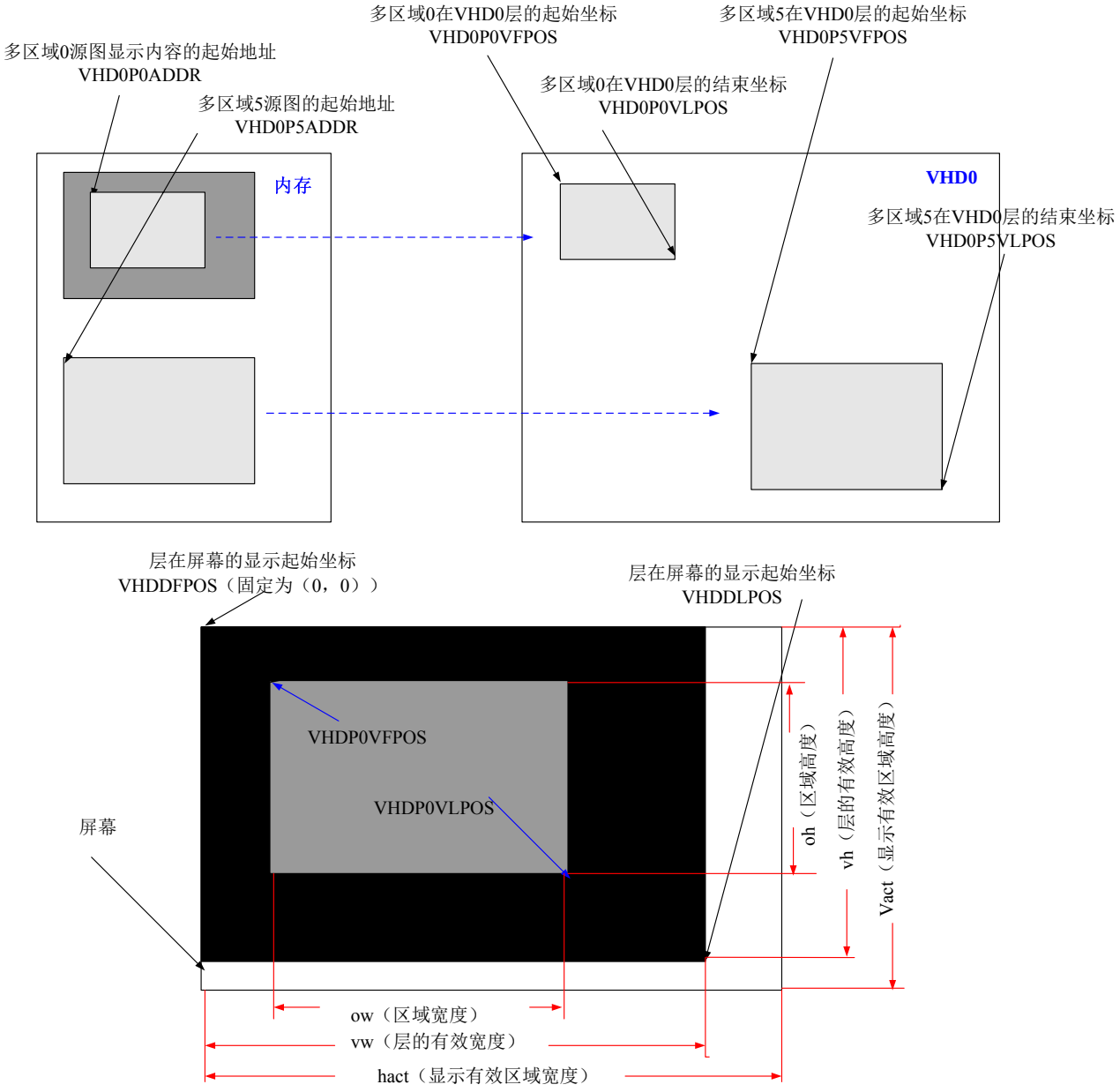
VDP 支持视频显示位置可配：

- 视频层有 3 套坐标
- 需要读取数据的源起始坐标（软件计算出起始地址配置给硬件）。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

- 显示区域在相对于视频层的起始结束坐标。
- 视频层在屏幕上显示的起始结束坐标。
- 3 个坐标的组合可以实现视频源在屏幕的任意位置显示。

图11-24 3 套坐标示意图



注意

层在屏幕的起始坐标必须设置为（0,0）。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

缩放功能描述

VDP 具有高质量的缩放引擎，支持不同倍数的放大：

- VHD0 支持缩放功能
- VHD0 只支持放大，不支持缩小
- VHD0 支持 LTI 和 CTI 功能
- 支持视频格式 semi-plannar420、semi-plannar422
- VHD0 最小的输入分辨率 32×32，最大的输入分辨率 1920×1080
- VHD0 最小的输出分辨率 32×32，最大的输出分辨率 1920×1080
- 支持复制模式、滤波模式
- 支持水平亮度 8 阶、水平色度 4 阶滤波，各 32 组滤波系数，滤波系数可配
- 支持垂直亮度 6 阶、垂直色度 4 阶滤波，各 32 组滤波系数，滤波系数可配
- 缩放系数采取 AXI 自动从 DDR 中 load 的策略
- 支持垂直亮度色度、水平亮度色度单独配置使能
- 性能：输出的像素 1pixel/1clk

注意

- **采用垂直缩放在水平缩放之前的缩放策略。**
- **VHD0 不支持宽度大于 1280 且小于 1920 的分辨率放大到 1920 的缩放。**

420-422（垂直色度上采样）

当输入的图像数据是 420 时，需要对色度在垂直方向上放大 2 倍将数据格式转换为 422。

VHD、VSD 根据不同的图像质量要求，转换格式的处理不同：

- VHD 转换数据格式方式：
  - 4 阶滤波
  - 复制

  这两种模式可配置。
- VSD 转换数据格式方式：复制

IFIR：水平色度上采样

水平色度上采样的主要功能是对色度在水平方向上进行上采样，将 422 的数据格式转换为 444。

实现色度水平上采样的方式有 3 种，可配置：

- 复制

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

- 双线性插值
- 8 阶滤波

CSC：色彩空间转换

- 可实现 YUV709、YUV601 色彩空间的转换
- 可实现 RGB、YUV 色彩空间的转换

ACC：亮度对比度自动调节

- 支持 256x13 的查找表可以配置
- 支持最大分辨率为 1920x1080

ACM：自动色度管理

- 支持最大分辨率为 1920x1080
- 支持 4 个 16x16 大小的 UV 颜色值内单独调节，每一个区域的使能可以单独配置

11.2.3.7 标清视频层功能

VDP 具有多个标清视频层：

- 标清视频层包括：VSD0、VSD1，其中 VSD0 最大支持 8 区域，VSD1 只能支持 1 区域
- 支持的输入像素格式：semi-plannar420、semi-plannar422
- 最小输入分辨率 32x32，最大输入分辨率为 720x576
- 最小输出分辨率 32x32，最大输出分辨率为 720x576
- 输入的水平分辨率为 2 的倍数，垂直分辨率为 4 的倍数
- 支持逐行模式、隔行模式
- 源起始地址可配（分亮度、色度地址），地址为 2byte 对齐
- 源 stride 可配（分亮度、色度地址），为 16byte 对齐
- 支持水平色度上采样 IFIR，复制模式、双线性差值、6 阶滤波模式可选。
- 支持 YCbCr－>RGB 的色彩空间转换，支持对比度/色调/饱和度调节
- 支持显示位置可配：在屏幕的任意位置显示
- 支持帧/场更新模式
- 支持全局 alpha 可配置，配置范围 0～255
- VSD0 支持 ACC 和 ACM 功能，VSD1 不支持

11.2.3.8 图形层功能

图形层包括：G0、G2、G3

解压功能

VDP G0 支持无损压缩格式的图像解压，其他图形层不支持：

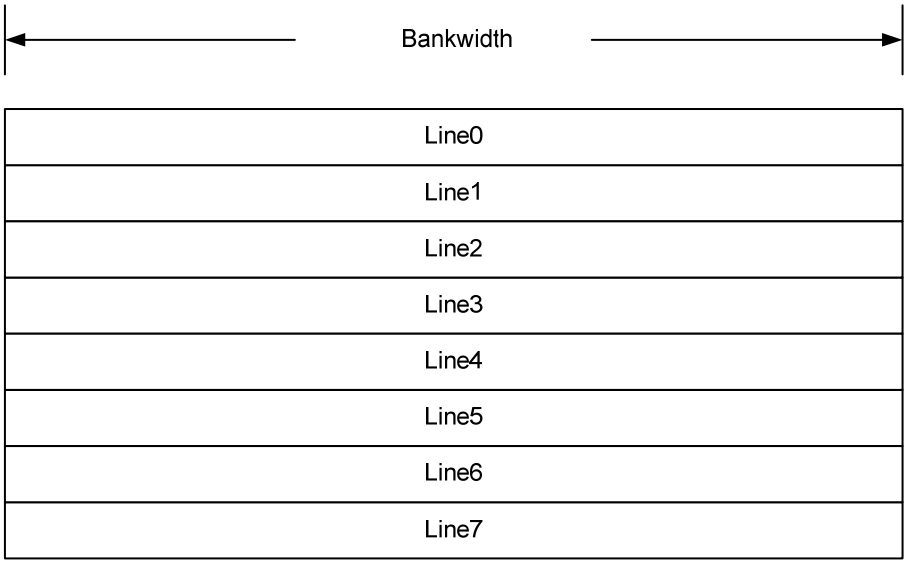
- 支持的输入像素格式：ARGB1555、ARGB8888

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

- 支持逐行压缩、隔行压缩模式
- 支持帧/场更新模式
- G0 最小输入/输出分辨率 32x32，最大输入/输出分辨率为 2560x1600
- G2/G3 最小输入/输出分辨率 32x32，最大输入/输出分辨率为 720x576
- 图形层垂直分辨率为 2 的倍数
- 支持显示位置可配：在屏幕的任意位置显示
- 4 个分量单独解压缩，4 个分量的地址可配置（16byte 对齐），共用一个 bankwidth（16byte 对齐），共用一个 stride（16byte 对齐）
- 解压性能：1pixel/1clk
- 格式为 ARGB1555 时，像素 alpha 值不进行压缩。

解压 DCMP 的配置方式：DCMP 支持逐行解压、隔行解压，压缩数据的存储与逐行、隔行的源数据存储方式类似。压缩信息的配置主要包括首地址 address、bankwidth 信息、stride 信息。其中，4 分量单独进行压缩，因此共有 alpha、R、G、B 等 4 个分量的首地址。其次，bakwidht 类似于 semi-plannar 存储方式 line 的概念，区别在于，一个 bankwidh 存储的可能是若干分量 line 的压缩数据；最后，stride 与 semi-plannar 的 stride 概念完全一致，用于确定每行压缩数据的首地址。

图11-25 逐行解压存储方式



海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

图11-26 隔行解压存储方式

以下为不同场景下解压模式的配置：

- 逐行解压、帧更新、帧中断配置方式：
  - 配置图形层为压缩模式。
  - 配置 4 个分量的基地址。
  - 配置 bankwidth、stride 信息，其中，压缩的 stride 与解压的 stride 相等，即 stride_dcmp = stride_vcmp。
  - 配置图形层为帧更新模式。
  - 配置中断产生方式为帧中断。
- 隔行解压、帧更新、帧中断配置方式：
  - 同逐行解压的配置。
  - 配置 bankwidth、stride 信息，其中，stride_dcmp = stride_vcmp/2。
  - 同逐行解压的配置。
  - 打开隔行解压使能。
- 隔行解压、场更新、场中断配置方式：
  - 同逐行解压的配置。
  - 配置 bankwidth、stride 信息，其中，stride_dcmp = stride_vcmp/2。
  - 配置图形层为场更新模式。
  - 配置中断产生方式为场中断，在中断服务程序配置顶场/底场的 4 分量存储首地址。

CSC 功能描述

支持色彩空间转换，包括：RGB、YCbCr601、YCbCr709、xvYCC601、xvYCC709 之间的相互转换。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

alpha 处理

图形层的 alpha 值可以有两个来源：

- 像素 alpha 值：表示某一个像素的叠加属性。
- 全局 alpha 值：表示某一层的叠加属性。

像素 alpha 值有一种特殊情况，在 RGB1555 格式时，alpha 值仅有 1bit，该 bit 不是真实的 alpha 值，仅是 alpha 的索引，真实的 alpha 值是根据该索引值选择 alpha 寄存器中的值得到，当索引值为 0 时，取值 alpha0，否则，取值为 alpha1。

支持预乘格式

支持 ARGB8888 带有像素 α 值的数据格式预乘。

HC 功能描述

VDP 具有 1 个硬件鼠标层：

- 鼠标层 HC0 是一种特殊的图形层
- 支持的输入像素格式：ARGB1555、ARGB8888
- 最小输入分辨率 32x32，最大输入分辨率为 128x128
- 最小输出分辨率 32x32，最大输出分辨率为 128x128
- 输入垂直分辨率为 2 的倍数
- 支持逐行模式、隔行模式
- 支持帧更新、场更新
- 源起始地址可配，地址为 128bit（16byte）对齐
- 源 stride 可配，为 128bit（16byte）对齐
- 支持色彩空间转换，包括：RGB，YCbCr601，YCbCr709，xvYCC601，xvYCC709 之间的相互转换
- 支持显示位置可配：在屏幕的任意位置显示
- 支持全局 alpha 可配置，配置范围 0～255
- 像素 alpha 使能可配，对于像素格式 ARGB1555 中像素 Alpha 值的图形，选择 ALPHA0 或 ALPHA1
- 支持 ARGB8888 带有像素 α 值的数据格式预乘

注意

- **预乘使能时，全局 alpha 不能为 1。**
- **数据格式为 ARGB1555 时，不能打开预乘。**

11.2.3.9 图层叠加处理

VDP 支持多层叠加功能，共有 4 个叠加，其对应关系为：

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

- MIX1 —> DHD0
- MIX3 —> DSD0
- MIX4 —> DSD1

MIXER 的功能描述：

- 固定绑定到 MIXER1 的视频/图形层：VHD0、G0
- 固定绑定到 MIXER3 的视频/图形层：G2
- 固定绑定到 MIXER4 的视频/图形层：VSD1、G3
- 可选绑定到 MIXER1/3/4 的视频/图形层：HC0
- 可选绑定到 MIXER1/3 的视频层：VSD0（PIP）
- MIXER1/3/4 的背景色单独可配

具体配置方法如下：

步骤 1. 关闭相应的视频输出接口。

步骤 2. 配置 sur_attrix，确定各个 surface 的连接关系。

步骤 3. 配置各个 surface 的相关寄存器。

步骤 4. 配置各个 surface 的优先级。

步骤 5. 打开相应的视频输出接口。

--结束

注意

- 若 HC0、VSD0（PIP）绑定到 MIXER1，则其不能再绑定到 MIXER3/MIXER4。
- HC0 只能绑定到 MIXER1、MIXER3 或 MIXER4 中的某一个。
- HC0、VSD0（PIP）可驱动不同的 MIXER，但如果从驱动当前 MIXER 切换到驱动另外一个 MIXER，则不能实时变更。必须先关闭相应的视频输出接口，在变更 surface 所驱动的 MIXER。

11.2.3.10 高清通道处理功能

时序配置

VDP 的输出接口支持配置各种典型及非典型时序，以适应不同的对接芯片接口：

- DHD0 接口分辨率最大 1920×1080
- 接口水平时序参数可配：
  - 水平前肩 HFB:16bit=（1-65536），单位：时钟

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

  - 水平后肩 HBB:16bit=（1-65536），单位：时钟
  - 水平有效 HACT:16bit=（1-65536），单位：时钟
  - 水平脉冲宽度 HPW:16bit=（1-65536），单位：时钟
- 接口垂直时序参数可配：
  - 垂直前肩 VFB:8bit=（1-256），单位：行
  - 垂直后肩 VBB:8bit=（5-256），单位：行
  - 垂直有效 VACT:12bit=（1-256），单位：行
  - 垂直脉冲宽度 VPW:16bit=（1-65536），单位：行
- 隔行时序参数可配：
  - 底场垂直前肩 BVFB:8bit=（1-256），单位：行
  - 底场垂直后肩 BVBB:8bit=（5-256），单位：行
  - 底场垂直有效 BVACT:12bit=（1-256），单位：行
  - 底场垂直脉冲宽度 BVPW:16bit=（1-65536），单位：行
  - 底场时半行配置 HMID:16bit=（1-65536），单位：时钟周期，一行中在相对于有效区第一个像素的时钟周期

注意

- **一行时钟个数=HFB + HBB + HACT x (n clk/pixel)，HPW 要小于 HBB。**
- **一帧的行数=VFB + VBB + VACT ，VPW 要小于 VBB，BVPW 要小于 BVBB。**
- **所有时序参数配置时，接口都应该关闭，配置完成后在打开接口。**

DFIR 功能

dfir 使能可以配置，滤波采用 1,2,1 的滤波方式，性能可达 1pixel/lclk。

CLIP 功能

VDP 具有灵活可配置的 CLIP 功能：

- 接口时序的协议要求输出数据必须限制在一定范围内。如果超出这个范围，需要对数据进行 clip 操作。
- clip 使能可以配置，clip 的低值门限和高值门限可以配置，性能可达 1pixel/lclk。

GAMMA 调节

支持 gamma 校正功能，gamma 使能可配。

11.2.3.11 标清通道处理功能

VDP 具有 2 个标清通道：

- 标清通道包括 DSD0、DSD1
- 接口最大分辨率支持 720x576

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

- DSD0、DSD1 支持 CVBS 接口
- 支持色度下采样 DFIR，DFIR 使能可配
- 支持 CLIP 功能，CLIP 使能可配
- clip 的低值门限和高值门限可以配置

11.2.3.12 WBC2 通道回写功能

WBC2 回写为 DHD0 通道输出时的数据经过缩放回写到 DDR 中，作为高/标清同源显示的标清输入源。

逐/隔行回写

VDP 的 WBC 回写支持逐/隔行可配：

- WBC2 回写使能可配。
- 输入的数据格式：YUV422。WBC2 的数据源来自 CBM 的 MIX2，在输入到 WBC2 时，已下采样到 YUV422 的采样格式。
- 输出的数据格式：semi-plannar422、semi-plannar420。
- 支持逐行回写、隔行回写。WBC2 逐行回写、隔行回写由 DHD0 通道决定，当 DHD0 为隔行显示时，WBC2 隔行回写，当 DHD0 为逐行显示时， WBC2 逐行回写。
- 输入分辨率范围：32x32～1920x1080。WBC2 的输入分辨率由 DHD0 的有效宽高决定，当 DHD0 逐行显示时，输入的高度为一帧的高度；当 DHD0 隔行显示时，输入的高度为一场的高度。
- 输出分辨率可配，范围 32x32～720x576。

WBC2 缩放

VDP 的 WBC 回写支持高质量，倍数可配置的缩小：

- WBC2 只支持缩小，不支持放大
- WBC2 缩放最小的输入分辨率 32x32，最大的输入分辨率 1920x1080
- WBC2 缩放最小的输出分辨率 32x32，最大的输出分辨率 720x576
- 支持复制模式、滤波模式
- 支持水平亮度 8 阶、水平色度 4 阶滤波，各 32 组滤波系数，滤波系数可配
- 支持垂直亮度 6 阶、垂直色度 4 阶滤波，各 32 组滤波系数，滤波系数可配
- 缩放系数采取 AXI 自动从 DDR 中 load 的策略
- 支持垂直亮度色度、水平亮度色度单独配置使能
- 性能：输出的像素 1pixel/1clk

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

注意

- 采用水平缩放在垂直缩放之前的缩放策略。
- 缩小倍数最大为缩小 16 倍，缩放的亮度行 Buffer 大小为 720，色度的行 Buffer 大小为 720。当输出为 SPYCbCr420 时，最大缩小倍数为 8 倍。

11.2.3.13 中断

VDP 支持共 7 个中断，分 3 类：

- 垂直时序中断
- 低带宽中断
- WBC2 回写完成中断

垂直时序中断

VDP 的每个通道都有独立的垂直时序中断，中断产生位置可灵活配置：

- VDP 包含 1 个高清通道，2 个标清通道，每个通道都有独立的垂直时序中断，标志帧/场的结束标志。VDP 共有 3 个垂直时序中断。
- 中断的产生方式可选：帧中断、场中断。
- 逐行显示，垂直时序中断只能配置为帧中断模式。
- 隔行显示，垂直时序中断可配置为帧中断模式或场中断模式（建议隔行时高清按照场产生中断，标清按照帧产生中断）。
- 支持中断屏蔽可配。
- 支持垂直时序中断门限可配。
- 每个中断源可单独打开与关闭，写 1 清 0。

低带宽中断

VDP 支持以中断方式上报低带宽状态：

- VDP 包含 1 个高清通道，2 个标清通道，每个通道都有独立的低带宽中断，标志帧/场的低带宽信息。VDP 共有 3 个低带宽中断。
- 中断的产生方式可选：帧中断、场中断。
- 逐行显示，垂直时序中断只能配置为帧中断模式。
- 隔行显示，垂直时序中断可配置为帧中断模式或场中断模式（建议隔行时高清按照场产生中断，标清按照帧产生中断）。
- 支持中断屏蔽可配。
- 每个中断源可单独打开与关闭，写 1 清 0。

WBC2 回写完成中断

VDP 支持以中断方式上报 WBC 回写完成状态：

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

- VDP 包含 1 个 WBC2 回写通道，因此共有 1 个 WBC 回写中断，标志帧/场的数据的回写完成。
- WBC2 中断的产生方式由 DHD0 的中断产生方式决定：
  - DHD0 为帧中断，则 WBC2 的中断方式为帧中断。
  - DHD0 为场中断，则 WBC2 的中断方式为场中断。
- 支持中断屏蔽可配。
- 中断源可单独打开与关闭，写 1 清 0。

11.2.3.14 低功耗控制

Mem 的动态时钟门控

VDP 支持可配置的时钟门控：

- Mem 的动态时钟门控通过时钟门控信号 ck_gate_en 来实现：
  - 0：时钟正常输入到 mem。
  - 1：mem 的时钟强制为 0。
- 在使能动态时钟门控之前，必须先停止所有的 VDP 业务（所有层、通道禁能）。

Mem 的低功耗控制门控

Mem 的低功耗控制包括 3 种模式：

- NORMAL 模式。Mem 正常输出有效数据。
- RETENTION 模式。Mem 输出数据为 0。
- POWERDOWN 模式。Mem 输出数据为不定态。

说明
VDP 推荐选择低功耗 POWERDOWN 模式。

VDP 的 Mem 低功能控制支持对不同的层和通道分别控制：

- VDP 的低功耗策略通过 Mem 的低功耗功能来实现。
- Mem 的低功耗使能、模式可配。
- VDP 的低功耗处理以层/通道为单位，各层/通道可单独配置是否进入低功耗模式。
- 支持低功耗的视频层：VHD0、VSD0/VSD1。
- 支持低功耗的图形层：G0/G2/G3。
- 支持低功耗的鼠标层：HC0。
- 支持低功耗的回写层：WBC2。
- 支持低功耗的通道：DHD0、DSD0/DSD1。
- 支持低功耗的系数模块：PARA。

低功耗配置信息包括：

- poowerdown 信号 pd_mode，控制 mem 进入 powerdown 状态。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

- retention 信号 retn_mode，控制 mem 进入 retention 状态（当 pd_mode=1 时，只会进入 powerdown 状态）。
- Timer 信息，计数器，用于控制 mem 低功耗状态的状态跳转。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

11.2.4 寄存器概览

寄存器偏移地址中变量的取值范围和含义如表 11-8 所示。

表11-8 各模块的寄存器偏移地址变量表

变量名称	取值范围	描述
i	0 和 1	标清视频层 0～1
m	0～31	高清视频层区域号
	0～7（i=0）	标清视频层区域号
	0（i=1）	标清视频层区域号

寄存器概览如表 11-9 所示。

表11-9 寄存器概览（基址是 0x205C_0000）

偏移地址	名称	描述	页码
0x0000	VHDNCTRL	VHD 控制寄存器	11-100
0x0004	VHDNUPD	VHD 通道更新使能寄存器	11-101
0x0010	VHDNCADDR	当前帧的地址寄存器	11-102
0x0014	VHDNCCADDR	当前帧的色度地址寄存器	11-102
0x0024	VHDNSTRIDE	surface 的 stride 寄存器	11-103
0x0028	VHDNIRESO	输入分辨率寄存器	11-103
0x0034	VHDNCBMPARA	叠加相关参数寄存器	11-104
0x0050	VHDCTI_CTRL	CTI 控制寄存器	11-104
0x0054	VHDCHPASS_COEF	色度高频提取系数寄存器	11-105
0x0058	VHDCTI_THRE	CTI 处理阈值寄存器	11-106
0x005C	VHDLGAIN_COEF	亮度高频增益分段曲线的增益加权系数寄存器	11-106
0x0060	VHDNDFPOS	Surface 在显示窗口的起始位置（First POSition）寄存器	11-106
0x0064	VHDNDLPOS	Surface 在显示窗口的结束位置（Last POSition）寄存器	11-107
0x0070	VHDBK	视频层的背景色寄存器	11-107

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

偏移地址	名称	描述	页码
0x0080	VHDNCSCIDC	色彩空间转换输入直流分量寄存器	11-108
0x0084	VHDNCSCODC	色彩空间转换输出直流分量寄存器	11-108
0x0088	VHDNCSCP0	色彩空间转换参数 0 寄存器	11-109
0x008C	VHDNCSCP1	色彩空间转换参数 1 寄存器	11-109
0x0090	VHDNCSCP2	色彩空间转换参数 2 寄存器	11-110
0x0094	VHDNCSCP3	色彩空间转换参数 3 寄存器	11-111
0x0098	VHDNCSCP4	色彩空间转换参数 4 寄存器	11-111
0x00A0	VHDACM0	ACM 控制寄存器 0	11-111
0x00A4	VHDACM1	ACM 控制寄存器 1	11-112
0x00A8	VHDACM2	ACM 控制寄存器 2	11-113
0x00AC	VHDACM3	ACM 控制寄存器 3	11-114
0x00B0	VHDACM4	ACM 控制寄存器 4	11-114
0x00B4	VHDACM5	ACM 控制寄存器 5	11-115
0x00B8	VHDACM6	ACM 控制寄存器 6	11-115
0x00BC	VHDACM7	ACM 控制寄存器 7	11-116
0x00C0	VHDNHSP	水平缩放参数配置（horizontal Scaling Parameter）寄存器	11-116
0x00C4	VHDNHLOFFSET	亮度水平位置偏移寄存器	11-117
0x00C8	VHDNHCOFFSET	色度水平位置偏移寄存器	11-118
0x00D8	VHDNVSP	缩放参数（vertical Scaling Parameter）寄存器	11-118
0x00DC	VHDNVSR	垂直缩放倍数（Luma Vertical Scaling Ratio）寄存器	11-120
0x00E0	VHDNVOFFSET	垂直缩放偏移（Vertical Luma Offset）寄存器	11-120
0x00E4	VHDNZMEORESO	缩放单元的输出分辨率寄存器	11-120
0x00E8	VHDNZMEIRESO	缩放单元的输出入辨率寄存器	11-121
0x00F0	VHDNLTI_CTRL	LTI 控制寄存器	11-121
0x00F4	VHDNLHPASS_COEF	亮度高频提取系数寄存器	11-122

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

偏移地址	名称	描述	页码
0x00F8	VHDNLTI_THRE	LTI 处理阈值寄存器	11-123
0x00FC	VHDNLHFREQ_THRE	亮度高频增益分段曲线的高频分量阈值寄存器	11-123
0x0100	VHDNACCTHD1	VHD 通道 ACC 运算门限 1 寄存器	11-123
0x0104	VHDNACCTHD2	VHD 通道 ACC 运算门限 2 寄存器	11-124
0x0110	VHDACCLOW1	VHD ACC 查找表寄存器 1，亮度等级为 low	11-125
0x0114	VHDACCLOW2	VHD ACC 查找表寄存器 2，亮度等级为 low	11-126
0x0118	VHDACCLOW3	VHD ACC 查找表寄存器 3，亮度等级为 low	11-126
0x0120	VHDACCMED1	VHD ACC 查找表寄存器 1，亮度等级为 medium	11-127
0x0124	VHDACCMED2	VHD ACC 查找表寄存器 2，亮度等级为 medium	11-127
0x0128	VHDACCMED3	VHD ACC 查找表寄存器 3，亮度等级为 medium	11-128
0x0130	VHDACCHIGH1	VHD ACC 查找表寄存器 1，亮度等级为 high	11-128
0x0134	VHDACCHIGH2	VHD ACC 查找表寄存器 2，亮度等级为 high	11-129
0x0138	VHDACCHIGH3	VHD ACC 查找表寄存器 3，亮度等级为 high	11-129
0x0140	VHDACCML1	VHD ACC 查找表寄存器 1，亮度等级为 middle_low	11-130
0x0144	VHDACCML2	VHD ACC 查找表寄存器 2，亮度等级为 middle_low	11-130
0x0148	VHDACCML3	VHD ACC 查找表寄存器 3，亮度等级为 middle_low	11-131
0x0150	VHDACCMH1	VHD ACC 查找表寄存器 1，亮度等级为 middle_high	11-131
0x0154	VHDACCMH2	VHD ACC 查找表寄存器 2，亮度等级为 middle_high	11-132
0x0158	VHDACCMH3	VHD ACC 查找表寄存器 3，亮度等级为 middle_high	11-132
0x0160	VHDNACC3LOW	ACC 三区域的低门限亮度统计值寄存器	11-133

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

偏移地址	名称	描述	页码
0x0164	VHDNACC3MED	ACC 三区域的中门限亮度统计值寄存器	11-133
0x0168	VHDNACC3HIGH	ACC 三区域的高门限亮度统计值寄存器	11-133
0x016C	VHDNACC8MLOW	ACC 中间区域分成 8 段后，低门限亮度统计值寄存器	11-134
0x0170	VHDNACC8MHIGH	ACC 中间区域分成 8 段后，高门限亮度统计值寄存器	11-134
0x0174	VHDACCTOTAL	ACC 像素统计值寄存器	11-135
0x0180	VHDNIFIRCOEF01	VHD IFIR 滤波系数 0、1 寄存器	11-135
0x0184	VHDNIFIRCOEF23	VHD IFIR 滤波系数 2、3 寄存器	11-136
0x0188	VHDNIFIRCOEF45	VHD IFIR 滤波系数 4、5 寄存器	11-136
0x018C	VHDNIFIRCOEF67	VHD IFIR 滤波系数 6、7 寄存器	11-137
0x0400＋m x 0x20	VHDNPMRESO	视频层 VHD 分区 m 的分辨率寄存器	11-137
0x0404＋m x 0x20	VHDNPMLADDR	视频层 VHD 分区 m 的地址寄存器	11-138
0x0408＋m x 0x20	VHDNPMCADDR	视频层 VHD 分区 m 的色度地址寄存器	11-138
0x040C＋m x 0x20	VHDNPMSTRIDE	视频层 VHD 分区 m 的 stride 寄存器	11-139
0x0410＋m x 0x20	VHDNPMVFPOS	视频层 VHD 分区 m 在视频内容的起始位置（First POSition）寄存器	11-139
0x0414＋m x 0x20	VHDNPMVLPOS	视频层 VHD 分区 m 在视频内容的结束位置（First POSition）寄存器	11-140
0x0C04	VHDN64REGIONENL	视频层 VHD 32 分区的 0～31 分区使能寄存器	11-140
0x3000＋i x 0x1000	VSDICTRL	VSD 控制寄存器	11-144
0x3004＋i x 0x1000	VSDIUPD	VSD 通道更新使能寄存器	11-145
0x3010＋i x 0x1000	VSDICADDR	当前帧的地址寄存器	11-146
0x3014＋i x 0x1000	VSDICCADDR	当前帧的色度地址寄存器	11-146

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

偏移地址	名称	描述	页码
0x3024＋i x 0x1000	VSDISTRIDE	surface 的 stride 寄存器	11-147
0x3028＋i x 0x1000	VSDIIRESO	输入分辨率寄存器	11-147
0x3034＋i x 0x1000	VSDICBMPARA	叠加相关参数寄存器	11-148
0x3060＋i x 0x1000	VSDIDFPOS	Surface 在显示窗口的起始位置（First POSition）寄存器	11-148
0x3064＋i x 0x1000	VSDIDLPOS	Surface 在显示窗口的结束位置（Last POSition）寄存器	11-149
0x3070＋i x 0x1000	VSDIBK	视频层的背景色寄存器	11-149
0x3080＋i x 0x1000	VSDICSCIDC	色彩空间转换输入直流分量寄存器	11-150
0x3084＋i x 0x1000	VSDICSCODC	色彩空间转换输出直流分量寄存器	11-151
0x3088＋i x 0x1000	VSDICSCP0	色彩空间转换参数寄存器	11-151
0x308C＋i x 0x1000	VSDICSCP1	色彩空间转换参数 1 寄存器	11-152
0x3090＋i x 0x1000	VSDICSCP2	色彩空间转换参数 2 寄存器	11-152
0x3094＋i x 0x1000	VSDICSCP3	色彩空间转换参数 3 寄存器	11-153
0x3098＋i x 0x1000	VSDICSCP4	色彩空间转换参数 4 寄存器	11-154
0x30A0＋i x 0x1000	VSDIACM0	ACM 控制寄存器 0	11-154
0x30A4＋i x 0x1000	VSDIACM1	ACM 控制寄存器 1	11-155
0x30A8＋i x 0x1000	VSDIACM2	ACM 控制寄存器 2	11-155
0x30AC＋i x 0x1000	VSDIACM3	ACM 控制寄存器 3	11-156
0x30B0＋i x 0x1000	VSDIACM4	ACM 控制寄存器 4	11-157

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

偏移地址	名称	描述	页码
0x30B4＋i x 0x1000	VSDIACM5	ACM 控制寄存器 5	11-157
0x30B8＋i x 0x1000	VSDIACM6	ACM 控制寄存器 6	11-158
0x30BC＋i x 0x1000	VSDIACM7	ACM 控制寄存器 7	11-158
0x3100＋i x 0x1000	VSDIACCTHD1	VSD 通道 ACC 运算门限 1 寄存器	11-159
0x3104＋i x 0x1000	VSDIACCTHD2	VSD 通道 ACC 运算门限 2 寄存器	11-159
0x3110＋i x 0x1000	VSDIACCLOW1	VSD ACC 查找表寄存器 1，亮度等级为 low	11-160
0x3114＋i x 0x1000	VSDIACCLOW2	VSD ACC 查找表寄存器 2，亮度等级为 low	11-161
0x3118＋i x 0x1000	VSDIACCLOW3	VSD ACC 查找表寄存器 3，亮度等级为 low	11-161
0x3120＋i x 0x1000	VSDIACCMED1	VSD ACC 查找表寄存器 1，亮度等级为 medium	11-162
0x3124＋i x 0x1000	VSDIACCMED2	VSD ACC 查找表寄存器 2，亮度等级为 medium	11-162
0x3128＋i x 0x1000	VSDIACCMED3	VSD ACC 查找表寄存器 3，亮度等级为 medium	11-163
0x3130＋i x 0x1000	VSDIACCHIGH1	VSD ACC 查找表寄存器 1，亮度等级为 high	11-163
0x3134＋i x 0x1000	VSDIACCHIGH2	VSD ACC 查找表寄存器 2，亮度等级为 high	11-164
0x3138＋i x 0x1000	VSDIACCHIGH3	VSD ACC 查找表寄存器 3，亮度等级为 high	11-165
0x3140＋i x 0x1000	VSDIACCML1	VSD ACC 查找表寄存器 1，亮度等级为 middle_low	11-165
0x3144＋i x 0x1000	VSDIACCML2	VSD ACC 查找表寄存器 2，亮度等级为 middle_low	11-166
0x3148＋i x 0x1000	VSDIACCML3	VSD ACC 查找表寄存器 3，亮度等级为 middle_low	11-166
0x3150＋i x 0x1000	VSDIACCMH1	VSD ACC 查找表寄存器 1，亮度等级为 middle_high	11-167

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

偏移地址	名称	描述	页码
0x3154＋i x 0x1000	VSDIACCMH2	VSD ACC 查找表寄存器 2，亮度等级为 middle_high	11-167
0x3158＋i x 0x1000	VSDIACCMH3	VSD ACC 查找表寄存器 3，亮度等级为 middle_high	11-168
0x3160＋i x 0x1000	VSDIACC3LOW	ACC 三区域的低门限亮度统计值寄存器	11-168
0x3164＋i x 0x1000	VSDIACC3MED	ACC 三区域的中门限亮度统计值寄存器	11-169
0x3168＋i x 0x1000	VSDIACC3HIGH	ACC 三区域的高门限亮度统计值寄存器	11-169
0x316C＋i x 0x1000	VSDIACC8MLOW	ACC 中间区域分成 8 段后，低门限亮度统计值寄存器	11-170
0x3170＋i x 0x1000	VSDIACC8MHIGH	ACC 中间区域分成 8 段后，高门限亮度统计值寄存器	11-170
0x3174＋i x 0x1000	VSDIACCTOTAL	ACC 像素统计值寄存器	11-171
0x3180＋i x 0x1000	VSDIIFIRCOEF01	VSD IFIR 滤波系数 0、1 寄存器	11-171
0x3184＋i x 0x1000	VSDIIFIRCOEF23	VSD IFIR 滤波系数 2、3 寄存器	11-172
0x3188＋i x 0x1000	VSDIIFIRCOEF45	VSD IFIR 滤波系数 4、5 寄存器	11-172
0x318C＋i x 0x1000	VSDIIFIRCOEF67	VSD IFIR 滤波系数 6、7 寄存器	11-173
0x3400＋i x 0x1000＋m x 0x20	VSDIPMRESO	视频层 VSD 分区 m 的分辨率寄存器	11-173
0x3404＋i x 0x1000＋m x 0x20	VSDIPMLADDR	视频层 VSD 分区 m 的地址寄存器	11-174
0x3408＋i x 0x1000＋m x 0x20	VSDIPMCADDR	视频层 VSD 分区 m 的色度地址寄存器	11-174
0x340C＋i x 0x1000＋m x 0x20	VSDIPMSTRIDE	视频层 VSD 分区 m 的 stride 寄存器	11-175

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

偏移地址	名称	描述	页码
0x3410＋i x 0x1000＋m x 0x20	VSDIPMVFPOS	视频层 VSD 分区 m 在视频内容的起始位置（First POSition）寄存器	11-175
0x3414＋i x 0x1000＋m x 0x20	VSDIPMVLPOS	视频层 VSD 分区 m 在视频内容的结束位置（First POSition）寄存器	11-176
0x3C04＋i x 0x1000＋m x 0x20	VSDI16REGIONEN	视频层 VSD 8 分使能寄存器	11-176
0x8200	WBC2CTRL	WBC2 的控制寄存器	11-178
0x8204	WBC2UPD	WBC2 通道更新使能寄存器	11-178
0x8208	WBC2ADDR	CAPTURE 写地址地址寄存器	11-179
0x820C	WBC2STRIDE	CAPTURE 的 stride 寄存器	11-179
0x8210	WBC2ORESO	输出分辨率寄存器	11-180
0x8220	WBC2CADDR	CAPTURE 写地址色度地址寄存器	11-180
0x8224	WBC2CSTRIDE	CAPTURE 的色度 stride 寄存器	11-181
0x82C0	WBC2HSP	水平缩放参数配置（horizontal Scaling Parameter）寄存器	11-181
0x82C4	WBC2HLOFFSET	亮度水平位置偏移寄存器	11-182
0x82C8	WBC2HCOFFSET	色度水平位置偏移寄存器	11-183
0x82D8	WBC2VSP	缩放参数（vertical Scaling Parameter）寄存器	11-183
0x82DC	WBC2VSR	垂直缩放倍数（Luma Vertical Scaling Ratio）寄存器	11-185
0x82E0	WBC2VOFFSET	垂直缩放偏移（Vertical Luma Offset）寄存器	11-185
0x82E4	WBC2ZMEORESO	缩放单元的输出分辨率寄存器	11-186
0x82E8	WBC2ZMEIRESO	缩放单元的输出入辨率寄存器	11-186
0x9000	G0CTRL	G0 层控制寄存器	11-187
0x9004	G0UPD	图形层更新使能寄存器	11-188
0x9008	G0ADDR	图形层地址寄存器	11-189
0x900C	G0STRIDE	图形层的 stride 寄存器	11-189

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

偏移地址	名称	描述	页码
0x9010	G0CBMPARA	叠加相关参数寄存器	11-190
0x9014	G0CKEYMAX	color key 最大值寄存器	11-191
0x9018	G0CKEYMIN	color key 最小值寄存器	11-191
0x901C	G0CMASK	color key 的 MASK 值	11-192
0x9020	G0IRESO	输入分辨率寄存器	11-192
0x9024	G0ORESO	输出分辨率寄存器	11-193
0x902C	G0DFPOS	Surface 在显示窗口的起始位置（First POSition）寄存器	11-193
0x9030	G0DLPOS	Surface 在显示窗口的结束位置（Last POSition）寄存器	11-194
0x90A0	G0CSCIDC	色彩空间转换输入直流分量寄存器	11-194
0x90A4	G0CSCODC	色彩空间转换输出直流分量寄存器	11-195
0x90A8	G0CSCP0	色彩空间转换参数 0 寄存器	11-195
0x90AC	G0CSCP1	色彩空间转换参数 1 寄存器	11-196
0x90B0	G0CSCP2	色彩空间转换参数 2 寄存器	11-197
0x90B4	G0CSCP3	色彩空间转换参数 3 寄存器	11-197
0x90B8	G0CSCP4	色彩空间转换参数 4 寄存器	11-198
0x91B4	G0DCMPBANKWIDTH	G0 层压缩数据 bank 宽度寄存器	11-198
0x91B8	G0DCMPSTRIDE	G0 层压缩数据 stride 寄存器	11-199
0x91BC	G0DCMPAADDR	G0 层 A 分量压缩数据起始地址寄存器	11-199
0x91C0	G0DCMPRADDR	G0 层 R 分量压缩数据起始地址寄存器	11-200
0x91C4	G0DCMPGADDR	G0 层 G 分量压缩数据起始地址寄存器	11-200
0x91C8	G0DCMPBADDR	G0 层 B 分量压缩数据起始地址寄存器	11-200
0x9400	G2CTRL	G2 层控制寄存器	11-201
0x9404	G2UPD	图形层更新使能寄存器	11-202
0x9408	G2ADDR	图形层地址寄存器	11-202
0x940C	G2STRIDE	图形层的 stride 寄存器	11-202
0x9410	G2CBMPARA	叠加相关参数寄存器	11-203
0x9414	G2CKEYMAX	color key 最大值寄存器	11-204

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

偏移地址	名称	描述	页码
0x9418	G2CKEYMIN	color key 最小值寄存器	11-204
0x941C	G2CMASK	color key 的 MASK 值	11-205
0x9420	G2IRESO	输入分辨率寄存器	11-205
0x9424	G2ORESO	输出分辨率寄存器	11-206
0x942C	G2DFPOS	Surface 在显示窗口的起始位置（First POSition）寄存器	11-206
0x9430	G2DLPOS	Surface 在显示窗口的结束位置（Last POSition）寄存器	11-207
0x94A0	G2CSCIDC	色彩空间转换输入直流分量寄存器	11-207
0x94A4	G2CSCODC	G2 层色彩空间转换输出直流分量寄存器	11-208
0x94A8	G2CSCP0	G2 层色彩空间转换参数 0 寄存器	11-208
0x94AC	G2CSCP1	G2 层色彩空间转换参数 1 寄存器	11-209
0x94B0	G2CSCP2	G2 层色彩空间转换参数 2 寄存器	11-210
0x94B4	G2CSCP3	G2 层色彩空间转换参数 3 寄存器	11-210
0x94B8	G2CSCP4	G2 层色彩空间转换参数 4 寄存器	11-211
0x9600	G3CTRL	G3 层控制寄存器	11-211
0x9604	G3UPD	图形层更新使能寄存器	11-212
0x9608	G3ADDR	图形层地址寄存器	11-213
0x960C	G3STRIDE	图形层的 stride 寄存器	11-213
0x9610	G3CBMPARA	叠加相关参数寄存器	11-214
0x9614	G3CKEYMAX	color key 最大值寄存器	11-215
0x9618	G3CKEYMIN	color key 最小值寄存器	11-215
0x961C	G3CMASK	color key 的 MASK 值	11-216
0x9620	G3IRESO	输入分辨率寄存器	11-216
0x9624	G3ORESO	输出分辨率寄存器	11-217
0x962C	G3DFPOS	Surface 在显示窗口的起始位置（First POSition）寄存器	11-217
0x9630	G3DLPOS	Surface 在显示窗口的结束位置（Last POSition）寄存器	11-218
0x96A0	G3CSCIDC	G3 层色彩空间转换输入直流分量寄存器	11-218

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

偏移地址	名称	描述	页码
0x96A4	G3CSCODC	G3 层色彩空间转换输出直流分量寄存器	11-219
0x96A8	G3CSCP0	G3 色彩空间转换参数 0 寄存器	11-219
0x96AC	G3CSCP1	G3 层色彩空间转换参数 1 寄存器	11-220
0x96B0	G3CSCP2	G3 层色彩空间转换参数 2 寄存器	11-221
0x96B4	G3CSCP3	G3 层色彩空间转换参数 3 寄存器	11-221
0x96B8	G3CSCP4	G3 层色彩空间转换参数 4 寄存器	11-222
0x9A00	HCCTRL	HC 层控制寄存器	11-222
0x9A04	HCUPD	图形层更新使能寄存器	11-224
0x9A08	HCADDR	图形层地址寄存器	11-224
0x9A0C	HCSTRIDE	图形层的 stride 寄存器	11-225
0x9A10	HCCBMPARA	叠加相关参数寄存器	11-225
0x9A14	HCCKEYMAX	color key 最大值寄存器	11-226
0x9A18	HCCKEYMIN	color key 最小值寄存器	11-227
0x9A1C	HCCMASK	color key 最小值寄存器	11-227
0x9A20	HCIRESO	输入分辨率寄存器	11-228
0x9A2C	HCDFPOS	Surface 在显示窗口的起始位置（First POSition）寄存器	11-228
0x9A30	HCDLPOS	Surface 在显示窗口的结束位置（Last POSition）寄存器	11-229
0x9AA0	HCCSCIDC	色彩空间转换输入直流分量寄存器	11-229
0x9AA4	HCCSCODC	色彩空间转换输出直流分量寄存器	11-230
0x9AA8	HCCSCP0	色彩空间转换参数 0 寄存器	11-230
0x9AAC	HCCSCP1	色彩空间转换参数 1 寄存器	11-231
0x9AB0	HCCSCP2	色彩空间转换参数 2 寄存器	11-232
0x9AB4	HCCSCP3	色彩空间转换参数 3 寄存器	11-232
0x9AB8	HCCSCP4	色彩空间转换参数 4 寄存器	11-233
0x9E00	CBMBKG1	HD0 叠加背景色寄存器	11-233
0x9E08	CBMBKG3	SD0 叠加背景色寄存器	11-234
0x9E0C	CBMBKG4	SD1 叠加背景色寄存器	11-234

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

偏移地址	名称	描述	页码
0x9E10	CBMATTR	CrossBar（Cross Bar ConFiGuration）配置寄存器	11-235
0x9E14	CBMMIX1	Mixer1 优先级配置寄存器	11-236
0x9E1C	CBMMIX3	Mixer3 优先级配置寄存器	11-237
0x9E20	CBMMIX4	Mixer4 优先级配置寄存器	11-238
0xA000	DHDCTRL	显示通道的总体控制寄存器	11-239
0xA004	DHDVSYNC	垂直时序寄存器	11-241
0xA008	DHDHSYNC1	水平时序寄存器	11-242
0xA00C	DHDHSYNC2	水平时序寄存器	11-243
0xA010	DHDVPLUS	隔行底场垂直时序寄存器	11-243
0xA014	DHDPWR	同步信号脉冲宽度寄存器	11-244
0xA01C	DHDVTTHD	垂直时序门限值（Vertical Timing Threshold）寄存器	11-245
0xA040	DHDCLIPL	显示通道 Clip 处理最低门限值寄存器	11-245
0xA044	DHDCLIPH	显示通道 Clip 处理最高门限值寄存器	11-246
0xA0F0	DHDSTATE	DHD 状态寄存器	11-247
0xA800	DSDCTRL	显示通道的总体控制寄存器	11-248
0xA804	DSDVSYNC	垂饰时序寄存器	11-249
0xA808	DSDHSYNC1	水平时序寄存器	11-250
0xA80C	DSDHSYNC2	水平时序寄存器	11-251
0xA810	DSDVPLUS	隔行底场垂直时序寄存器	11-251
0xA814	DSDPWR	同步信号脉冲宽度寄存器	11-252
0xA81C	DSDVTTHD	垂直时序门限值（Vertical Timing Threshold）寄存器	11-253
0xA840	DSDCLIPL	显示通道 Clip 处理最低门限值寄存器	11-254
0xA844	DSDCLIPH	显示通道 Clip 处理最高门限值寄存器	11-254
0xA8F0	DSDSTATE	DSD 状态寄存器	11-255
0xAC00	DSD1CTRL	显示通道的总体控制寄存器	11-256
0xAC04	DSD1VSYNC	垂直时序寄存器	11-257
0xAC08	DSD1HSYNC1	水平时序寄存器	11-258

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

偏移地址	名称	描述	页码
0xAC0C	DSD1HSYNC2	水平时序寄存器	11-259
0xAC10	DSD1VPLUS	隔行输出时	11-259
0xAC14	DSD1PWR	同步信号脉冲宽度寄存器	11-260
0xAC1C	DSD1VTTHD	垂直时序门限值（Vertical Timing Threshold）寄存器	11-261
0xAC40	DSD1CLIPL	显示通道 Clip 处理最低门限值寄存器	11-262
0xAC44	DSD1CLIPH	显示通道 Clip 处理最高门限值寄存器	11-262
0xACF0	DSD1STATE	DSD 状态寄存器	11-263
0xC200	DATE_COEFF0	制式参数配置寄存器	11-264
0xC204	DATE_COEFF1	幅度配置寄存器	11-269
0xC21C	DATE_COEFF7	Teletext 配置寄存器	11-271
0xC220	DATE_COEFF8	Teletext 配置寄存器	11-275
0xC224	DATE_COEFF9	Teletext 配置寄存器	11-275
0xC228	DATE_COEFF10	Teletext 配置寄存器	11-276
0xC22C	DATE_COEFF11	Closed Caption 配置寄存器	11-277
0xC230	DATE_COEFF12	Closed Caption 配置寄存器	11-278
0xC234	DATE_COEFF13	CGMS 配置寄存器	11-278
0xC238	DATE_COEFF14	CGMS 配置寄存器	11-279
0xC23C	DATE_COEFF15	WSS 配置寄存器	11-279
0xC240	DATE_COEFF16	VPS 配置寄存器	11-280
0xC244	DATE_COEFF17	VPS 配置寄存器	11-281
0xC248	DATE_COEFF18	VPS 配置寄存器	11-281
0xC24C	DATE_COEFF19	VPS 配置寄存器	11-282
0xC250	DATE_COEFF20	Teletext 配置寄存器	11-282
0xC254	DATE_COEFF21	输出矩阵控制寄存器	11-283
0xC258	DATE_COEFF22	DTO 初始相位配置寄存器	11-286
0xC25C	DATE_COEFF23	VIDEO_OUT 延时配置寄存器	11-287
0xC280	DATE_ISRMASK	中断屏蔽寄存器	11-288
0xC284	DATE_ISRSTATE	中断状态寄存器	11-289

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

偏移地址	名称	描述	页码
0xC288	DATE_ISR	中断寄存器	11-289
0xC290	DATE_VERSION	版本寄存器	11-290
0xC400	DATE1_COEFF0	制式参数配置寄存器	11-290
0xC404	DATE1_COEFF1	幅度配置寄存器	11-295
0xC41C	DATE1_COEFF7	Teletext 配置寄存器	11-297
0xC420	DATE1_COEFF8	Teletext 配置寄存器	11-301
0xC424	DATE1_COEFF9	Teletext 配置寄存器	11-302
0xC428	DATE1_COEFF10	Teletext 配置寄存器	11-302
0xC42C	DATE1_COEFF11	Closed Caption 配置寄存器	11-303
0xC430	DATE1_COEFF12	Closed Caption 配置寄存器	11-304
0xC434	DATE1_COEFF13	CGMS 配置寄存器	11-304
0xC438	DATE1_COEFF14	CGMS 配置寄存器	11-305
0xC43C	DATE1_COEFF15	WSS 配置寄存器	11-305
0xC440	DATE1_COEFF16	VPS 配置寄存器	11-306
0xC444	DATE1_COEFF17	VPS 配置寄存器	11-307
0xC448	DATE1_COEFF18	VPS 配置寄存器	11-307
0xC44C	DATE1_COEFF19	VPS 配置寄存器	11-308
0xC450	DATE1_COEFF20	Teletext 配置寄存器	11-308
0xC454	DATE1_COEFF21	输出矩阵控制寄存器	11-309
0xC458	DATE1_COEFF22	DTO 初始相位配置寄存器	11-312
0xC45C	DATE1_COEFF23	VIDEO_OUT 延时配置寄存器	11-313
0xC480	DATE1_ISRMASK	中断屏蔽寄存器	11-314
0xC484	DATE1_ISRSTATE	中断状态寄存器	11-315
0xC488	DATE1_ISR	中断寄存器	11-315
0xC490	DATE1_VERSION	版本寄存器	11-316
0xCE00	VOCTRL	VO 控制寄存器	11-316
0xCE04	VOINTSTA	VO 中断状态寄存器	11-317
0xCE08	VOMSKINTSTA	VO 经过 Mask 的中断状态寄存器	11-319

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

偏移地址	名称	描述	页码
0xCE0C	VOINTMSK	VOU 中断屏蔽寄存器	11-321
0xCE10	VOUVERSION1	VOU 版本 1 寄存器	11-322
0xCE14	VOUVERSION2	VOU 版本 2 寄存器	11-322
0xCE18	VOMUXDATA	VO 输出接口复选数据（VOPINTEST）寄存器	11-323
0xCE1C	VOMUX	VO 输出接口复选寄存器	11-324
0xCE24	VGACSCIDC	色彩空间转换输入直流分量寄存器	11-325
0xCE28	VGACSCODC	色彩空间转换输出直流分量寄存器	11-326
0xCE2C	VGACSCP0	色彩空间转换参数 0 寄存器	11-326
0xCE30	VGACSCP1	色彩空间转换参数 1 寄存器	11-327
0xCE34	VGACSCP2	色彩空间转换参数 2 寄存器	11-328
0xCE38	VGACSCP3	色彩空间转换参数 3 寄存器	11-328
0xCE3C	VGACSCP4	色彩空间转换参数 4 寄存器	11-329
0xCE40	VOPARAUP	缩放/GAMMA/ACC 系数更新使能寄存器	11-329
0xCE44	VHDHCOEFAD	VHD 水平亮度、水平色度滤波系数地址寄存器	11-331
0xCE48	VHDVCOEFAD	VHD 垂直亮度、水平色度滤波系数地址寄存器	11-331
0xCE54	ACCAD	video 通道 ACC 系数查找表地址寄存器	11-331
0xCE58	WBC2HCOEFAD	WBC2 水平亮度、水平色度滤波系数地址寄存器	11-332
0xCE5C	WBC2VCOEFAD	WBC2 垂直亮度、水平色度滤波系数地址寄存器	11-332
0xCE78	DHDGAMMAAD	DHD 通道 gamma 校正系数地址寄存器	11-332
0xCEE0	DACCTRL0_2	DAC0～2 控制寄存器	11-333
0xCEE4	DACCTRL3_5	DAC3～5 控制寄存器	11-334
0xCEE8	DACSTAT0_2	DAC0～2 状态寄存器	11-336
0xCEEC	DACSTAT3_5	DAC3～5 状态寄存器	11-337
0xCEF0	DACBANDGAP	bandgap 测试寄存器	11-337
0xCEF4	VOLPTIMER	低功耗计数器寄存器	11-338

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

偏移地址	名称	描述	页码
0xCEF8	VOLPMODE0	低功耗模式 0 寄存器	11-338
0xCEFC	VOLPMODE1	低功耗模式 1 寄存器	11-340
0xD000～0xD10C	VHDHLCOEF	VHD 水平亮度缩放滤波系数寄存器	11-342
0xD200～0xD284	VHDHCCOEF	VHD 水平色度缩放滤波系数寄存器	11-342
0xD400～0xD50C	VHDVLCOEF	VHD 垂直亮度缩放滤波系数寄存器	11-343
0xD600～0xD684	VHDVCCOEF	VHD 垂直色度缩放滤波系数寄存器	11-344
0xE000～0xE10C	WBCHLCOEF	WBC 水平亮度缩放滤波系数寄存器	11-345
0xE200～0xE284	WBCHCCOEF	WBC 水平色度缩放滤波系数寄存器	11-345
0xE400～0xE50C	WBCVLCOEF	WBC 垂直亮度缩放滤波系数寄存器	11-346
0xE600～0xE684	WBCVCCOEF	WBC 垂直色度缩放滤波系数寄存器	11-347
0xE800～0xE880	DHDGAMMAN	DHD 通道 GAMMA 查找表系数寄存器	11-348
0xF000～0xF040	VHDHLTICOEF	VHD 水平亮度 HLTI 滤波系数寄存器	11-348
0xF100～0xF140	VHDHCTICOEF	VHD 水平色度 HCTI 滤波系数寄存器	11-349
0xF200～0xF240	VHDVLTICOEF	VHD 垂直亮度 VLTI 滤波系数寄存器	11-349
0xF300～0xF340	VHDVCTICOEF	VHD 垂直色度 VCTI 滤波系数寄存器	11-350

11.2.5 寄存器描述

VHDNCTRL

VHDNCTRL 为 VHD 控制寄存器。该寄存器可以配置层的相关信息。非即时寄存器。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x0000	VHDNCTRL	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	surface_en	reserved											ifir_mode		vup_mode	reserved													ifmt			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31]	RW	surface_en	surface 使能。非即时寄存器。 0：禁止； 1：使能。
[30:20]	RO	reserved	保留。
[19:18]	RW	ifir_mode	水平色度 IFIR 模式。 00：保留。 01：色度 IFIR 拷贝模式； 10：双线性插值； 11：6 阶 FIR。
[17]	RW	vup_mode	寄存器更新模式选择。 0：按场更新； 1：按帧更新。
[16:4]	RO	reserved	保留。
[3:0]	RW	ifmt	输入数据格式。 0x3：SPYCbCr420； 0x4：SPYCbCr422； 其他：保留。

VHDNUPD

VHDNUPD 为 VHD 通道更新使能寄存器。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x0004	VHDNUPD	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																															regup
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:1]	RO	reserved	保留。
[0]	RW	regup	surface 的寄存器更新。当软件配置完该层寄存器后写 1 更新，更新完成后，硬件自动清零。

VHDNCADDR

VHDNCADDR 为当前帧的地址寄存器。对于 package 像素格式就是帧 buffer 地址；对于 semi-planar 像素格式是亮度帧 buffer 地址。

Offset Address	Register Name	Total Reset Value
0x0010	VHDNCADDR	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	surface_caddr																															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:0]	RW	surface_caddr	当前帧的地址。

VHDNCCADDR

VHDNCCADDR 为当前帧的色度地址寄存器。对于 package 像素格式该地址无效；对于 semi-planar 像素格式是色度帧 buffer 地址。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x0014	VHDNCCADDR	0x0000_0000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	surface_ccaddr							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[31:0]	RW	surface_ccaddr	当前帧的色度地址。

VHDNSTRIDE

VHDNSTRIDE 为 surface 的 stride 寄存器。

Offset Address	Register Name	Total Reset Value
0x0024	VHDNSTRIDE	0x0000_0000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	surface_cstride				surface_stride			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[31:16]	RW	surface_cstride	色度帧 buffer 的 stride(对于 semi-planaer 格式有用)，128bit 对齐。
[15:0]	RW	surface_stride	帧 buffer 的 stride(对于 semi-planaer 格式，指亮度的 stride)，128bit 对齐。

VHDNIRESO

VHDNIRESO 为输入分辨率寄存器。非即时寄存器。

Offset Address	Register Name	Total Reset Value
0x0028	VHDNIRESO	0x0000_0000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved		ih			iw		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[31:24]	RO	reserved	保留。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x0028	VHDNIRESO	0x0000_0000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved		ih			iw		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[23:12]	RW	ih	高度，单位：行。实际高度减 1。 以帧高度为参考，以行为单位。
[11:0]	RW	iw	宽度，单位：像素。实际宽度减 1。

VHDNCBMPARA

VHDNCBMPARA 为叠加相关参数寄存器。非即时寄存器。

Offset Address	Register Name	Total Reset Value
0x0034	VHDNCBMPARA	0x0000_0000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved						galpha	
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[31:8]	RW	reserved	保留。
[7:0]	RW	galpha	叠加全局 alpha 值。取值范围为 0～128。128 为全不透明；0 为全透明。

VHDCTI_CTRL

VHDCTI_CTRL 为 CTI 控制寄存器。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x0050	VHDCTI_CTRL	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	cti_en	reserved			cgain_ratio												reserved	cmixing_ratio							reserved							
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31]	RW	cti_en	CTI 使能。 0：禁止； 1：使能。
[30:28]	RO	reserved	保留。
[27:16]	RW	cgain_ratio	色度增益系数。
[15]	RO	reserved	保留。
[14:8]	RW	cmixing_ratio	色度 Mixing 的加权系数。
[7:0]	RO	reserved	保留。

VHDCHPASS_COEF

VHDCHPASS_COEF 为色度高频提取系数寄存器。

Offset Address	Register Name	Total Reset Value
0x0054	VHDCHPASS_COEF	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved								chpass_coef2								chpass_coef1								chpass_coef0							
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:24]	RO	reserved	保留。
[23:16]	RW	chpass_coef2	色度高频提取系数 2。
[15:8]	RW	chpass_coef1	色度高频提取系数 1。
[7:0]	RW	chpass_coef0	色度高频提取系数 0。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

VHDCTI_THRE

VHDCTI_THRE 为 CTI 处理阈值寄存器。

Offset Address	Register Name	Total Reset Value
0x0058	VHDCTI_THRE	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	ccoring_thre																cswing_thre															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:16]	RW	ccoring_thre	色度 coring 的阈值。
[15:0]	RW	cswing_thre	色度 swing 的阈值。

VHDLGAIN_COEF

VHDLGAIN_COEF 为亮度高频增益分段曲线的增益加权系数寄存器。

Offset Address	Register Name	Total Reset Value
0x005C	VHDLGAIN_COEF	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved								lgain_coef2								lgain_coef1								lgain_coef0							
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:24]	RO	reserved	保留。
[23:16]	RW	lgain_coef2	亮度高频增益分段曲线的增益加权系数 2。
[15:8]	RW	lgain_coef1	亮度高频增益分段曲线的增益加权系数 1。
[7:0]	RW	lgain_coef0	亮度高频增益分段曲线的增益加权系数 0。

VHDNDFPOS

VHDNDFPOS 为 Surface 在显示窗口的起始位置（First POSition）寄存器。以像素为单位。非即时寄存器。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x0060	VHDNDFPOS	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved								disp_yfpos												disp_xfpos											
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:24]	RO	reserved	保留。
[23:12]	RW	disp_yfpos	显示列起始坐标。 以帧高度为参考，以行为单位。
[11:0]	RW	disp_xfpos	显示行起始坐标。

VHDNDLPOS

VHDNDLPOS 为 Surface 在显示窗口的结束位置（Last POSition）寄存器。以像素为单位。非即时寄存器。

Offset Address	Register Name	Total Reset Value
0x0064	VHDNDLPOS	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved								disp_ylpos												disp_xlpos											
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:24]	RO	reserved	保留。
[23:12]	RW	disp_ylpos	显示列结束坐标。 以帧高度为参考，以行为单位。
[11:0]	RW	disp_xlpos	显示行结束坐标。

VHDBK

VHDBK 为视频层的背景色寄存器。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x0070	VHDBK	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	vbk_alpha								vbk_y								vbk_cb								vbk_cr							
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:24]	RW	vbk_alpha	视频层的背景填充色 0～128 级。
[23:16]	RW	vbk_y	Y 分量。
[15:8]	RW	vbk_cb	Cb 分量。
[7:0]	RW	vbk_cr	Cr 分量。

VHDNCSCIDC

VHDNCSCIDC 为色彩空间转换输入直流分量寄存器。即时寄存器。

Offset Address	Register Name	Total Reset Value
0x0080	VHDNCSCIDC	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				csc_en	cscidc2											cscidc1								cscidc0							
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:28]	RO	reserved	保留。
[27]	RW	csc_en	CSC 使能控制信号。 0：禁止； 1：使能。
[26:18]	RW	cscidc2	输入分量 2 直流参数，MSB 为符号位。补码表示。
[17:9]	RW	cscidc1	输入分量 1 直流参数，MSB 为符号位。补码表示。
[8:0]	RW	cscidc0	输入分量 0 直流参数，MSB 为符号位。补码表示。

VHDNCSCODC

VHDNCSCODC 为色彩空间转换输出直流分量寄存器。即时寄存器。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x0084	VHDNCSCODC	0x0000_0000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved	cscodc2		cscodc1		cscodc0		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[31:27]	RO	reserved	保留。
[26:18]	RW	cscodc2	输出分量 2 直流参数，MSB 为符号位。补码表示。
[17:9]	RW	cscodc1	输出分量 1 直流参数，MSB 为符号位。补码表示。
[8:0]	RW	cscodc0	输出分量 0 直流参数，MSB 为符号位。补码表示。

VHDNCSCP0

VHDNCSCP0 为色彩空间转换参数 0 寄存器。即时寄存器。

Offset Address	Register Name	Total Reset Value
0x0088	VHDNCSCP0	0x0000_0000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved	cscp01			reserved	cscp00		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[31:29]	RO	reserved	保留。
[28:16]	RW	cscp01	5.8 数据格式：1bit 符号位、4bit 整数位、8bit 小数位。补码表示。
[15:13]	RO	reserved	保留。
[12:0]	RW	cscp00	5.8 数据格式：1bit 符号位、4bit 整数位、8bit 小数位。补码表示。

VHDNCSCP1

VHDNCSCP1 为色彩空间转换参数 1 寄存器。即时寄存器。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x008C	VHDNCSCP1	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				cscp10												reserved				cscp02											
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:29]	RO	reserved	保留。
[28:16]	RW	cscp10	5.8 数据格式：1bit 符号位、4bit 整数位、8bit 小数位。补码表示。
[15:13]	RO	reserved	保留。
[12:0]	RW	cscp02	5.8 数据格式：1bit 符号位、4bit 整数位、8bit 小数位。补码表示。

VHDNCSCP2

VHDNCSCP2 为色彩空间转换参数 2 寄存器。即时寄存器。

Offset Address	Register Name	Total Reset Value
0x0090	VHDNCSCP2	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				cscp12												reserved				cscp11											
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:29]	RO	reserved	保留。
[28:16]	RW	cscp12	5.8 数据格式：1bit 符号位、4bit 整数位、8bit 小数位。补码表示。
[15:13]	RO	reserved	保留。
[12:0]	RW	cscp11	5.8 数据格式：1bit 符号位、4bit 整数位、8bit 小数位。补码表示。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

VHDNCSCP3

VHDNCSCP3 为色彩空间转换参数 3 寄存器。即时寄存器。

Offset Address	Register Name	Total Reset Value
0x0094	VHDNCSCP3	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				cscp21												reserved				cscp20											
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:29]	RO	reserved	保留。
[28:16]	RW	cscp21	5.8 数据格式：1bit 符号位、4bit 整数位、8bit 小数位。补码表示。
[15:13]	RO	reserved	保留。
[12:0]	RW	cscp20	5.8 数据格式：1bit 符号位、4bit 整数位、8bit 小数位。补码表示。

VHDNCSCP4

VHDNCSCP4 为色彩空间转换参数 4 寄存器。即时寄存器。

Offset Address	Register Name	Total Reset Value
0x0098	VHDNCSCP4	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																				cscp22											
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:13]	RO	reserved	保留。
[12:0]	RW	cscp22	5.8 数据格式：1bit 符号位、4bit 整数位、8bit 小数位。补码表示。

VHDACM0

VHDACM0 为 ACM 控制寄存器 0。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x00A0	VHDACM0	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	acm3_en		acm2_en		acm1_en		acm0_en		acm_sec_blk				acm_fir_blk				acm_d_u_off				acm_c_u_off				acm_b_u_off				acm_a_u_off			
Reset	0		0		0		0		0		0		0		0		0		0		0		0		0		0		0		0	

Bits	Access	Name	Description
[31]	RW	acm3_en	acm 3 使能。
[30]	RW	acm2_en	acm 2 使能。
[29]	RW	acm1_en	acm 1 使能。
[28]	RW	acm0_en	acm 0 使能。
[27:24]	RW	acm_sec_blk	ACM0 V 的 index 值。
[23:20]	RW	acm_fir_blk	ACM0 U 的 index 值。
[19:15]	RW	acm_d_u_off	ACM0 U 分量的第 4 个偏移值。
[14:10]	RW	acm_c_u_off	ACM0 U 分量的第 3 个偏移值。
[9:5]	RW	acm_b_u_off	ACM0 U 分量的第 2 个偏移值。
[4:0]	RW	acm_a_u_off	ACM0 U 分量的第 1 个偏移值。

VHDACM1

VHDACM1 为 ACM 控制寄存器 1。

Offset Address	Register Name	Total Reset Value
0x00A4	VHDACM1	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved											acm_test_en	acm_d_v_off				acm_c_v_off				acm_b_v_off				acm_a_v_off							
Reset	0		0		0		0		0		0		0		0		0		0		0		0		0		0		0		0	

Bits	Access	Name	Description
[31:21]	RO	reserved	保留。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x00A4	VHDACM1	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved												acm_test_en	acm_d_v_off							acm_c_v_off				acm_b_v_off				acm_a_v_off			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[20]	RW	acm_test_en	ACM 对比测试使能。 0：正常做； 1：左边不做，右边做 ACM。
[19:15]	RW	acm_d_v_off	ACM0 V 分量的第 4 个偏移值。
[14:10]	RW	acm_c_v_off	ACM0 V 分量的第 3 个偏移值。
[9:5]	RW	acm_b_v_off	ACM0 V 分量的第 2 个偏移值。
[4:0]	RW	acm_a_v_off	ACM0 V 分量的第 1 个偏移值。

VHDACM2

VHDACM2 为 ACM 控制寄存器 2。

Offset Address	Register Name	Total Reset Value
0x00A8	VHDACM2	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				acm_sec_blk				acm_fir_blk				acm_d_u_off				acm_c_u_off				acm_b_u_off				acm_a_u_off							
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:28]	RO	reserved	保留。
[27:24]	RW	acm_sec_blk	ACM1 V 的 index 值。
[23:20]	RW	acm_fir_blk	ACM1 U 的 index 值。
[19:15]	RW	acm_d_u_off	ACM1 U 分量的第 4 个偏移值。
[14:10]	RW	acm_c_u_off	ACM1 U 分量的第 3 个偏移值。
[9:5]	RW	acm_b_u_off	ACM1 U 分量的第 2 个偏移值。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

[4:0]	RW	acm_a_u_off	ACM1 U 分量的第 1 个偏移值。

VHDACM3

VHDACM3 为 ACM 控制寄存器 3。

Offset Address	Register Name	Total Reset Value
0x00AC	VHDACM3	0x0000_0000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved			acm_d_v_off	acm_c_v_off	acm_b_v_off	acm_a_v_off	
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[31:20]	RO	reserved	保留。
[19:15]	RW	acm_d_v_off	ACM1 V 分量的第 4 个偏移值。
[14:10]	RW	acm_c_v_off	ACM1 V 分量的第 3 个偏移值。
[9:5]	RW	acm_b_v_off	ACM1 V 分量的第 2 个偏移值。
[4:0]	RW	acm_a_v_off	ACM1 V 分量的第 1 个偏移值。

VHDACM4

VHDACM4 为 ACM 控制寄存器 4。

Offset Address	Register Name	Total Reset Value
0x00B0	VHDACM4	0x0000_0000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved	acm_sec_blk	acm_fir_blk	acm_d_u_off	acm_c_u_off	acm_b_u_off	acm_a_u_off	
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[31:28]	RO	reserved	保留。
[27:24]	RW	acm_sec_blk	ACM2 V 的 index 值。
[23:20]	RW	acm_fir_blk	ACM2 U 的 index 值。
[19:15]	RW	acm_d_u_off	ACM2 U 分量的第 4 个偏移值。
[14:10]	RW	acm_c_u_off	ACM2 U 分量的第 3 个偏移值。
[9:5]	RW	acm_b_u_off	ACM2 U 分量的第 2 个偏移值。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

[4:0]	RW	acm_a_u_off	ACM2 U 分量的第 1 个偏移值。

VHDACM5

VHDACM5 为 ACM 控制寄存器 5。

Offset Address	Register Name	Total Reset Value
0x00B4	VHDACM5	0x0000_0000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved			acm_d_v_off	acm_c_v_off	acm_b_v_off	acm_a_v_off	
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[31:20]	RO	reserved	保留。
[19:15]	RW	acm_d_v_off	ACM2 V 分量的第 4 个偏移值。
[14:10]	RW	acm_c_v_off	ACM2 V 分量的第 3 个偏移值。
[9:5]	RW	acm_b_v_off	ACM2 V 分量的第 2 个偏移值。
[4:0]	RW	acm_a_v_off	ACM2 V 分量的第 1 个偏移值。

VHDACM6

VHDACM6 为 ACM 控制寄存器 6。

Offset Address	Register Name	Total Reset Value
0x00B8	VHDACM6	0x0000_0000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved	acm_sec_blk	acm_fir_blk	acm_d_u_off	acm_c_u_off	acm_b_u_off	acm_a_u_off	
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[31:28]	RO	reserved	保留。
[27:24]	RW	acm_sec_blk	ACM3 V 的 index 值。
[23:20]	RW	acm_fir_blk	ACM3 U 的 index 值。
[19:15]	RW	acm_d_u_off	ACM3 U 分量的第 4 个偏移值。
[14:10]	RW	acm_c_u_off	ACM3 U 分量的第 3 个偏移值。
[9:5]	RW	acm_b_u_off	ACM3 U 分量的第 2 个偏移值。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x00B8	VHDACM6	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				acm_sec_blk				acm_fir_blk				acm_d_u_off				acm_c_u_off				acm_b_u_off				acm_a_u_off							
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[4:0]	RW	acm_a_u_off	ACM3 U 分量的第 1 个偏移值。

VHDACM7

VHDACM7 为 ACM 控制寄存器 7。

Offset Address	Register Name	Total Reset Value
0x00BC	VHDACM7	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved												acm_d_v_off				acm_c_v_off				acm_b_v_off				acm_a_v_off							
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:20]	RO	reserved	保留。
[19:15]	RW	acm_d_v_off	ACM3 V 分量的第 4 个偏移值。
[14:10]	RW	acm_c_v_off	ACM3 V 分量的第 3 个偏移值。
[9:5]	RW	acm_b_v_off	ACM3 V 分量的第 2 个偏移值。
[4:0]	RW	acm_a_v_off	ACM3 V 分量的第 1 个偏移值。

VHDNHSP

VHDNHSP 为水平缩放参数配置（horizontal Scaling Parameter）寄存器。非即时寄存器。

缩放比率＝输入宽度/输出宽度

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x00C0	VHDNHSP	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	hlmsc_en	hchmsc_en	reserved					hlfir_en	hchfir_en	reserved			hfir_order	reserved			hratio															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31]	RW	hlmsc_en	水平亮度缩放使能。 0：禁止； 1：使能。
[30]	RW	hchmsc_en	水平色度缩放使能。 0：禁止； 1：使能。
[29:25]	RO	reserved	保留。
[24]	RW	hlfir_en	水平亮度缩放模式。 0：复制模式(滤波禁止)； 1：滤波模式(滤波使能)。
[23]	RW	hchfir_en	水平色度缩放模式。 0：复制模式(滤波禁止)； 1：滤波模式(滤波使能)。
[22:20]	RO	reserved	保留。
[19]	RW	hfir_order	水平缩放位置。 0：水平缩放在垂直缩放前面； 1：水平缩放在垂直缩放后面。
[18:16]	RO	reserved	保留。
[15:0]	RW	hratio	水平缩放倍数，(u,4,12)格式。

VHDNHLOFFSET

VHDNHLOFFSET 为亮度水平位置偏移寄存器。用于 pan-scan。非即时寄存器。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x00C4	VHDNHLOFFSET	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																hor_loffset															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:17]	RO	reserved	保留。
[16:0]	RW	hor_loffset	水平亮度位置偏移，(s,5,12)格式。补码表示。

VHDNHCOFFSET

VHDNHCOFFSET 为色度水平位置偏移寄存器。用于 pan-scan。非即时寄存器。

Offset Address	Register Name	Total Reset Value
0x00C8	VHDNHCOFFSET	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																hor_coffset															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:17]	RO	reserved	保留。
[16:0]	RW	hor_coffset	水平色度位置偏移，(s,5,12)格式。补码表示。

VHDNVSP

VHDNVSP 为缩放参数（vertical Scaling Parameter）寄存器。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x00D8	VHDNVSP	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	vlmsc_en	vchmsc_en	reserved		vsc_luma_tap	vsc_chroma_tap	chroma_type	vlfir_en	vchfir_en	reserved																						
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31]	RW	vlmsc_en	垂直亮度缩放使能。 0：禁止； 1：使能。
[30]	RW	vchmsc_en	垂直色度缩放使能。 0：禁止； 1：使能。
[29:28]	RO	reserved	保留。
[27]	RW	vsc_luma_tap	垂直亮度缩放阶数。 0：4 阶 FIR； 1：2 阶 FIR；
[26]	RW	vsc_chroma_tap	垂直色度缩放阶数。 0：4 阶 FIR； 1：2 阶 FIR。
[25]	RW	chroma_type	亮度和色度在垂直方向的比例。 0：422； 1：420。
[24]	RW	vlfir_en	垂直亮度缩放模式。 0：复制模式(滤波禁止)； 1：滤波模式(滤波使能)。
[23]	RW	vchfir_en	垂直色度缩放模式。 0：复制模式(滤波禁止)； 1：滤波模式(滤波使能)。
[22:0]	RO	reserved	保留。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

VHDNVSR

VHDNVSR 为垂直缩放倍数（Luma Vertical Scaling Ratio）寄存器。非即时寄存器。

缩放比率＝输入高度/输出高度。

Offset Address	Register Name	Total Reset Value
0x00DC	VHDNVSR	0x0000_1000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																vratio															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:16]	RO	reserved	保留。
[15:0]	RW	vratio	垂直缩放倍数，(u,4,12)格式。

VHDNVOFFSET

VHDNVOFFSET 为垂直缩放偏移（Vertical Luma Offset）寄存器。

垂直缩放偏移受两个因素影响：pan-scan 和重复帧时的场偏移。当没有场偏移时，vluma_offset 为 offset_pan-scan 的最低整数位+小数位；在 YCbCr422 格式时 vchroma_offset 与 vluma_offset 相等；在 YCbCr420 格式时，vchroma_offset = scaling_chroma/2-0.25。当需要场偏移时（如静帧或者重复帧），假设重复底场，则顶场配置的 vluma_offset 和 vchroma_offset 与上述无偏移时相同，底场配置需要考虑场偏移。

Offset Address	Register Name	Total Reset Value
0x00E0	VHDNVOFFSET	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	vluma_offset																vchroma_offset															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:16]	RW	vluma_offset	垂直亮度偏移，补码表示，(s,4,12)格式。
[15:0]	RW	vchroma_offset	垂直色度偏移，补码表示，(s,4,12)格式。

VHDNZMEORESO

VHDNZMEORESO 为缩放单元的输出分辨率寄存器。非即时寄存器。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x00E4	VHDNZMEORESO	0x0000_0000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved		oh			ow		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[31:24]	RO	reserved	保留。
[23:12]	RW	oh	高度，单位：行。实际高度减 1。 逐行时，以帧高度为参考，以行为单位；隔行时，以场高度为参考，以行为单位。
[11:0]	RW	ow	宽度，单位：像素。实际宽度减 1。 **注意：层的实际宽度必须是偶数。**

VHDNZMEIRESO

VHDNZMEIRESO 为缩放单元的输出入辨率寄存器。非即时寄存器。

Offset Address	Register Name	Total Reset Value
0x00E8	VHDNZMEIRESO	0x0000_0000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved		ih			iw		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[31:24]	RO	reserved	保留。
[23:12]	RW	ih	高度，单位：行。实际高度减 1。 逐行时，以帧高度为参考，以行为单位，隔行时，以场高度为参考，以行为单位。
[11:0]	RW	iw	宽度，单位：像素。实际宽度减 1。 注意：层的实际宽度必须是偶数。

VHDNLTI_CTRL

VHDNLTI_CTRL 为 LTI 控制寄存器。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x00F0	VHDNLTI_CTRL	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	lti_en	reserved			lgain_ratio												reserved	lmixing_ratio							lhpass_coef4							
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31]	RW	lti_en	LTI 使能。 0：禁止； 1：使能。
[30:28]	RO	reserved	保留。
[27:16]	RW	lgain_ratio	亮度增益系数。
[15]	RO	reserved	保留。
[14:8]	RW	lmixing_ratio	亮度 Mixing 的加权系数。
[7:0]	RW	lhpass_coef4	亮度高频提取系数 4。

VHDNLHPASS_COEF

VHDNLHPASS_COEF 为亮度高频提取系数寄存器。

Offset Address	Register Name	Total Reset Value
0x00F4	VHDNLHPASS_COEF	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	lhpass_coef3								lhpass_coef2								lhpass_coef1								lhpass_coef0							
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:24]	RW	lhpass_coef3	亮度高频提取系数 3。
[23:16]	RW	lhpass_coef2	亮度高频提取系数 2。
[15:8]	RW	lhpass_coef1	亮度高频提取系数 1。
[7:0]	RW	lhpass_coef0	亮度高频提取系数 0。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

VHDNLTI_THRE

VHDNLTI_THRE 为 LTI 处理阈值寄存器。

Offset Address	Register Name	Total Reset Value
0x00F8	VHDNLTI_THRE	0x0000_0000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	lcoring_thre				lswing_thre			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[31:16]	RW	lcoring_thre	亮度 coring 的阈值。
[15:0]	RW	lswing_thre	亮度 swing 的阈值。

VHDNLHFREQ_THRE

VHDNLHFREQ_THRE 为亮度高频增益分段曲线的高频分量阈值寄存器。

Offset Address	Register Name	Total Reset Value
0x00FC	VHDNLHFREQ_THRE	0x0000_0000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	lhfreq_thre1				lhfreq_thre0			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[31:16]	RW	lhfreq_thre1	亮度高频增益分段曲线的高频分量阈值 1。
[15:0]	RW	lhfreq_thre0	亮度高频增益分段曲线的高频分量阈值 0。

VHDNACCTHD1

VHDNACCTHD1 为 VHD 通道 ACC 运算门限 1 寄存器。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x0100	VHDNACCTHD1	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	acc_en	acc_mode	thd_med_low										thd_high												thd_low							
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31]	RW	acc_en	ACC 使能。非即时寄存器。 0：禁止； 1：使能。
[30]	RW	acc_mode	输出 ACC 校正模式，即时寄存器。 0：ACC 表由硬件产生； 1：ACC 表由软件配置。
[29:20]	RW	thd_med_low	亮度等级 med_low 门限值。
[19:10]	RW	thd_high	亮度等级 high 门限值。
[9:0]	RW	thd_low	亮度等级 low 门限值。

VHDNACCTHD2

VHDNACCTHD2 为 VHD 通道 ACC 运算门限 2 寄存器。

Offset Address	Register Name	Total Reset Value
0x0104	VHDNACCTHD2	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved												acc_reso_mode	acc_rst	acc_multiple						thd_med_high											
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:20]	RO	reserved	保留。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x0104	VHDNACCTHD2	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved												acc_reso_mode	acc_rst	acc_multiple						thd_med_high											
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[19]	RW	acc_reso_mode	ACC 大分辨率。当输入宽度>1920 时需要将此 bit 位配置为 1。
[18]	RW	acc_rst	ACC 复位寄存器。
[17:10]	RW	acc_multiple	ACC 运算乘数。
[9:0]	RW	thd_med_high	亮度等级 med_high 门限值。

VHDNACCLOW1

VHDNACCLOW1 为 ACC 查找表寄存器 1，亮度等级为 low。

Offset Address	Register Name	Total Reset Value
0x0110	VHDNACCLOW1	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved		table_data3n										table_data2n								table_data1n											
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:30]	RO	reserved	保留。
[29:20]	RW	table_data3n	ACC 亮度等级 low 的查找表数据 3。
[19:10]	RW	table_data2n	ACC 亮度等级 low 的查找表数据 2。
[9:0]	RW	table_data1n	ACC 亮度等级 low 的查找表数据 1。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

VHDNACCLOW2

VHDNACCLOW2 为 ACC 查找表寄存器 2，亮度等级为 low。

Offset Address	Register Name	Total Reset Value
0x0114	VHDNACCLOW2	0x0000_0000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved	table_data3n		table_data2n		table_data1n		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[31:30]	RO	reserved	保留。
[29:20]	RW	table_data3n	ACC 亮度等级 low 的查找表数据 3。
[19:10]	RW	table_data2n	ACC 亮度等级 low 的查找表数据 2。
[9:0]	RW	table_data1n	ACC 亮度等级 low 的查找表数据 1。

VHDNACCLOW3

VHDNACCLOW3 为 ACC 查找表寄存器 3，亮度等级为 low。

Offset Address	Register Name	Total Reset Value
0x0118	VHDNACCLOW3	0x0000_0000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved	table_data3n		table_data2n		table_data1n		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[31:30]	RO	reserved	保留。
[29:20]	RW	table_data3n	ACC 亮度等级 low 的查找表数据 3。
[19:10]	RW	table_data2n	ACC 亮度等级 low 的查找表数据 2。
[9:0]	RW	table_data1n	ACC 亮度等级 low 的查找表数据 1。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

VHDNACCMED1

VHDNACCMED1 为 ACC 查找表寄存器 1，亮度等级为 medium。

Offset Address	Register Name	Total Reset Value
0x0120	VHDNACCMED1	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				table_data3n								table_data2n								table_data1n											
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:30]	RO	reserved	保留。
[29:20]	RW	table_data3n	ACC 亮度等级 middle 的查找表数据 3。
[19:10]	RW	table_data2n	ACC 亮度等级 middle 的查找表数据 2。
[9:0]	RW	table_data1n	ACC 亮度等级 middle 的查找表数据 1。

VHDNACCMED2

VHDNACCMED2 为 ACC 查找表寄存器 2，亮度等级为 medium。

Offset Address	Register Name	Total Reset Value
0x0124	VHDNACCMED2	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				table_data3n								table_data2n								table_data1n											
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:30]	RO	reserved	保留。
[29:20]	RW	table_data3n	ACC 亮度等级 middle 的查找表数据 3。
[19:10]	RW	table_data2n	ACC 亮度等级 middle 的查找表数据 2。
[9:0]	RW	table_data1n	ACC 亮度等级 middle 的查找表数据 1。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

VHDNACCMED3

VHDNACCMED3 为 ACC 查找表寄存器 3，亮度等级为 medium。

Offset Address	Register Name	Total Reset Value
0x0128	VHDNACCMED3	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				table_data3n								table_data2n								table_data1n											
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:30]	RO	reserved	保留。
[29:20]	RW	table_data3n	ACC 亮度等级 middle 的查找表数据 3。
[19:10]	RW	table_data2n	ACC 亮度等级 middle 的查找表数据 2。
[9:0]	RW	table_data1n	ACC 亮度等级 middle 的查找表数据 1。

VHDNACCHIGH1

VHDNACCHIGH1 为 ACC 查找表寄存器 1，亮度等级为 high。

Offset Address	Register Name	Total Reset Value
0x0130	VHDNACCHIGH1	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				table_data3n								table_data2n								table_data1n											
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:30]	RO	reserved	保留。
[29:20]	RW	table_data3n	ACC 亮度等级 high 的查找表数据 3。
[19:10]	RW	table_data2n	ACC 亮度等级 high 的查找表数据 2。
[9:0]	RW	table_data1n	ACC 亮度等级 high 的查找表数据 1。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

VHDNACCHIGH2

VHDNACCHIGH2 为 ACC 查找表寄存器 2，亮度等级为 high。

Offset Address	Register Name	Total Reset Value
0x0134	VHDNACCHIGH2	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				table_data3n								table_data2n								table_data1n											
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:30]	RO	reserved	保留。
[29:20]	RW	table_data3n	ACC 亮度等级 high 的查找表数据 3。
[19:10]	RW	table_data2n	ACC 亮度等级 high 的查找表数据 2。
[9:0]	RW	table_data1n	ACC 亮度等级 high 的查找表数据 1。

VHDNACCHIGH3

VHDNACCHIGH1 为 ACC 查找表寄存器 3，亮度等级为 high。

Offset Address	Register Name	Total Reset Value
0x0138	VHDNACCHIGH3	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				table_data3n								table_data2n								table_data1n											
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:30]	RO	reserved	保留。
[29:20]	RW	table_data3n	ACC 亮度等级 high 的查找表数据 3。
[19:10]	RW	table_data2n	ACC 亮度等级 high 的查找表数据 2。
[9:0]	RW	table_data1n	ACC 亮度等级 high 的查找表数据 1。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

VHDNACCML1

VHDNACCML1 为 ACC 查找表寄存器 1，亮度等级为 medium_low。

Offset Address	Register Name	Total Reset Value
0x0140	VHDNACCML1	0x0000_0000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved	table_data3n		table_data2n		table_data1n		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[31:30]	RO	reserved	保留。
[29:20]	RW	table_data3n	ACC 亮度等级 medium_low 的查找表数据 3。
[19:10]	RW	table_data2n	ACC 亮度等级 medium_low 的查找表数据 2。
[9:0]	RW	table_data1n	ACC 亮度等级 medium_low 的查找表数据 1。

VHDNACCML2

VHDNACCML2 为 ACC 查找表寄存器 2，亮度等级为 medium_low。

Offset Address	Register Name	Total Reset Value
0x0144	VHDNACCML2	0x0000_0000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved	table_data3n		table_data2n		table_data1n		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[31:30]	RO	reserved	保留。
[29:20]	RW	table_data3n	ACC 亮度等级 medium_low 的查找表数据 3。
[19:10]	RW	table_data2n	ACC 亮度等级 medium_low 的查找表数据 2。
[9:0]	RW	table_data1n	ACC 亮度等级 medium_low 的查找表数据 1。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

VHDNACCML3

VHDNACCML3 为 ACC 查找表寄存器 3，亮度等级为 medium_low。

Offset Address	Register Name	Total Reset Value
0x0148	VHDNACCML3	0x0000_0000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved	table_data3n		table_data2n		table_data1n		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[31:30]	RO	reserved	保留。
[29:20]	RW	table_data3n	ACC 亮度等级 medium_low 的查找表数据 3。
[19:10]	RW	table_data2n	ACC 亮度等级 medium_low 的查找表数据 2。
[9:0]	RW	table_data1n	ACC 亮度等级 medium_low 的查找表数据 1。

VHDNACCMH1

VHDNACCMH1 为 ACC 查找表寄存器 1，亮度等级为 medium_high。

Offset Address	Register Name	Total Reset Value
0x0150	VHDNACCMH1	0x0000_0000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved	table_data3n		table_data2n		table_data1n		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[31:30]	RO	reserved	保留。
[29:20]	RW	table_data3n	ACC 亮度等级 medium_high 的查找表数据 3。
[19:10]	RW	table_data2n	ACC 亮度等级 medium_high 的查找表数据 2。
[9:0]	RW	table_data1n	ACC 亮度等级 medium_high 的查找表数据 1。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

VHDNACCMH2

VHDNACCMH2 为 ACC 查找表寄存器 2，亮度等级为 medium_high。

Offset Address	Register Name	Total Reset Value
0x0154	VHDNACCMH2	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				table_data3n								table_data2n								table_data1n											
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:30]	RO	reserved	保留。
[29:20]	RW	table_data3n	ACC 亮度等级 medium_high 的查找表数据 3。
[19:10]	RW	table_data2n	ACC 亮度等级 medium_high 的查找表数据 2。
[9:0]	RW	table_data1n	ACC 亮度等级 medium_high 的查找表数据 1。

VHDNACCMH3

VHDNACCMH3 为 ACC 查找表寄存器 3，亮度等级为 medium_high。

Offset Address	Register Name	Total Reset Value
0x0158	VHDNACCMH3	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				table_data3n								table_data2n								table_data1n											
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:30]	RO	reserved	保留。
[29:20]	RW	table_data3n	ACC 亮度等级 medium_high 的查找表数据 3。
[19:10]	RW	table_data2n	ACC 亮度等级 medium_high 的查找表数据 2。
[9:0]	RW	table_data1n	ACC 亮度等级 medium_high 的查找表数据 1。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

VHDNACC3LOW

VHDNACC3LOW 为 ACC 三区域的低门限亮度统计值寄存器，为只读寄存器。

Offset Address	Register Name	Total Reset Value
0x0160	VHDNACC3LOW	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved												cnt3_low																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:21]	RO	reserved	保留。
[20:0]	RO	cnt3_low	三区域的低门限亮度统计值。

VHDNACC3MED

VHDNACC3MED 为 ACC 三区域的中门限亮度统计值寄存器，为只读寄存器。

Offset Address	Register Name	Total Reset Value
0x0164	VHDNACC3MED	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved												cnt3_med																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:21]	RO	reserved	保留。
[20:0]	RO	cnt3_med	三区域的中门限亮度统计值

VHDNACC3HIGH

VHDNACC3HIGH 为 ACC 三区域的高门限亮度统计值寄存器，为只读寄存器。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x0168	VHDNACC3HIGH	0x0000_0000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved			cnt3_high				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[31:21]	RO	reserved	保留。
[20:0]	RO	cnt3_high	三区域的高门限亮度统计值。

VHDNACC8MLOW

VHDNACC8MLOW 为 ACC 中间区域分成 8 段后，低门限亮度统计值寄存器，为只读寄存器。

Offset Address	Register Name	Total Reset Value
0x016C	VHDNACC8MLOW	0x0000_0000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved			cnt8_med_low				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[31:21]	RO	reserved	保留。
[20:0]	RO	cnt8_med_low	中间区域的低门限亮度统计值。

VHDNACC8MHIGH

VHDNACC8MHIGH 为 ACC 中间区域分成 8 段后，高门限亮度统计值寄存器，为只读寄存器。

Offset Address	Register Name	Total Reset Value
0x0170	VHDNACC8MHIGH	0x0000_0000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved			cnt8_med_high				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[31:21]	RO	reserved	保留。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x0170	VHDNACC8MHIGH	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved												cnt8_med_high																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[20:0]	RO	cnt8_med_high	中间区域的高门限亮度统计值。

VHDACCTOTAL

VHDACCTOTAL 为 ACC 像素统计值寄存器，为只读寄存器。

Offset Address	Register Name	Total Reset Value
0x0174	VHDACCTOTAL	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved												acc_pix_total																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:21]	RO	reserved	保留。
[20:0]	RO	acc_pix_total	ACC 总象素统计值。

VHDNIFIRCOEF01

VHDNIFIRCOEF01 为 VHD IFIR 滤波系数 0、1 寄存器。

Offset Address	Register Name	Total Reset Value
0x0180	VHDNIFIRCOEF01	0x000D_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved								coef1								reserved				coef0											
Reset	0	0	0	0	0	0	0	0	0	0	0	0	1	1	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:26]	RO	reserved	保留。
[25:16]	RW	coef1	IFIR 滤波系数 1。
[15:10]	RO	reserved	保留。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x0180	VHDNIFIRCOEF01	0x000D_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved								coef1								reserved				coef0											
Reset	0	0	0	0	0	0	0	0	0	0	0	0	1	1	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[9:0]	RW	coef0	IFIR 滤波系数 0。

VHDNIFIRCOEF23

VHDNIFIRCOEF23 为 VHD IFIR 滤波系数 2、3 寄存器。

Offset Address	Register Name	Total Reset Value
0x0184	VHDNIFIRCOEF23	0x0132_03C1

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved								coef3								reserved				coef2											
Reset	0	0	0	0	0	0	0	1	0	0	1	1	0	0	1	0	0	0	0	0	0	0	1	1	1	1	0	0	0	0	0	1

Bits	Access	Name	Description
[31:26]	RO	reserved	保留。
[25:16]	RW	coef3	IFIR 滤波系数 3。
[15:10]	RO	reserved	保留。
[9:0]	RW	coef2	IFIR 滤波系数 2。

VHDNIFIRCOEF45

VHDNIFIRCOEF45 为 VHD IFIR 滤波系数 4、5 寄存器。

Offset Address	Register Name	Total Reset Value
0x0188	VHDNIFIRCOEF45	0x03C1_0132

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved								coef5								reserved				coef4											
Reset	0	0	0	0	0	0	1	1	1	1	0	0	0	0	0	1	0	0	0	0	0	0	0	1	0	0	1	1	0	0	1	0

Bits	Access	Name	Description
[31:26]	RO	reserved	保留。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x0188	VHDNIFIRCOEF45	0x03C1_0132

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved								coef5								reserved								coef4							
Reset	0	0	0	0	0	0	1	1	1	1	0	0	0	0	0	1	0	0	0	0	0	0	0	1	0	0	1	1	0	0	1	0

Bits	Access	Name	Description
[25:16]	RW	coef5	IFIR 滤波系数 5。
[15:10]	RO	reserved	保留。
[9:0]	RW	coef4	IFIR 滤波系数 4。

VHDNIFIRCOEF67

VHDNIFIRCOEF67 为 VHD IFIR 滤波系数 6、7 寄存器。

Offset Address	Register Name	Total Reset Value
0x018C	VHDNIFIRCOEF67	0x0000_000D

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved								coef7								reserved								coef6							
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	0	1

Bits	Access	Name	Description
[31:26]	RO	reserved	保留。
[25:16]	RW	coef7	IFIR 滤波系数 7。
[15:10]	RO	reserved	保留。
[9:0]	RW	coef6	IFIR 滤波系数 6。

VHDNPMRESO

VHDNPMRESO 为视频层 VHD 分区 m 的分辨率寄存器。非即时寄存器。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x0400＋m x 0x20 (m = 0～63)	VHDNPMRESO	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																				w											
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:12]	RW	reserved	保留。
[11:0]	RW	w	宽度，单位：像素。实际宽度减 1。 **注意：实际宽度必须是偶数。**

VHDNPMLADDR

VHDNPMLADDR 为视频层 VHD 分区 m 的地址寄存器。

Offset Address	Register Name	Total Reset Value
0x0404＋m x 0x20 (m = 0～31)	VHDNPMLADDR	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	surface_addr																															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:0]	RW	surface_addr	视频层 VHD 分区 m 的首地址。

VHDNPMCADDR

VHDNPMCADDR 为视频层 VHD 分区 m 的色度地址寄存器。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x0408＋m x 0x20 (m = 0～31)	VHDNPMCADDR	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	surface_addr																															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:0]	RW	surface_addr	视频层 VHD 分区 m 的色度首地址。

VHDNPMSTRIDE

VHDNPMSTRIDE 为视频层 VHD 分区 m 的 stride 寄存器。

Offset Address	Register Name	Total Reset Value
0x040C＋m x 0x20 (m = 0～31)	VHDNPMSTRIDE	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	surface_cstride																surface_stride															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:16]	RW	surface_cstride	视频层 VHD 分区 m 色度 buffer 的 stride(对于 semi-planaer 格式有用)，128bit 对齐。
[15:0]	RW	surface_stride	视频层 VHD 分区 m buffer 的 stride(对于 semi-planaer 格式，指亮度的 stride)，128bit 对齐。

VHDNPMVFPOS

VHDNPMVFPOS 为视频层 VHD 分区 m 在视频内容的起始位置（First POSition）寄存器。以像素为单位。非即时寄存器。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x0410＋m x 0x20 (m = 0～31)	VHDNPMVFPOS	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved								video_yfpos												video_xfpos											
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:24]	RW	reserved	保留。
[23:12]	RW	video_yfpos	视频内容列起始坐标。 以帧高度为参考，以行为单位。
[11:0]	RW	video_xfpos	视频内容行起始坐标。

VHDNPMVLPOS

VHDNPMVLPOS 为视频层 VHD 分区 m 在视频内容的结束位置（First POSition）寄存器。以像素为单位。非即时寄存器。

Offset Address	Register Name	Total Reset Value
0x0414＋m x 0x20 (m = 0～31)	VHDNPMVLPOS	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved								video_ylpos												video_xlpos											
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:24]	RW	reserved	保留。
[23:12]	RW	video_ylpos	视频内容列起始坐标。 以帧高度为参考，以行为单位。
[11:0]	RW	video_xlpos	视频内容行起始坐标。

VHDN64REGIONENL

VHDN64REGIONENL 为视频层 VHD 32 分区的 0～31 分区使能寄存器。非即时寄存器。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x0C04	VHDN64REGIONENL	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	p31_en	p30_en	p29_en	p28_en	p27_en	p26_en	p25_en	p24_en	p23_en	p22_en	p21_en	p20_en	p19_en	p18_en	p17_en	p16_en	p15_en	p14_en	p13_en	p12_en	p11_en	p10_en	p9_en	p8_en	p7_en	p6_en	p5_en	p4_en	p3_en	p2_en	p1_en	p0_en
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31]	RW	p31_en	VHD 分区 31 的使能信号。 0：禁止； 1：使能。
[30]	RW	p30_en	VHD0 分区 30 的使能信号。 0：禁止； 1：使能。
[29]	RW	p29_en	VHD0 分区 29 的使能信号。 0：禁止； 1：使能。
[28]	RW	p28_en	VHD0 分区 28 的使能信号。 0：禁止； 1：使能。
[27]	RW	p27_en	VHD0 分区 27 的使能信号。 0：禁止； 1：使能。
[26]	RW	p26_en	VHD0 分区 26 的使能信号。 0：禁止； 1：使能。
[25]	RW	p25_en	VHD0 分区 25 的使能信号。 0：禁止； 1：使能。
[24]	RW	p24_en	VHD0 分区 24 的使能信号。 0：禁止； 1：使能。
[23]	RW	p23_en	VHD0 分区 23 的使能信号。 0：禁止； 1：使能。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x0C04	VHDN64REGIONENL	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	p31_en	p30_en	p29_en	p28_en	p27_en	p26_en	p25_en	p24_en	p23_en	p22_en	p21_en	p20_en	p19_en	p18_en	p17_en	p16_en	p15_en	p14_en	p13_en	p12_en	p11_en	p10_en	p9_en	p8_en	p7_en	p6_en	p5_en	p4_en	p3_en	p2_en	p1_en	p0_en
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[22]	RW	p22_en	VHD0 分区 22 的使能信号。 0：禁止； 1：使能。
[21]	RW	p21_en	VHD0 分区 21 的使能信号。 0：禁止； 1：使能。
[20]	RW	p20_en	VHD0 分区 20 的使能信号。 0：禁止； 1：使能。
[19]	RW	p19_en	VHD0 分区 19 的使能信号。 0：禁止； 1：使能。
[18]	RW	p18_en	VHD0 分区 18 的使能信号。 0：禁止； 1：使能。
[17]	RW	p17_en	VHD0 分区 17 的使能信号。 0：禁止； 1：使能。
[16]	RW	p16_en	VHD0 分区 16 的使能信号。 0：禁止； 1：使能。
[15]	RW	p15_en	VHD0 分区 15 的使能信号。 0：禁止； 1：使能。
[14]	RW	p14_en	VHD0 分区 14 的使能信号。 0：禁止； 1：使能。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x0C04	VHDN64REGIONENL	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	p31_en	p30_en	p29_en	p28_en	p27_en	p26_en	p25_en	p24_en	p23_en	p22_en	p21_en	p20_en	p19_en	p18_en	p17_en	p16_en	p15_en	p14_en	p13_en	p12_en	p11_en	p10_en	p9_en	p8_en	p7_en	p6_en	p5_en	p4_en	p3_en	p2_en	p1_en	p0_en
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[13]	RW	p13_en	VHD0 分区 13 的使能信号。 0：禁止； 1：使能。
[12]	RW	p12_en	VHD0 分区 12 的使能信号。 0：禁止； 1：使能。
[11]	RW	p11_en	VHD0 分区 11 的使能信号。 0：禁止； 1：使能。
[10]	RW	p10_en	VHD0 分区 10 的使能信号。 0：禁止； 1：使能。
[9]	RW	p9_en	VHD0 分区 9 的使能信号。 0：禁止； 1：使能。
[8]	RW	p8_en	VHD0 分区 8 的使能信号。 0：禁止； 1：使能。
[7]	RW	p7_en	VHD0 分区 7 的使能信号。 0：禁止； 1：使能。
[6]	RW	p6_en	VHD0 分区 6 的使能信号。 0：禁止； 1：使能。
[5]	RW	p5_en	VHD0 分区 5 的使能信号。 0：禁止； 1：使能。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x0C04	VHDN64REGIONENL	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	p31_en	p30_en	p29_en	p28_en	p27_en	p26_en	p25_en	p24_en	p23_en	p22_en	p21_en	p20_en	p19_en	p18_en	p17_en	p16_en	p15_en	p14_en	p13_en	p12_en	p11_en	p10_en	p9_en	p8_en	p7_en	p6_en	p5_en	p4_en	p3_en	p2_en	p1_en	p0_en
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[4]	RW	p4_en	VHD0 分区 4 的使能信号。 0：禁止； 1：使能。
[3]	RW	p3_en	VHD0 分区 3 的使能信号。 0：禁止； 1：使能。
[2]	RW	p2_en	VHD0 分区 2 的使能信号。 0：禁止； 1：使能。
[1]	RW	p1_en	VHD0 分区 1 的使能信号。 0：禁止； 1：使能。
[0]	RW	p0_en	VHD0 分区 0 的使能信号。 0：禁止； 1：使能。

VSDICTRL

VSDICTRL 为 VSD 控制寄存器。该寄存器可以配置层的相关信息。非即时寄存器。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x3000＋i x 0x1000 (i = 0～1)	VSDICTRL	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	surface_en	reserved											ifir_mode		vup_mode	reserved													ifmt			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31]	RW	surface_en	surface 使能。非即时寄存器。 0：禁止； 1：使能。
[30:20]	RO	reserved	保留。
[19:18]	RW	ifir_mode	水平色度 IFIR 模式。 00：保留。 01：色度 IFIR 拷贝模式； 10：双线性插值； 11：6 阶 FIR。
[17]	RW	vup_mode	寄存器更新模式选择。 0：按场更新； 1：按帧更新。
[16:4]	RO	reserved	保留。
[3:0]	RW	ifmt	输入数据格式。 0x3：SPYCbCr420； 0x4：SPYCbCr422； 其他：保留。

VSDIUPD

VSDIUPD 为 VSD 通道更新使能寄存器。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x3004＋i x 0x1000 (i = 0～1)	VSDIUPD	0x0000_0000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1	0
Name	reserved								regup
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0	0

Bits	Access	Name	Description
[31:1]	RO	reserved	保留。
[0]	RW	regup	surface 的寄存器更新。当软件配置完该层寄存器后写 1 更新，更新完成后，硬件自动清零。

VSDICADDR

VSDICADDR 为当前帧的地址寄存器。对于 package 像素格式，该地址是帧 buffer 地址；对于 semi-planar 像素格式，该地址是亮度帧 buffer 地址。

Offset Address	Register Name	Total Reset Value
0x3010＋i x 0x1000 (i = 0～1)	VSDICADDR	0x0000_0000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	surface_caddr							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[31:0]	RW	surface_caddr	DIE 当前帧的地址。

VSDICCADDR

VSDICCADDR 为当前帧的色度地址寄存器。对于 package 像素格式该地址无效；对于 semi-planar 像素格式是色度帧 buffer 地址。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x3014＋i x 0x1000 (i = 0～1)	VSDICCADDR	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	surface_ccaddr																															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:0]	RW	surface_ccaddr	DIE 当前帧的色度地址。

VSDISTRIDE

VSDISTRIDE 为 surface 的 stride 寄存器。

Offset Address	Register Name	Total Reset Value
0x3024＋i x 0x1000 (i = 0～1)	VSDISTRIDE	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	surface_cstride																surface_stride															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:16]	RW	surface_cstride	色度帧 buffer 的 stride(对于 semi-planaer 格式有用)，128bit 对齐。
[15:0]	RW	surface_stride	帧 buffer 的 stride(对于 semi-planaer 格式，指亮度的 stride)，128bit 对齐。

VSDIIRESO

VSDIIRESO 为输入分辨率寄存器。非即时寄存器。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x3028＋i x 0x1000 (i = 0～1)	VSDIIRESO	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved								ih												iw											
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:24]	RO	reserved	保留。
[23:12]	RW	ih	高度，单位：行。实际高度减 1。 以帧高度为参考，以行为单位。
[11:0]	RW	iw	宽度，单位：像素。实际宽度减 1。

VSDICBMPARA

VSDICBMPARA 为叠加相关参数寄存器。非即时寄存器。

Offset Address	Register Name	Total Reset Value
0x3034＋i x 0x1000 (i = 0～1)	VSDICBMPARA	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																								galpha							
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:8]	RW	reserved	保留。
[7:0]	RW	galpha	叠加全局 alpha 值。取值范围为 0～128。128 为全不透明；0 为全透明。

VSDIDFPOS

VSDIDFPOS 为 Surface 在显示窗口的起始位置（First POSition）寄存器。非即时寄存器。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x3060＋i x 0x1000 (i = 0～1)	VSDIDFPOS	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved								disp_yfpos												disp_xfpos											
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:24]	RO	reserved	保留。
[23:12]	RW	disp_yfpos	显示列起始坐标。 以帧高度为参考，以行为单位。
[11:0]	RW	disp_xfpos	显示行起始坐标。

VSDIDLPOS

VSDIDLPOS 为 Surface 在显示窗口的结束位置（Last POSition）寄存器。以像素为单位。非即时寄存器。

Offset Address	Register Name	Total Reset Value
0x3064＋i x 0x1000 (i = 0～1)	VSDIDLPOS	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved								disp_ylpos												disp_xlpos											
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:24]	RO	reserved	保留。
[23:12]	RW	disp_ylpos	显示列结束坐标。 以帧高度为参考，以行为单位。
[11:0]	RW	disp_xlpos	显示行结束坐标。

VSDIBK

VSDIBK 为视频层的背景色寄存器。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x3070＋i x 0x1000 (i = 0～1)	VSDIBK	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	vbk_alpha								vbk_y								vbk_cb								vbk_cr							
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:24]	RW	vbk_alpha	视频层的背景填充色 0～128 级。
[23:16]	RW	vbk_y	Y 分量。
[15:8]	RW	vbk_cb	Cb 分量。
[7:0]	RW	vbk_cr	Cr 分量。

VSDICSCIDC

VSDICSCIDC 为色彩空间转换输入直流分量寄存器。即时寄存器。

Offset Address	Register Name	Total Reset Value
0x3080＋i x 0x1000 (i = 0～1)	VSDICSCIDC	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				csc_en	cscidc2											cscidc1								cscidc0							
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:28]	RO	reserved	保留。
[27]	RW	csc_en	CSC 使能控制信号。 0：禁止； 1：使能。
[26:18]	RW	cscidc2	输入分量 2 直流参数，MSB 为符号位。补码表示。
[17:9]	RW	cscidc1	输入分量 1 直流参数，MSB 为符号位。补码表示。
[8:0]	RW	cscidc0	输入分量 0 直流参数，MSB 为符号位。补码表示。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

VSDICSCODC

VSDICSCODC 为色彩空间转换输出直流分量寄存器。即时寄存器。

Offset Address	Register Name	Total Reset Value
0x3084＋i x 0x1000 (i = 0～1)	VSDICSCODC	0x0000_0000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved	cscodc2		cscodc1		cscodc0		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[31:27]	RO	reserved	保留。
[26:18]	RW	cscodc2	输出分量 2 直流参数，MSB 为符号位。补码表示。
[17:9]	RW	cscodc1	输出分量 1 直流参数，MSB 为符号位。补码表示。
[8:0]	RW	cscodc0	输出分量 0 直流参数，MSB 为符号位。补码表示。

VSDICSCP0

VSDICSCP0 为色彩空间转换参数寄存器。即时寄存器。

Offset Address	Register Name	Total Reset Value
0x3088＋i x 0x1000 (i = 0～1)	VSDICSCP0	0x0000_0000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved	cscp01			reserved	cscp00		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[31:29]	RO	reserved	保留。
[28:16]	RW	cscp01	5.8 数据格式：1bit 符号位、4bit 整数位、8bit 小数位。补码表示。
[15:13]	RO	reserved	保留。
[12:0]	RW	cscp00	5.8 数据格式：1bit 符号位、4bit 整数位、8bit 小数位。补码表示。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

VSDICSCP1

VSDICSCP1 为色彩空间转换参数 1 寄存器。即时寄存器。

Offset Address	Register Name	Total Reset Value
0x308C＋i x 0x1000 (i = 0～1)	VSDICSCP1	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				cscp10												reserved				cscp02											
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:29]	RO	reserved	保留。
[28:16]	RW	cscp10	5.8 数据格式：1bit 符号位、4bit 整数位、8bit 小数位。补码表示。
[15:13]	RO	reserved	保留。
[12:0]	RW	cscp02	5.8 数据格式：1bit 符号位、4bit 整数位、8bit 小数位。补码表示。

VSDICSCP2

VSDICSCP2 为色彩空间转换参数 2 寄存器。即时寄存器。

Offset Address	Register Name	Total Reset Value
0x3090＋i x 0x1000 (i = 0～1)	VSDICSCP2	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				cscp12												reserved				cscp11											
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:29]	RO	reserved	保留。
[28:16]	RW	cscp12	5.8 数据格式：1bit 符号位、4bit 整数位、8bit 小数位。补码表示。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x3090＋i x 0x1000 (i = 0～1)	VSDICSCP2	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				cscp12												reserved				cscp11											
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[15:13]	RO	reserved	保留。
[12:0]	RW	cscp11	5.8 数据格式：1bit 符号位、4bit 整数位、8bit 小数位。补码表示。

VSDICSCP3

VSDICSCP3 为色彩空间转换参数 3 寄存器。即时寄存器。

Offset Address	Register Name	Total Reset Value
0x3094＋i x 0x1000 (i = 0～1)	VSDICSCP3	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				cscp21												reserved				cscp20											
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:29]	RO	reserved	保留。
[28:16]	RW	cscp21	5.8 数据格式：1bit 符号位、4bit 整数位、8bit 小数位。补码表示。
[15:13]	RO	reserved	保留。
[12:0]	RW	cscp20	5.8 数据格式：1bit 符号位、4bit 整数位、8bit 小数位。补码表示。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

VSDICSCP4

VSDICSCP4 为色彩空间转换参数 4 寄存器。即时寄存器。

Offset Address	Register Name	Total Reset Value
0x3098＋i x 0x1000 (i = 0～1)	VSDICSCP4	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																				cscp22											
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:13]	RO	reserved	保留。
[12:0]	RW	cscp22	5.8 数据格式：1bit 符号位、4bit 整数位、8bit 小数位。补码表示。

VSDIACM0

VSDIACM0 为 ACM 控制寄存器 0。

Offset Address	Register Name	Total Reset Value
0x30A0＋i x 0x1000 (i = 0～1)	VSDIACM0	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	acm3_en	acm2_en	acm1_en	acm0_en	acm_sec_blk				acm_fir_blk				acm_d_u_off				acm_c_u_off				acm_b_u_off				acm_a_u_off							
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31]	RW	acm3_en	acm 3 使能。
[30]	RW	acm2_en	acm 2 使能。
[29]	RW	acm1_en	acm 1 使能。
[28]	RW	acm0_en	acm 0 使能。
[27:24]	RW	acm_sec_blk	ACM0 V 的 index 值。
[23:20]	RW	acm_fir_blk	ACM0 U 的 index 值。
[19:15]	RW	acm_d_u_off	ACM0 U 分量的第 4 个偏移值。
[14:10]	RW	acm_c_u_off	ACM0 U 分量的第 3 个偏移值。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

[9:5]	RW	acm_b_u_off	ACM0 U 分量的第 2 个偏移值。
[4:0]	RW	acm_a_u_off	ACM0 U 分量的第 1 个偏移值。

VSDIACM1

VSDIACM1 为 ACM 控制寄存器 1。

Offset Address	Register Name	Total Reset Value
0x30A4＋i x 0x1000 (i = 0～1)	VSDIACM1	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved												acm_test_en	acm_d_v_off			acm_c_v_off				acm_b_v_off				acm_a_v_off							
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:21]	RO	reserved	保留。
[20]	RW	acm_test_en	ACM 对比测试使能。 0：正常做； 1：左边不做，右边做 ACM。
[19:15]	RW	acm_d_v_off	ACM0 V 分量的第 4 个偏移值。
[14:10]	RW	acm_c_v_off	ACM0 V 分量的第 3 个偏移值。
[9:5]	RW	acm_b_v_off	ACM0 V 分量的第 2 个偏移值。
[4:0]	RW	acm_a_v_off	ACM0 V 分量的第 1 个偏移值。

VSDIACM2

VSDIACM2 为 ACM 控制寄存器 2。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x30A8＋i x 0x1000 (i = 0～1)	VSDIACM2	0x0000_0000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved	acm_sec_blk	acm_fir_blk	acm_d_u_off	acm_c_u_off	acm_b_u_off	acm_a_u_off	
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[31:28]	RO	reserved	保留。
[27:24]	RW	acm_sec_blk	ACM1 V 的 index 值。
[23:20]	RW	acm_fir_blk	ACM1 U 的 index 值。
[19:15]	RW	acm_d_u_off	ACM1 U 分量的第 4 个偏移值。
[14:10]	RW	acm_c_u_off	ACM1 U 分量的第 3 个偏移值。
[9:5]	RW	acm_b_u_off	ACM1 U 分量的第 2 个偏移值。
[4:0]	RW	acm_a_u_off	ACM1 U 分量的第 1 个偏移值。

VSDIACM3

VSDIACM3 为 ACM 控制寄存器 3。

Offset Address	Register Name	Total Reset Value
0x30AC＋i x 0x1000 (i = 0～1)	VSDIACM3	0x0000_0000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved			acm_d_v_off	acm_c_v_off	acm_b_v_off	acm_a_v_off	
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[31:20]	RO	reserved	保留。
[19:15]	RW	acm_d_v_off	ACM1 V 分量的第 4 个偏移值。
[14:10]	RW	acm_c_v_off	ACM1 V 分量的第 3 个偏移值。
[9:5]	RW	acm_b_v_off	ACM1 V 分量的第 2 个偏移值。
[4:0]	RW	acm_a_v_off	ACM1 V 分量的第 1 个偏移值。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

VSDIACM4

VSDIACM4 为 ACM 控制寄存器 4。

Offset Address	Register Name	Total Reset Value
0x30B0＋i x 0x1000 (i = 0～1)	VSDIACM4	0x0000_0000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved	acm_sec_blk	acm_fir_blk	acm_d_u_off	acm_c_u_off	acm_b_u_off	acm_a_u_off	
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[31:28]	RO	reserved	保留。
[27:24]	RW	acm_sec_blk	ACM2 V 的 index 值。
[23:20]	RW	acm_fir_blk	ACM2 U 的 index 值。
[19:15]	RW	acm_d_u_off	ACM2 U 分量的第 4 个偏移值。
[14:10]	RW	acm_c_u_off	ACM2 U 分量的第 3 个偏移值。
[9:5]	RW	acm_b_u_off	ACM2 U 分量的第 2 个偏移值。
[4:0]	RW	acm_a_u_off	ACM2 U 分量的第 1 个偏移值。

VSDIACM5

VSDIACM5 为 ACM 控制寄存器 5。

Offset Address	Register Name	Total Reset Value
0x30B4＋i x 0x1000 (i = 0～1)	VSDIACM5	0x0000_0000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved			acm_d_v_off	acm_c_v_off	acm_b_v_off	acm_a_v_off	
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[31:20]	RO	reserved	保留。
[19:15]	RW	acm_d_v_off	ACM2 V 分量的第 4 个偏移值。
[14:10]	RW	acm_c_v_off	ACM2 V 分量的第 3 个偏移值。
[9:5]	RW	acm_b_v_off	ACM2 V 分量的第 2 个偏移值。
[4:0]	RW	acm_a_v_off	ACM2 V 分量的第 1 个偏移值。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

VSDIACM6

VSDIACM6 为 ACM 控制寄存器 6。

Offset Address	Register Name	Total Reset Value
0x30B8＋i x 0x1000 (i = 0～1)	VSDIACM6	0x0000_0000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved	acm_sec_blk	acm_fir_blk	acm_d_u_off	acm_c_u_off	acm_b_u_off	acm_a_u_off	
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[31:28]	RO	reserved	保留。
[27:24]	RW	acm_sec_blk	ACM3 V 的 index 值。
[23:20]	RW	acm_fir_blk	ACM3 U 的 index 值。
[19:15]	RW	acm_d_u_off	ACM3 U 分量的第 4 个偏移值。
[14:10]	RW	acm_c_u_off	ACM3 U 分量的第 3 个偏移值。
[9:5]	RW	acm_b_u_off	ACM3 U 分量的第 2 个偏移值。
[4:0]	RW	acm_a_u_off	ACM3 U 分量的第 1 个偏移值。

VSDIACM7

VSDIACM7 为 ACM 控制寄存器 7。

Offset Address	Register Name	Total Reset Value
0x30BC＋i x 0x1000 (i = 0～1)	VSDIACM7	0x0000_0000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved			acm_d_v_off	acm_c_v_off	acm_b_v_off	acm_a_v_off	
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[31:20]	RO	reserved	保留。
[19:15]	RW	acm_d_v_off	ACM3 V 分量的第 4 个偏移值。
[14:10]	RW	acm_c_v_off	ACM3 V 分量的第 3 个偏移值。
[9:5]	RW	acm_b_v_off	ACM3 V 分量的第 2 个偏移值。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

[4:0]	RW	acm_a_v_off	ACM3 V 分量的第 1 个偏移值。

VSDIACCTHD1

VSDIACCTHD1 为 VSD 通道 ACC 运算门限 1 寄存器。

Offset Address	Register Name	Total Reset Value
0x3100＋i x 0x1000 (i = 0～1)	VSDIACCTHD1	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	acc_en	acc_mode	thd_med_low										thd_high												thd_low							
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31]	RW	acc_en	ACC 使能。非即时寄存器。 0：禁止； 1：使能。
[30]	RW	acc_mode	输出 ACC 校正模式，即时寄存器。 0：ACC 表由硬件产生； 1：ACC 表由软件配置。
[29:20]	RW	thd_med_low	亮度等级 med_low 门限值。
[19:10]	RW	thd_high	亮度等级 high 门限值。
[9:0]	RW	thd_low	亮度等级 low 门限值。

VSDIACCTHD2

VSDIACCTHD2 为 VSD 通道 ACC 运算门限 2 寄存器。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x3104＋i x 0x1000 (i = 0～1)	VSDIACCTHD2	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved													acc_rst	acc_multiple						thd_med_high											
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:19]	RO	reserved	保留。
[18]	RW	acc_rst	ACC 复位寄存器。
[17:10]	RW	acc_multiple	ACC 运算乘数。
[9:0]	RW	thd_med_high	亮度等级 med_high 门限值。

VSDIACCLOW1

VSDIACCLOW1 为 ACC 查找表寄存器 1，亮度等级为 low。

Offset Address	Register Name	Total Reset Value
0x3110＋i x 0x1000 (i = 0～1)	VSDIACCLOW1	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved		table_data3n										table_data2n								table_data1n											
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:30]	RO	reserved	保留。
[29:20]	RW	table_data3n	ACC 亮度等级 low 的查找表数据 3。
[19:10]	RW	table_data2n	ACC 亮度等级 low 的查找表数据 2。
[9:0]	RW	table_data1n	ACC 亮度等级 low 的查找表数据 1。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

VSDIACCLOW2

VSDIACCLOW2 为 ACC 查找表寄存器 2，亮度等级为 low。

Offset Address	Register Name	Total Reset Value
0x3114＋i x 0x1000 (i = 0～1)	VSDIACCLOW2	0x0000_0000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved	table_data3n		table_data2n		table_data1n		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[31:30]	RO	reserved	保留。
[29:20]	RW	table_data3n	ACC 亮度等级 low 的查找表数据 3。
[19:10]	RW	table_data2n	ACC 亮度等级 low 的查找表数据 2。
[9:0]	RW	table_data1n	ACC 亮度等级 low 的查找表数据 1。

VSDIACCLOW3

VSDIACCLOW3 为 ACC 查找表寄存器 3，亮度等级为 low。

Offset Address	Register Name	Total Reset Value
0x3118＋i x 0x1000 (i = 0～1)	VSDIACCLOW3	0x0000_0000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved	table_data3n		table_data2n		table_data1n		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[31:30]	RO	reserved	保留。
[29:20]	RW	table_data3n	ACC 亮度等级 low 的查找表数据 3。
[19:10]	RW	table_data2n	ACC 亮度等级 low 的查找表数据 2。
[9:0]	RW	table_data1n	ACC 亮度等级 low 的查找表数据 1。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

VSDIACCMED1

VSDIACCMED1 为 ACC 查找表寄存器 1，亮度等级为 medium。

Offset Address	Register Name	Total Reset Value
0x3120＋i x 0x1000 (i = 0～1)	VSDIACCMED1	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				table_data3n								table_data2n												table_data1n							
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:30]	RO	reserved	保留。
[29:20]	RW	table_data3n	ACC 亮度等级 medium 的查找表数据 3。
[19:10]	RW	table_data2n	ACC 亮度等级 medium 的查找表数据 2。
[9:0]	RW	table_data1n	ACC 亮度等级 medium 的查找表数据 1。

VSDIACCMED2

VSDIACCMED2 为 ACC 查找表寄存器 2，亮度等级为 medium。

Offset Address	Register Name	Total Reset Value
0x3124＋i x 0x1000 (i = 0～1)	VSDIACCMED2	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				table_data3n								table_data2n												table_data1n							
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:30]	RO	reserved	保留。
[29:20]	RW	table_data3n	ACC 亮度等级 medium 的查找表数据 3。
[19:10]	RW	table_data2n	ACC 亮度等级 medium 的查找表数据 2。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x3124＋i x 0x1000 (i = 0～1)	VSDIACCMED2	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				table_data3n								table_data2n								table_data1n											
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[9:0]	RW	table_data1n	ACC 亮度等级 medium 的查找表数据 1。

VSDIACCMED3

VSDIACCMED3 为 ACC 查找表寄存器 3，亮度等级为 medium。

Offset Address	Register Name	Total Reset Value
0x3128＋i x 0x1000 (i = 0～1)	VSDIACCMED3	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				table_data3n								table_data2n								table_data1n											
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:30]	RO	reserved	保留。
[29:20]	RW	table_data3n	ACC 亮度等级 medium 的查找表数据 3。
[19:10]	RW	table_data2n	ACC 亮度等级 medium 的查找表数据 2。
[9:0]	RW	table_data1n	ACC 亮度等级 medium 的查找表数据 1。

VSDIACCHIGH1

VSDIACCHIGH1 为 ACC 查找表寄存器 1，亮度等级为 high。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x3130＋i x 0x1000 (i = 0～1)	VSDIACCHIGH1	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				table_data3n								table_data2n								table_data1n											
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:30]	RO	reserved	保留。
[29:20]	RW	table_data3n	ACC 亮度等级 high 的查找表数据 3。
[19:10]	RW	table_data2n	ACC 亮度等级 high 的查找表数据 2。
[9:0]	RW	table_data1n	ACC 亮度等级 high 的查找表数据 1。

VSDIACCHIGH2

VSDIACCHIGH2 为 ACC 查找表寄存器 2，亮度等级为 high。

Offset Address	Register Name	Total Reset Value
0x3134＋i x 0x1000 (i = 0～1)	VSDIACCHIGH2	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				table_data3n								table_data2n								table_data1n											
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:30]	RO	reserved	保留。
[29:20]	RW	table_data3n	ACC 亮度等级 high 的查找表数据 3。
[19:10]	RW	table_data2n	ACC 亮度等级 high 的查找表数据 2。
[9:0]	RW	table_data1n	ACC 亮度等级 high 的查找表数据 1。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

VSDIACCHIGH3

VSDIACCHIGH3 为 ACC 查找表寄存器 3，亮度等级为 high。

Offset Address	Register Name	Total Reset Value
0x3138＋i x 0x1000 (i = 0～1)	VSDIACCHIGH3	0x0000_0000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved	table_data3n		table_data2n		table_data1n		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[31:30]	RO	reserved	保留。
[29:20]	RW	table_data3n	ACC 亮度等级 high 的查找表数据 3。
[19:10]	RW	table_data2n	ACC 亮度等级 high 的查找表数据 2。
[9:0]	RW	table_data1n	ACC 亮度等级 high 的查找表数据 1。

VSDIACCML1

VSDIACCML1 为 ACC 查找表寄存器 1，亮度等级为 medium_low。

Offset Address	Register Name	Total Reset Value
0x3140＋i x 0x1000 (i = 0～1)	VSDIACCML1	0x0000_0000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved	table_data3n		table_data2n		table_data1n		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[31:30]	RO	reserved	保留。
[29:20]	RW	table_data3n	ACC 亮度等级 medium_low 的查找表数据 3。
[19:10]	RW	table_data2n	ACC 亮度等级 medium_low 的查找表数据 2。
[9:0]	RW	table_data1n	ACC 亮度等级 medium_low 的查找表数据 1。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

VSDIACCML2

VSDIACCML2 为 ACC 查找表寄存器 2，亮度等级为 medium_low。

Offset Address	Register Name	Total Reset Value
0x3144＋i x 0x1000 (i = 0～1)	VSDIACCML2	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				table_data3n								table_data2n												table_data1n							
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:30]	RO	reserved	保留。
[29:20]	RW	table_data3n	ACC 亮度等级 medium_low 的查找表数据 3。
[19:10]	RW	table_data2n	ACC 亮度等级 medium_low 的查找表数据 2。
[9:0]	RW	table_data1n	ACC 亮度等级 medium_low 的查找表数据 1。

VSDIACCML3

VSDIACCML3 为 ACC 查找表寄存器 3，亮度等级为 medium_low。

Offset Address	Register Name	Total Reset Value
0x3148＋i x 0x1000 (i = 0～1)	VSDIACCML3	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				table_data3n								table_data2n												table_data1n							
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:30]	RO	reserved	保留。
[29:20]	RW	table_data3n	ACC 亮度等级 medium_low 的查找表数据 3。
[19:10]	RW	table_data2n	ACC 亮度等级 medium_low 的查找表数据 2。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x3148＋i x 0x1000 (i = 0～1)	VSDIACCML3	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				table_data3n								table_data2n								table_data1n											
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[9:0]	RW	table_data1n	ACC 亮度等级 medium_low 的查找表数据 1。

VSDIACCMH1

VSDIACCMH1 为 ACC 查找表寄存器 1，亮度等级为 medium_high。

Offset Address	Register Name	Total Reset Value
0x3150＋i x 0x1000 (i = 0～1)	VSDIACCMH1	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				table_data3n								table_data2n								table_data1n											
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:30]	RO	reserved	保留。
[29:20]	RW	table_data3n	ACC 亮度等级 middle_high 的查找表数据 3。
[19:10]	RW	table_data2n	ACC 亮度等级 middle_high 的查找表数据 2。
[9:0]	RW	table_data1n	ACC 亮度等级 middle_high 的查找表数据 1。

VSDIACCMH2

VSDIACCMH2 为 ACC 查找表寄存器 2，亮度等级为 medium_high。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x3154＋i x 0x1000 (i = 0～1)	VSDIACCMH2	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				table_data3n								table_data2n								table_data1n											
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:30]	RO	reserved	保留。
[29:20]	RW	table_data3n	ACC 亮度等级 middle_high 的查找表数据 3。
[19:10]	RW	table_data2n	ACC 亮度等级 middle_high 的查找表数据 2。
[9:0]	RW	table_data1n	ACC 亮度等级 middle_high 的查找表数据 1。

VSDIACCMH3

VSDIACCMH3 为 ACC 查找表寄存器 3，亮度等级为 medium_high。

Offset Address	Register Name	Total Reset Value
0x3158＋i x 0x1000 (i = 0～1)	VSDIACCMH3	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				table_data3n								table_data2n								table_data1n											
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:30]	RO	reserved	保留。
[29:20]	RW	table_data3n	ACC 亮度等级 middle_high 的查找表数据 3。
[19:10]	RW	table_data2n	ACC 亮度等级 middle_high 的查找表数据 2。
[9:0]	RW	table_data1n	ACC 亮度等级 middle_high 的查找表数据 1。

VSDIACC3LOW

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

VSDIACC3LOW 为 ACC 三区域的低门限亮度统计值寄存器，为只读寄存器。

Offset Address	Register Name	Total Reset Value
0x3160＋i x 0x1000 (i = 0～1)	VSDIACC3LOW	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved												cnt3_low																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:21]	RO	reserved	保留。
[20:0]	RO	cnt3_low	三区域的低门限亮度统计值。

VSDIACC3MED

VSDIACC3MED 为 ACC 三区域的中门限亮度统计值寄存器，为只读寄存器。

Offset Address	Register Name	Total Reset Value
0x3164＋i x 0x1000 (i = 0～1)	VSDIACC3MED	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved												cnt3_med																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:21]	RO	reserved	保留。
[20:0]	RO	cnt3_med	三区域的中门限亮度统计值。

VSDIACC3HIGH

VSDIACC3HIGH 为 ACC 三区域的高门限亮度统计值寄存器，为只读寄存器。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x3168＋i x 0x1000 (i = 0～1)	VSDIACC3HIGH	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved												cnt3_high																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:21]	RO	reserved	保留。
[20:0]	RO	cnt3_high	三区域的高门限亮度统计值。

VSDIACC8MLOW

VSDIACC8MLOW 为 ACC 中间区域分成 8 段后，低门限亮度统计值寄存器，为只读寄存器。

Offset Address	Register Name	Total Reset Value
0x316C＋i x 0x1000 (i = 0～1)	VSDIACC8MLOW	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved												cnt8_med_low																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:21]	RO	reserved	保留。
[20:0]	RO	cnt8_med_low	中间区域的低门限亮度统计值。

VSDIACC8MHIGH

VSDIACC8MHIGH 为 ACC 中间区域分成 8 段后，高门限亮度统计值寄存器，为只读寄存器.

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x3170＋i x 0x1000 (i = 0～1)	VSDIACC8MHIGH	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved												cnt8_med_high																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:21]	RO	reserved	保留。
[20:0]	RO	cnt8_med_high	中间区域的高门限亮度统计值。

VSDIACCTOTAL

VSDIACCTOTAL 为 ACC 像素统计值寄存器，为只读寄存器。

Offset Address	Register Name	Total Reset Value
0x3174＋i x 0x1000 (i = 0～1)	VSDIACCTOTAL	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved												acc_pix_total																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:21]	RO	reserved	保留。
[20:0]	RO	acc_pix_total	ACC 总象素统计值。

VSDIIFIRCOEF01

VSDIIFIRCOEF01 为 VSD IFIR 滤波系数 0、1 寄存器。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x3180＋i x 0x1000 (i = 0～1)	VSDIIFIRCOEF01	0x000D_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved								coef1								reserved								coef0							
Reset	0	0	0	0	0	0	0	0	0	0	0	0	1	1	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:26]	RO	reserved	保留。
[25:16]	RW	coef1	IFIR 滤波系数 1。
[15:10]	RO	reserved	保留。
[9:0]	RW	coef0	IFIR 滤波系数 0。

VSDIIFIRCOEF23

VSDIIFIRCOEF23 为 VSD IFIR 滤波系数 2、3 寄存器。

Offset Address	Register Name	Total Reset Value
0x3184＋i x 0x1000 (i = 0～1)	VSDIIFIRCOEF23	0x0132_03C1

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved								coef3								reserved								coef2							
Reset	0	0	0	0	0	0	0	1	0	0	1	1	0	0	1	0	0	0	0	0	0	0	1	1	1	1	0	0	0	0	0	1

Bits	Access	Name	Description
[31:26]	RO	reserved	保留。
[25:16]	RW	coef3	IFIR 滤波系数 3。
[15:10]	RO	reserved	保留。
[9:0]	RW	coef2	IFIR 滤波系数 2。

VSDIIFIRCOEF45

VSDIIFIRCOEF45 为 VSD IFIR 滤波系数 4、5 寄存器。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x3188＋i x 0x1000 (i = 0～1)	VSDIIFIRCOEF45	0x003C_0132

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved								coef5								reserved								coef4							
Reset	0	0	0	0	0	0	0	0	0	0	1	1	1	1	0	0	0	0	0	0	0	0	0	1	0	0	1	1	0	0	1	0

Bits	Access	Name	Description
[31:26]	RO	reserved	保留。
[25:16]	RW	coef5	IFIR 滤波系数 5。
[15:10]	RO	reserved	保留。
[9:0]	RW	coef4	IFIR 滤波系数 4。

VSDIIFIRCOEF67

VSDIIFIRCOEF67 为 VSD IFIR 滤波系数 6、7 寄存器。

Offset Address	Register Name	Total Reset Value
0x318C＋i x 0x1000 (i = 0～1)	VSDIIFIRCOEF67	0x0000_000D

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved								coef7								reserved								coef6							
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	0	1

Bits	Access	Name	Description
[31:26]	RO	reserved	保留。
[25:16]	RW	coef7	IFIR 滤波系数 7。
[15:10]	RO	reserved	保留。
[9:0]	RW	coef6	IFIR 滤波系数 6。

VSDIPMRESO

VSDIPMRESO 为视频层 VSD 分区 m 的分辨率寄存器。非即时寄存器。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x3400＋i x 0x1000＋m x 0x20 (i = 0～1) (m = 0 或 m = 0～7)	VSDIPMRESO	0x0000_0000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved		h			w		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[31:24]	RW	reserved	保留。
[23:12]	RW	h	高度，以帧高度为参考。行为单位，实际高度减 1。 **注意：实际高度必须是偶数。**
[11:0]	RW	w	宽度，单位：像素。实际宽度减 1。 **注意：实际宽度必须是偶数。**

VSDIPMLADDR

VSDIPMLADDR 为视频层 VSD 分区 m 的地址寄存器。

Offset Address	Register Name	Total Reset Value
0x3404＋i x 0x1000＋m x 0x20 (i = 0～1) (m = 0 或 m = 0～7)	VSDIPMLADDR	0x0000_0000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	surface_addr							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[31:0]	RW	surface_addr	视频层 VSD 分区 m 的首地址。

VSDIPMCADDR

VSDIPMCADDR 为视频层 VSD 分区 m 的色度地址寄存器。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x3408＋i x 0x1000＋m x 0x20 (i = 0～1) (m = 0 或 m = 0～7)	VSDIPMCADDR	0x0000_0000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	surface_addr							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[31:0]	RW	surface_addr	视频层 VSD 分区 m 的色度首地址。

VSDIPMSTRIDE

VSDIPMSTRIDE 为视频层 VSD 分区 m 的 stride 寄存器。

Offset Address	Register Name	Total Reset Value
0x340C＋i x 0x1000＋m x 0x20 (i = 0～1) (m = 0 或 m = 0～7)	VSDIPMSTRIDE	0x0000_0000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	surface_cstride				surface_stride			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[31:16]	RW	surface_cstride	视频层 VSD 分区 m 色度 buffer 的 stride(对于 semi-planaer 格式有用)，128bit 对齐。
[15:0]	RW	surface_stride	视频层 VSD 分区 m buffer 的 stride(对于 semi-planaer 格式，指亮度的 stride)，128bit 对齐。

VSDIPMVFPOS

VSDIPMVFPOS 为视频层 VSD 分区 m 在视频内容的起始位置（First POSition）寄存器。以像素为单位。非即时寄存器。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x3410＋i x 0x1000＋m x 0x20 (i = 0～1) (m = 0 或 m = 0～7)	VSDIPMVFPOS	0x0000_0000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved		video_yfpos			video_xfpos		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[31:24]	RW	reserved	保留。
[23:12]	RW	video_yfpos	视频内容列起始坐标。 以帧高度为参考，以行为单位。
[11:0]	RW	video_xfpos	视频内容行起始坐标。

VSDIPMVLPOS

VSDIPMVLPOS 为视频层 VSD 分区 m 在视频内容的结束位置（First POSition）寄存器。以像素为单位。非即时寄存器。

Offset Address	Register Name	Total Reset Value
0x3414＋i x 0x1000＋m x 0x20 (i = 0～1) (m = 0 或 m = 0～7)	VSDIPMVLPOS	0x0000_0000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved		video_ylpos			video_xlpos		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[31:24]	RW	reserved	保留。
[23:12]	RW	video_ylpos	视频内容列起始坐标。 以帧高度为参考，以行为单位。
[11:0]	RW	video_xlpos	视频内容行起始坐标。

VSDI16REGIONEN

VSDI16REGIONEN 为视频层 VSD 8 分使能寄存器。非即时寄存器。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x3C04＋i x 0x1000＋m x 0x20 (i = 0～1) (m = 0 或 m = 0～7)	VSDI16REGIONEN	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																								p7_en	p6_en	p5_en	p4_en	p3_en	p2_en	p1_en	p0_en
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:8]	RW	reserved	保留。
[7]	RW	p7_en	VSD0 分区 7 的使能信号。 0：禁止； 1：使能。
[6]	RW	p6_en	VSD0 分区 6 的使能信号。 0：禁止； 1：使能。
[5]	RW	p5_en	VSD0 分区 5 的使能信号。 0：禁止； 1：使能。
[4]	RW	p4_en	VSD0 分区 4 的使能信号。 0：禁止； 1：使能。
[3]	RW	p3_en	VSD0 分区 3 的使能信号。 0：禁止； 1：使能。
[2]	RW	p2_en	VSD0 分区 2 的使能信号。 0：禁止； 1：使能。
[1]	RW	p1_en	VSD0 分区 1 的使能信号。 0：禁止； 1：使能。
[0]	RW	p0_en	VSD0/VSD1 分区 0 的使能信号。 0：禁止； 1：使能。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

WBC2CTRL

WBC2CTRL 为 WBC2 的控制寄存器。非即时寄存器。

Offset Address	Register Name	Total Reset Value
0x8200	WBC2CTRL	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	wbc2_en	reserved																			wbc2_dft				reserved				req_interval			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31]	RW	wbc2_en	WBC2 使能。 0：禁能； 1：使能。
[30:14]	RO	reserved	保留。
[13:12]	RW	wbc2_dft	WBC2 的输出数据格式 00：SPYCbCr422； 01：SPYCbCr420； 其他：无效。
[11:10]	RO	reserved	保留。
[9:0]	RW	req_interval	WBC2 总线申请最小间隔，表示第 n 个申请结束到第 n+1 个申请之间的间隔有 req_interval 个时钟周期。

WBC2UPD

WBC2UPD 为 WBC2 通道更新使能寄存器。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x8204	WBC2UPD	0x0000_0000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved							regup
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[31:1]	RO	reserved	保留。
[0]	RW	regup	CAPTURE 的寄存器更新。当软件配置完该层寄存器后写 1 更新，更新完成后，硬件自动清零。

WBC2ADDR

WBC2ADDR 为 CAPTURE 写地址地址寄存器。

Offset Address	Register Name	Total Reset Value
0x8208	WBC2ADDR	0x0000_0000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	wbcaddr							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[31:0]	RW	wbcaddr	帧 buffer 地址。4byte 位对齐，低 2bit 无效(支持无缝拼接)。

WBC2STRIDE

WBC2STRIDE 为 CAPTURE 的 stride 寄存器。

Offset Address	Register Name	Total Reset Value
0x820C	WBC2STRIDE	0x0000_0000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved				wbc2stride			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[31:16]	—	reserved	保留。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x820C	WBC2STRIDE	0x0000_0000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved				wbc2stride			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[15:0]	RW	wbc2stride	帧 buffer 的 stride。128bit 对齐。

WBC2ORESO

WBC2ORESO 为输出分辨率寄存器。非即时寄存器。

Offset Address	Register Name	Total Reset Value
0x8210	WBC2ORESO	0x0000_0000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved		oh			ow		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[31:24]	RO	reserved	保留。
[23:12]	RW	oh	高度，单位：行。实际高度减 1。 **注意：对于隔行输出，层的实际高度必须是偶数。逐行输出无此限制。**
[11:0]	RW	ow	宽度，单位：像素。实际宽度减 1。 **注意：层的实际宽度必须是偶数。**

WBC2CADDR

WBC2CADDR 为 CAPTURE 写地址色度地址寄存器。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x8220	WBC2CADDR	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	wbccaddr																															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:0]	RW	wbccaddr	帧色度 buffer 地址。4byte 位对齐，低 2bit 无效(支持无缝拼接)。

WBC2CSTRIDE

WBC2CSTRIDE 为 CAPTURE 的色度 stride 寄存器。

Offset Address	Register Name	Total Reset Value
0x8224	WBC2CSTRIDE	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																wbc2cstride															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:16]	—	reserved	保留。
[15:0]	RW	wbc2cstride	帧色度 buffer 的 stride。16byte 位对齐。

WBC2HSP

WBC2HSP 为水平缩放参数配置（horizontal Scaling Parameter）寄存器。非即时寄存器。

缩放比率＝输入宽度/输出宽度。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x82C0	WBC2HSP	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	hlmsc_en	hchmsc_en	reserved					hlfir_en	hchfir_en	reserved			hfir_order	reserved			hratio															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31]	RW	hlmsc_en	水平亮度缩放使能。 0：禁止； 1：使能。
[30]	RW	hchmsc_en	水平色度缩放使能。 0：禁止； 1：使能。
[29:25]	RO	reserved	保留。
[24]	RW	hlfir_en	水平亮度缩放模式。 0：复制模式(滤波禁止)； 1：滤波模式(滤波使能)。
[23]	RW	hchfir_en	水平色度缩放模式。 0：复制模式(滤波禁止)； 1：滤波模式(滤波使能)。
[22:20]	RO	reserved	保留。
[19]	RW	hfir_order	水平缩放位置。 0：水平缩放在垂直缩放前面； 1：水平缩放在垂直缩放后面。
[18:16]	RO	reserved	保留。
[15:0]	RW	hratio	水平缩放倍数，(u,4,12)格式。

WBC2HLOFFSET

WBC2HLOFFSET 为亮度水平位置偏移寄存器。用于 pan-scan。非即时寄存器。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x82C4	WBC2HLOFFSET	0x0000_0000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved				hor_loffset			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[31:17]	RO	reserved	保留。
[16:0]	RW	hor_loffset	水平亮度位置偏移，(s,5,12)格式。补码表示。

WBC2HCOFFSET

WBC2HCOFFSET 为色度水平位置偏移寄存器。用于 pan-scan。非即时寄存器。

Offset Address	Register Name	Total Reset Value
0x82C8	WBC2HCOFFSET	0x0000_0000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved				hor_coffset			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[31:17]	RO	reserved	保留。
[16:0]	RW	hor_coffset	水平色度位置偏移，(s,5,12)格式。补码表示。

WBC2VSP

WBC2VSP 为缩放参数（vertical Scaling Parameter）寄存器。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x82D8	WBC2VSP	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	vlmsc_en	vchmsc_en	reserved		vsc_luma_tap	vsc_chroma_tap	chroma_type	vlfir_en	vchfir_en	vsc_out_420	reserved																					
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31]	RW	vlmsc_en	垂直亮度缩放使能。 0：禁止； 1：使能。
[30]	RW	vchmsc_en	垂直色度缩放使能。 0：禁止； 1：使能。
[29:28]	RW	reserved	保留。
[27]	RW	vsc_luma_tap	垂直亮度缩放阶数。 0：4 阶 FIR； 1：2 阶 FIR；
[26]	RW	vsc_chroma_tap	垂直色度缩放阶数。 0：4 阶 FIR； 1：2 阶 FIR。
[25]	RW	chroma_type	亮度和色度在垂直方向的比例。必须配置成 0。 0：422； 1：保留。
[24]	RW	vlfir_en	垂直亮度缩放模式。 0：复制模式(滤波禁止)； 1：滤波模式(滤波使能)。
[23]	RW	vchfir_en	垂直色度缩放模式。 0：复制模式(滤波禁止)； 1：滤波模式(滤波使能)。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x82D8	WBC2VSP	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	vlmsc_en	vchmsc_en	reserved		vsc_luma_tap	vsc_chroma_tap	chroma_type	vlfir_en	vchfir_en	vsc_out_420	reserved																					
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[22]	RW	vsc_out_420	输出格式。 0：420； 1：422。
[21:0]	RO	reserved	保留。

WBC2VSR

WBC2VSR 为垂直缩放倍数（Luma Vertical Scaling Ratio）寄存器。非即时寄存器。

缩放比率＝输入高度/输出高度。

Offset Address	Register Name	Total Reset Value
0x82DC	WBC2VSR	0x0000_1000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																vratio															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:16]	RO	reserved	保留。
[15:0]	RW	vratio	垂直缩放倍数，(u,4,12)格式。

WBC2VOFFSET

WBC2VOFFSET 为垂直缩放偏移（Vertical Luma Offset）寄存器。

垂直缩放偏移受两个因素影响：pan-scan 和重复帧时的场偏移。当没有场偏移时，vluma_offset 为 offset_pan-scan 的最低整数位+小数位；在 YCbCr422 格式时

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

vchroma_offset 与 vluma_offset 相等；在 YCbCr420 格式时，vchroma_offset = scaling_chroma/2-0.25。当需要场偏移时（如静帧或者重复帧），假设重复底场，则顶场配置的 vluma_offset 和 vchroma_offset 与上述无偏移时相同，底场配置需要考虑场偏移。

Offset Address	Register Name	Total Reset Value
0x82E0	WBC2VOFFSET	0x0000_0000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	vluma_offset				vchroma_offset			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[31:16]	RW	vluma_offset	垂直亮度偏移，补码表示，(s,4,12)格式。
[15:0]	RW	vchroma_offset	垂直色度偏移，补码表示，(s,4,12)格式。

WBC2ZMEORESO

WBC2ZMEORESO 为缩放单元的输出分辨率寄存器。非即时寄存器。

Offset Address	Register Name	Total Reset Value
0x82E4	WBC2ZMEORESO	0x0000_0000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved		oh			ow		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[31:24]	RO	reserved	保留。
[23:12]	RW	oh	高度，单位：行。实际高度减 1。 逐行时，以帧高度为参考，以行为单位；隔行时，以场高度为参考，以行为单位。
[11:0]	RW	ow	宽度，单位：像素。实际宽度减 1。 **注意：层的实际宽度必须是偶数。**

WBC2ZMEIRESO

WBC2ZMEIRESO 为缩放单元的输出入辨率寄存器。非即时寄存器。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x82E8	WBC2ZMEIRESO	0x0000_0000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved		ih			iw		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[31:24]	RO	reserved	保留。
[23:12]	RW	ih	高度，单位：行。实际高度减 1。 逐行时，以帧高度为参考，以行为单位；隔行时，以场高度为参考，以行为单位。
[11:0]	RW	iw	宽度，单位：像素。实际宽度减 1。 **注意：层的实际宽度必须是偶数。**

G0CTRL

G0CTRL 为 G0 层控制寄存器。该寄存器可以配置层的相关信息寄存器。非即时寄存器。

Offset Address	Register Name	Total Reset Value
0x9000	G0CTRL	0x0000_0000

Bit	31	30 29 28	27	26	25	24	23 22 21 20	19 18 17 16	15 14 13 12	11 10	9 8	7 6 5 4	3 2 1 0
Name	surface_en	reserved	upd_mode	read_mode	dcmp_mode	dcmp_inter	reserved				bitext	ifmt	
Reset	0	0 0 0	0	0	0	0	0 0 0 0	0 0 0 0	0 0 0 0	0 0	0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[31]	RW	surface_en	surface 使能。非即时寄存器。 0：禁止； 1：使能。
[30:28]	RO	reserved	保留。
[27]	RW	upd_mode	更新模式。 0：帧更新； 1：场更新。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x9000	G0CTRL	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	surface_en	reserved			upd_mode	read_mode	dcmp_mode	dcmp_inter	reserved														bitext		ifmt							
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[26]	RW	read_mode	数据读取模式。 0：根据接口读取方式自动选择(逐行显示时逐行读，隔行显示时隔行读)； 1：强制按照逐行读取。
[25]	RW	dcmp_mode	解压模式。非即时寄存器。 0：非解压模式模式； 1：解压模式。
[24]	RW	dcmp_inter	隔行解压控制，非即时寄存器。 0：逐行解压； 1：隔行解压。
[23:10]	RW	reserved	保留。
[9:8]	RW	bitext	层输入位图 Bit 位扩展模式。 0X：低位扩展 0； 10：低位扩展最高 bit 位； 11：低位扩展最高若干 bit 位。
[7:0]	RW	ifmt	输入数据格式。 0x49：ARGB1555； 0x68：ARGB8888； 其他：保留。

G0UPD

G0UPD 为图形层更新使能寄存器。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x9004	G0UPD	0x0000_0000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved							regup
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[31:1]	RO	reserved	保留。
[0]	RW	regup	surface 的寄存器更新。当软件配置完该层寄存器后写 1 更新，更新完成后，硬件自动清零。

G0ADDR

G0ADDR 为图形层地址寄存器。在有水平像素偏移的情况下，地址计算参考 G0SFPOS 说明。

Offset Address	Register Name	Total Reset Value
0x9008	G0ADDR	0x0000_0000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	surface_addr							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[31:0]	RW	surface_addr	surface 帧 buffer 地址。

G0STRIDE

G0STRIDE 为图形层的 stride 寄存器。

Offset Address	Register Name	Total Reset Value
0x900C	G0STRIDE	0x0000_0000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved				surface_stride			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[31:16]	—	reserved	保留。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x900C	G0STRIDE	0x0000_0000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved				surface_stride			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[15:0]	RW	surface_stride	帧 buffer 的 stride。

G0CBMPARA

G0CBMPARA 为叠加相关参数寄存器。非即时寄存器。

Offset Address	Register Name	Total Reset Value
0x9010	G0CBMPARA	0x0000_0000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15	14	13	12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved				key_mode	key_en	premult_en	palpha_en	reserved	galpha	
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0	0	0	0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[31:16]	RO	reserved	保留。
[15]	RW	key_mode	color key 模式 0：满足 Keymin <= Pixel <= Keymax 时，处理为关键色 1：满足 Pixel <= Keymin 或者 Pixel >= Keymax 时处理为关键色
[14]	RW	key_en	color key 使能。 0：禁止； 1：使能。
[13]	RW	premult_en	输入位图为预乘图。 0：非预乘图； 1：预乘图。
[12]	RW	palpha_en	像素 alpha 使能。 0：禁止； 1：使能。
[11:8]	RW	reserved	保留。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x9010	G0CBMPARA	0x0000_0000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15	14	13	12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved				key_mode	key_en	premult_en	palpha_en	reserved	galpha	
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0	0	0	0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[7:0]	RW	galpha	叠加全局 alpha 值。取值范围为 0～255，255 为全不透明，0 为全透明。

G0CKEYMAX

G0CKEYMAX 为 color key 最大值寄存器。非即时寄存器。

Offset Address	Register Name	Total Reset Value
0x9014	G0CKEYMAX	0x0000_0000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	va0		keyr_max		keyg_max		keyb_max	
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[31:24]	RW	va0	alpha0 值。当数据格式为 alphaRGB1555 时且 alpha 值为 0 时，用该值替换。
[23:16]	RW	keyr_max	colry key R 分量最大值。
[15:8]	RW	keyg_max	color key G 分量最大值。
[7:0]	RW	keyb_max	color key B 分量最大值。

G0CKEYMIN

G0CKEYMIN 为 color key 最小值寄存器。非即时寄存器。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x9018	G0CKEYMIN	0x0000_0000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	va1		keyr_min		keyg_min		keyb_min	
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[31:24]	RW	va1	alpha1 值。当数据格式为 alphaRGB1555 时，alpha 值为 1 时，用该值替换。
[23:16]	RW	keyr_min	colry key R 分量最小值。
[15:8]	RW	keyg_min	color key G 分量最小值。
[7:0]	RW	keyb_min	color key B 分量最小值。

G0CMASK

G0CMASK 为 color key 的 MASK 值，为非即时寄存器。相应 bit 为 0 表示在 Key 的比较过程中，不关心该 bit。

Offset Address	Register Name	Total Reset Value
0x901C	G0CMASK	0x0000_0000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved		kmsk_r		kmsk_g		kmsk_b	
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[31:24]	RO	reserved	保留。
[23:16]	RW	kmsk_r	colry key mask 的 R 分量。
[15:8]	RW	kmsk_g	colry key mask 的 G 分量。
[7:0]	RW	kmsk_b	colry key mask 的 B 分量。

G0IRESO

G0IRESO 为输入分辨率寄存器。非即时寄存器。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x9020	G0IRESO	0x0000_0000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved		ih			iw		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[31:24]	RO	reserved	保留。
[23:12]	RW	ih	高度，行为单位。实际高度减 1。 **注意：对于隔行输出，层的实际高度必须是偶数。逐行输出无此限制。**
[11:0]	RW	iw	宽度，单位：像素。实际宽度减 1。 **注意：层的实际宽度必须是偶数。**

G0ORESO

G0ORESO 为输出分辨率寄存器。非即时寄存器。

Offset Address	Register Name	Total Reset Value
0x9024	G0ORESO	0x0000_0000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved		oh			ow		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[31:24]	RO	reserved	保留。
[23:12]	RW	oh	高度，行为单位。实际高度减 1。 **注意：对于隔行输出，层的实际高度必须是偶数。逐行输出无此限制。**
[11:0]	RW	ow	宽度，单位：像素。实际宽度减 1。 **注意：层的实际宽度必须是偶数。**

G0DFPOS

G0DFPOS 为 Surface 在显示窗口的起始位置（First POSition）寄存器。以像素为单位。非即时寄存器。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x902C	G0DFPOS	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved								disp_yfpos												disp_xfpos											
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:24]	RO	reserved	保留。
[23:12]	RW	disp_yfpos	列起始坐标。
[11:0]	RW	disp_xfpos	行起始坐标。

G0DLPOS

G0DLPOS 为 Surface 在显示窗口的结束位置（Last POSition）寄存器。以像素为单位。非即时寄存器。

Offset Address	Register Name	Total Reset Value
0x9030	G0DLPOS	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved								disp_ylpos												disp_xlpos											
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:24]	RO	reserved	保留。
[23:12]	RW	disp_ylpos	列结束坐标。
[11:0]	RW	disp_xlpos	行结束坐标。

G0CSCIDC

G0CSCIDC 为色彩空间转换输入直流分量寄存器。即时寄存器。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x90A0	G0CSCIDC	0x0000_0000

Bit	31 30 29 28	27	26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved	csc_en	cscidc2			cscidc1		cscidc0	
Reset	0 0 0 0	0	0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[31:28]	RO	reserved	保留。
[27]	RW	csc_en	CSC 使能。 0：禁能； 1：使能。
[26:18]	RW	cscidc2	输入分量 2 直流参数，MSB 为符号位。补码表示。
[17:9]	RW	cscidc1	输入分量 1 直流参数，MSB 为符号位。补码表示。
[8:0]	RW	cscidc0	输入分量 0 直流参数，MSB 为符号位。补码表示。

G0CSCODC

G0CSCODC 为色彩空间转换输出直流分量寄存器。即时寄存器。

Offset Address	Register Name	Total Reset Value
0x90A4	G0CSCODC	0x0000_0000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved	cscodc2			cscodc1		cscodc0	
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[31:27]	RO	reserved	保留。
[26:18]	RW	cscodc2	输出分量 2 直流参数，MSB 为符号位。补码表示。
[17:9]	RW	cscodc1	输出分量 1 直流参数，MSB 为符号位。补码表示。
[8:0]	RW	cscodc0	输出分量 0 直流参数，MSB 为符号位。补码表示。

G0CSCP0

G0CSCP0 为色彩空间转换参数 0 寄存器。即时寄存器。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x90A8	G0CSCP0	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				cscp01												reserved				cscp00											
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:29]	RO	reserved	保留。
[28:16]	RW	cscp01	5.8 数据格式：1bit 符号位、4bit 整数位、8bit 小数位。补码表示。
[15:13]	RO	reserved	保留。
[12:0]	RW	cscp00	5.8 数据格式：1bit 符号位、4bit 整数位、8bit 小数位。补码表示。

G0CSCP1

G0CSCP1 为色彩空间转换参数 1 寄存器。即时寄存器。

Offset Address	Register Name	Total Reset Value
0x90AC	G0CSCP1	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				cscp10												reserved				cscp02											
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:29]	RO	reserved	保留。
[28:16]	RW	cscp10	5.8 数据格式：1bit 符号位、4bit 整数位、8bit 小数位。补码表示。
[15:13]	RO	reserved	保留。
[12:0]	RW	cscp02	5.8 数据格式：1bit 符号位、4bit 整数位、8bit 小数位。补码表示。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

G0CSCP2

G0CSCP2 为色彩空间转换参数 2 寄存器。即时寄存器。

Offset Address	Register Name	Total Reset Value
0x90B0	G0CSCP2	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				cscp12												reserved				cscp11											
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:29]	RO	reserved	保留。
[28:16]	RW	cscp12	5.8 数据格式：1bit 符号位、4bit 整数位、8bit 小数位。补码表示。
[15:13]	RO	reserved	保留。
[12:0]	RW	cscp11	5.8 数据格式：1bit 符号位、4bit 整数位、8bit 小数位。补码表示。

G0CSCP3

G0CSCP3 为色彩空间转换参数 3 寄存器。即时寄存器。

Offset Address	Register Name	Total Reset Value
0x90B4	G0CSCP3	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				cscp21												reserved				cscp20											
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:29]	RO	reserved	保留。
[28:16]	RW	cscp21	5.8 数据格式：1bit 符号位、4bit 整数位、8bit 小数位。补码表示。
[15:13]	RO	reserved	保留。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x90B4	G0CSCP3	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				cscp21												reserved				cscp20											
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[12:0]	RW	cscp20	5.8 数据格式：1bit 符号位、4bit 整数位、8bit 小数位。补码表示。

G0CSCP4

G0CSCP4 为色彩空间转换参数 4 寄存器。即时寄存器。

Offset Address	Register Name	Total Reset Value
0x90B8	G0CSCP4	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																				cscp22											
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:13]	RO	reserved	保留。
[12:0]	RW	cscp22	5.8 数据格式：1bit 符号位、4bit 整数位、8bit 小数位。补码表示。

G0DCMPBANKWIDTH

G0DCMPBANKWIDTH 为 G0 层压缩数据 bank 宽度寄存器。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x91B4	G0DCMPBANKWIDTH	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																				dcmp_bankwidth											
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:12]	RO	reserved	保留。
[11:0]	RW	dcmp_bankwidth	压缩数据 bank 宽度，128bit 对齐。

G0DCMPSTRIDE

G0DCMPSTRIDE 为 G0 层压缩数据 stride 寄存器。

Offset Address	Register Name	Total Reset Value
0x91B8	G0DCMPSTRIDE	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																dcmp_stride															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:16]	RO	reserved	保留。
[15:0]	RW	dcmp_stride	压缩数据 stride，128bit 对齐。

G0DCMPAADDR

G0DCMPAADDR 为 G0 层 A 分量压缩数据起始地址寄存器。

Offset Address	Register Name	Total Reset Value
0x91BC	G0DCMPAADDR	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	dcmp_addr_a																															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:0]	RW	dcmp_addr_a	压缩数据起始地址。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

G0DCMPRADDR

G0DCMPRADDR 为 G0 层 R 分量压缩数据起始地址寄存器。

Offset Address	Register Name	Total Reset Value
0x91C0	G0DCMPRADDR	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	dcmp_addr_r																															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:0]	RW	dcmp_addr_r	压缩数据起始地址。

G0DCMPGADDR

G0DCMPGADDR 为 G0 层 G 分量压缩数据起始地址寄存器。

Offset Address	Register Name	Total Reset Value
0x91C4	G0DCMPGADDR	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	dcmp_addr_g																															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:0]	RW	dcmp_addr_g	压缩数据起始地址。

G0DCMPBADDR

G0DCMPBADDR 为 G0 层 B 分量压缩数据起始地址寄存器。

Offset Address	Register Name	Total Reset Value
0x91C8	G0DCMPBADDR	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	dcmp_addr_b																															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:0]	RW	dcmp_addr_b	压缩数据起始地址。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

G2CTRL

G2CTRL 为 G2 层控制寄存器。该寄存器可以配置层的相关信息寄存器。非即时寄存器。

Offset Address	Register Name	Total Reset Value
0x9400	G2CTRL	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	surface_en	reserved			upd_mode	read_mode	reserved																bitext		ifmt							
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31]	RW	surface_en	surface 使能。非即时寄存器。 0：禁止； 1：使能。
[30:28]	RO	reserved	保留。
[27]	RW	upd_mode	更新模式。 0：帧更新； 1：场更新。
[26]	RW	read_mode	数据读取模式。 0：根据接口读取方式自动选择(逐行显示时逐行读，隔行显示时隔行读)； 1：强制按照逐行读取。
[25:10]	RW	reserved	保留。
[9:8]	RW	bitext	层输入位图 Bit 位扩展模式。 0X：低位扩展 0； 10：低位扩展最高 bit 位； 11：低位扩展最高若干 bit 位。
[7:0]	RW	ifmt	输入数据格式。 0x49：ARGB1555； 0x68：ARGB8888； 其他：保留。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

G2UPD

G2UPD 为图形层更新使能寄存器。

Offset Address	Register Name	Total Reset Value
0x9404	G2UPD	0x0000_0000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1	0
Name	reserved								regup
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0	0

Bits	Access	Name	Description
[31:1]	RO	reserved	保留。
[0]	RW	regup	surface 的寄存器更新。当软件配置完该层寄存器后写 1 更新，更新完成后，硬件自动清零。

G2ADDR

G2ADDR 为图形层地址寄存器。在有水平像素偏移的情况下，地址计算参考 G2SFPOS 说明。

Offset Address	Register Name	Total Reset Value
0x9408	G2ADDR	0x0000_0000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1	0
Name	surface_addr								
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0	0

Bits	Access	Name	Description
[31:0]	RW	surface_addr	surface 帧 buffer 地址。

G2STRIDE

G2STRIDE 为图形层的 stride 寄存器。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x940C	G2STRIDE	0x0000_0000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved				surface_stride			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[31:16]	—	reserved	保留。
[15:0]	RW	surface_stride	帧 buffer 的 stride。

G2CBMPARA

G2CBMPARA 为叠加相关参数寄存器。非即时寄存器。

Offset Address	Register Name	Total Reset Value
0x9410	G2CBMPARA	0x0000_0000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15	14	13	12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved				key_mode	key_en	premult_en	palpha_en	reserved	galpha	
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0	0	0	0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[31:16]	RO	reserved	保留。
[15]	RW	key_mode	color key 模式 0：满足 Keymin <= Pixel <= Keymax 时，处理为关键色 1：满足 Pixel <= Keymin 或者 Pixel >= Keymax 时处理为关键色
[14]	RW	key_en	color key 使能。 0：禁止；1：使能。
[13]	RW	premult_en	输入位图为预乘图。 0：非预乘图； 1：预乘图。
[12]	RW	palpha_en	像素 alpha 使能。 0：禁止； 1：使能。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x9410	G2CBMPARA	0x0000_0000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15	14	13	12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved				key_mode	key_en	premult_en	palpha_en	reserved	galpha	
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0	0	0	0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[11:8]	RW	reserved	保留。
[7:0]	RW	galpha	叠加全局 alpha 值。取值范围为 0～255，255 为全不透明，0 为全透明。

G2CKEYMAX

G2CKEYMAX 为 color key 最大值寄存器。非即时寄存器。

Offset Address	Register Name	Total Reset Value
0x9414	G2CKEYMAX	0x0000_0000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	va0		keyr_max		keyg_max		keyb_max	
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[31:24]	RW	va0	alpha0 值。当数据格式为 alphaRGB1555 时且 alpha 值为 0 时，用该值替换。
[23:16]	RW	keyr_max	colry key R 分量最大值。
[15:8]	RW	keyg_max	color key G 分量最大值。
[7:0]	RW	keyb_max	color key B 分量最大值。

G2CKEYMIN

G2CKEYMIN 为 color key 最小值寄存器。非即时寄存器。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x9418	G2CKEYMIN	0x0000_0000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	va1		keyr_min		keyg_min		keyb_min	
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[31:24]	RW	va1	alpha1 值。当数据格式为 alphaRGB1555 时，alpha 值为 1 时，用该值替换。
[23:16]	RW	keyr_min	colry key R 分量最小值。
[15:8]	RW	keyg_min	color key G 分量最小值。
[7:0]	RW	keyb_min	color key B 分量最小值。

G2CMASK

G2CMASK 为 color key 的 MASK 值，为非即时寄存器。相应 bit 为 0 表示在 Key 的比较过程中，不关心该 bit。

Offset Address	Register Name	Total Reset Value
0x941C	G2CMASK	0x0000_0000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved		kmsk_r		kmsk_g		kmsk_b	
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[31:24]	RO	reserved	保留。
[23:16]	RW	kmsk_r	colry key mask 的 R 分量。
[15:8]	RW	kmsk_g	colry key mask 的 G 分量。
[7:0]	RW	kmsk_b	colry key mask 的 B 分量。

G2IRESO

G2IRESO 为输入分辨率寄存器。非即时寄存器。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x9420	G2IRESO	0x0000_0000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved		ih			iw		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[31:24]	RO	reserved	保留。
[23:12]	RW	ih	高度，行为单位。实际高度减 1。 **注意：对于隔行输出，层的实际高度必须是偶数。逐行输出无此限制。**
[11:0]	RW	iw	宽度，单位：像素。实际宽度减 1。 **注意：层的实际宽度必须是偶数。**

G2ORESO

G2ORESO 为输出分辨率寄存器。非即时寄存器。

Offset Address	Register Name	Total Reset Value
0x9424	G2ORESO	0x0000_0000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved		oh			ow		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[31:24]	RO	reserved	保留。
[23:12]	RW	oh	高度，行为单位。实际高度减 1。 **注意：对于隔行输出，层的实际高度必须是偶数。逐行输出无此限制。**
[11:0]	RW	ow	宽度，单位：像素。实际宽度减 1。 **注意：层的实际宽度必须是偶数。**

G2DFPOS

G2DFPOS 为 Surface 在显示窗口的起始位置（First POSition）寄存器。以像素为单位。非即时寄存器。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x942C	G2DFPOS	0x0000_0000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved		disp_yfpos			disp_xfpos		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[31:24]	RO	reserved	保留。
[23:12]	RW	disp_yfpos	列起始坐标。
[11:0]	RW	disp_xfpos	行起始坐标。

G2DLPOS

G2DLPOS 为 Surface 在显示窗口的结束位置（Last POSition）寄存器。以像素为单位。非即时寄存器。

Offset Address	Register Name	Total Reset Value
0x9430	G2DLPOS	0x0000_0000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved		disp_ylpos			disp_xlpos		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[31:24]	RO	reserved	保留。
[23:12]	RW	disp_ylpos	列结束坐标。
[11:0]	RW	disp_xlpos	行结束坐标。

G2CSCIDC

G2CSCIDC 为色彩空间转换输入直流分量寄存器。即时寄存器。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x94A0	G2CSCIDC	0x0000_0000

Bit	31 30 29 28	27	26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved	csc_en	cscidc2		cscidc1		cscidc0		
Reset	0 0 0 0	0	0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[31:28]	RO	reserved	保留。
[27]	RW	csc_en	CSC 使能。 0：禁能； 1：使能。
[26:18]	RW	cscidc2	输入分量 2 直流参数，MSB 为符号位。补码表示。
[17:9]	RW	cscidc1	输入分量 1 直流参数，MSB 为符号位。补码表示。
[8:0]	RW	cscidc0	输入分量 0 直流参数，MSB 为符号位。补码表示。

G2CSCODC

G2CSCODC 为 G2 层色彩空间转换输出直流分量寄存器。即时寄存器。

Offset Address	Register Name	Total Reset Value
0x94A4	G2CSCODC	0x0000_0000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved	cscodc2		cscodc1		cscodc0		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[31:27]	RO	reserved	保留。
[26:18]	RW	cscodc2	输出分量 2 直流参数，MSB 为符号位。补码表示。
[17:9]	RW	cscodc1	输出分量 1 直流参数，MSB 为符号位。补码表示。
[8:0]	RW	cscodc0	输出分量 0 直流参数，MSB 为符号位。补码表示。

G2CSCP0

G2CSCP0 为 G2 层色彩空间转换参数 0 寄存器。即时寄存器。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x94A8	G2CSCP0	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				cscp01												reserved				cscp00											
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:29]	RO	reserved	保留。
[28:16]	RW	cscp01	5.8 数据格式：1bit 符号位、4bit 整数位、8bit 小数位。补码表示。
[15:13]	RO	reserved	保留。
[12:0]	RW	cscp00	5.8 数据格式：1bit 符号位、4bit 整数位、8bit 小数位。补码表示。

G2CSCP1

G2CSCP1 为 G2 层色彩空间转换参数 1 寄存器。即时寄存器。

Offset Address	Register Name	Total Reset Value
0x94AC	G2CSCP1	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				cscp10												reserved				cscp02											
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:29]	RO	reserved	保留。
[28:16]	RW	cscp10	5.8 数据格式：1bit 符号位、4bit 整数位、8bit 小数位。补码表示。
[15:13]	RO	reserved	保留。
[12:0]	RW	cscp02	5.8 数据格式：1bit 符号位、4bit 整数位、8bit 小数位。补码表示。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

G2CSCP2

G2CSCP2 为 G2 层色彩空间转换参数 2 寄存器。即时寄存器。

Offset Address	Register Name	Total Reset Value
0x94B0	G2CSCP2	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				cscp12												reserved				cscp11											
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:29]	RO	reserved	保留。
[28:16]	RW	cscp12	5.8 数据格式：1bit 符号位、4bit 整数位、8bit 小数位。补码表示。
[15:13]	RO	reserved	保留。
[12:0]	RW	cscp11	5.8 数据格式：1bit 符号位、4bit 整数位、8bit 小数位。补码表示。

G2CSCP3

G2CSCP3 为 G2 层色彩空间转换参数 3 寄存器。即时寄存器。

Offset Address	Register Name	Total Reset Value
0x94B4	G2CSCP3	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				cscp21												reserved				cscp20											
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:29]	RO	reserved	保留。
[28:16]	RW	cscp21	5.8 数据格式：1bit 符号位、4bit 整数位、8bit 小数位。补码表示。
[15:13]	RO	reserved	保留。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x94B4	G2CSCP3	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				cscp21												reserved				cscp20											
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[12:0]	RW	cscp20	5.8 数据格式：1bit 符号位、4bit 整数位、8bit 小数位。补码表示。

G2CSCP4

G2CSCP4 为 G2 层色彩空间转换参数 4 寄存器。即时寄存器。

Offset Address	Register Name	Total Reset Value
0x94B8	G2CSCP4	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																				cscp22											
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:13]	RO	reserved	保留。
[12:0]	RW	cscp22	5.8 数据格式：1bit 符号位、4bit 整数位、8bit 小数位。补码表示。

G3CTRL

G3CTRL 为 G3 层控制寄存器。该寄存器可以配置层的相关信息寄存器。非即时寄存器。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x9600	G3CTRL	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	surface_en	reserved			upd_mode	read_mode	reserved																bitext		ifmt							
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31]	RW	surface_en	surface 使能。非即时寄存器。 0：禁止； 1：使能。
[30:28]	RO	reserved	保留。
[27]	RW	upd_mode	更新模式。 0：帧更新； 1：场更新。
[26]	RW	read_mode	数据读取模式。 0：根据接口读取方式自动选择(逐行显示时逐行读，隔行显示时隔行读)； 1：强制按照逐行读取。
[25:10]	RO	reserved	保留。
[9:8]	RW	bitext	层输入位图 Bit 位扩展模式。 0X：低位扩展 0； 10：低位扩展最高 bit 位； 11：低位扩展最高若干 bit 位。
[7:0]	RW	ifmt	输入数据格式。 0x49：ARGB1555； 0x68：ARGB8888； 其他：保留。

G3UPD

G3UPD 为图形层更新使能寄存器。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x9604	G3UPD	0x0000_0000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved							regup
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[31:1]	RO	reserved	保留。
[0]	RW	regup	surface 的寄存器更新。当软件配置完该层寄存器后写 1 更新，更新完成后，硬件自动清零。

G3ADDR

G3ADDR 为图形层地址寄存器。在有水平像素偏移的情况下，地址计算参考 G3SFPOS 说明。

Offset Address	Register Name	Total Reset Value
0x9608	G3ADDR	0x0000_0000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	surface_addr							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[31:0]	RW	surface_addr	surface 帧 buffer 地址。

G3STRIDE

G3STRIDE 为图形层的 stride 寄存器。

Offset Address	Register Name	Total Reset Value
0x960C	G3STRIDE	0x0000_0000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved				surface_stride			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[31:16]	RO	reserved	保留。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x960C	G3STRIDE	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																surface_stride															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[15:0]	RW	surface_stride	帧 buffer 的 stride。

G3CBMPARA

G3CBMPARA 为叠加相关参数寄存器。非即时寄存器。

Offset Address	Register Name	Total Reset Value
0x9610	G3CBMPARA	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																key_mode	key_en	premult_en	palpha_en	reserved				galpha							
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:16]	RO	reserved	保留。
[15]	RW	key_mode	color key 模式 0：满足 Keymin <= Pixel <= Keymax 时，处理为关键色 1：满足 Pixel <= Keymin 或者 Pixel >= Keymax 时处理为关键色
[14]	RW	key_en	color key 使能。 0：禁止；1：使能。
[13]	RW	premult_en	输入位图为预乘图。 0：非预乘图； 1：预乘图。
[12]	RW	palpha_en	像素 alpha 使能。 0：禁止； 1：使能。
[11:8]	RO	reserved	保留。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x9610	G3CBMPARA	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																key_mode	key_en	premult_en	palpha_en	reserved				galpha							
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[7:0]	RW	galpha	叠加全局 alpha 值。取值范围为 0～255，255 为全不透明，0 为全透明。

G3CKEYMAX

G3CKEYMAX 为 color key 最大值寄存器。非即时寄存器。

Offset Address	Register Name	Total Reset Value
0x9614	G3CKEYMAX	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	va0								keyr_max								keyg_max								keyb_max							
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:24]	RW	va0	alpha0 值。当数据格式为 alphaRGB1555 时且 alpha 值为 0 时，用该值替换。
[23:16]	RW	keyr_max	colry key R 分量最大值。
[15:8]	RW	keyg_max	color key G 分量最大值。
[7:0]	RW	keyb_max	color key B 分量最大值。

G3CKEYMIN

G3CKEYMIN 为 color key 最小值寄存器。非即时寄存器。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x9618	G3CKEYMIN	0x0000_0000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	va1		keyr_min		keyg_min		keyb_min	
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[31:24]	RW	va1	alpha1 值。当数据格式为 alphaRGB1555 时，alpha 值为 1 时，用该值替换。
[23:16]	RW	keyr_min	colry key R 分量最小值。
[15:8]	RW	keyg_min	color key G 分量最小值。
[7:0]	RW	keyb_min	color key B 分量最小值。

G3CMASK

G3CMASK 为 color key 的 MASK 值，为非即时寄存器。相应 bit 为 0 表示在 Key 的比较过程中，不关心该 bit。

Offset Address	Register Name	Total Reset Value
0x961C	G3CMASK	0x0000_0000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved		kmsk_r		kmsk_g		kmsk_b	
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[31:24]	RO	reserved	保留。
[23:16]	RW	kmsk_r	colry key mask 的 R 分量。
[15:8]	RW	kmsk_g	colry key mask 的 G 分量。
[7:0]	RW	kmsk_b	colry key mask 的 B 分量。

G3IRESO

G3IRESO 为输入分辨率寄存器。非即时寄存器。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x9620	G3IRESO	0x0000_0000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved		ih			iw		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[31:24]	RO	reserved	保留。
[23:12]	RW	ih	高度，行为单位。实际高度减 1。 **注意：对于隔行输出，层的实际高度必须是偶数。逐行输出无此限制。**
[11:0]	RW	iw	宽度，单位：像素。实际宽度减 1。 **注意：层的实际宽度必须是偶数。**

G3ORESO

G3ORESO 为输出分辨率寄存器。非即时寄存器。

Offset Address	Register Name	Total Reset Value
0x9624	G3ORESO	0x0000_0000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved		oh			ow		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[31:24]	RO	reserved	保留。
[23:12]	RW	oh	高度，行为单位。实际高度减 1。 **注意：对于隔行输出，层的实际高度必须是偶数。逐行输出无此限制。**
[11:0]	RW	ow	宽度，单位：像素。实际宽度减 1。 **注意：层的实际宽度必须是偶数。**

G3DFPOS

G3DFPOS 为 Surface 在显示窗口的起始位置（First POSition）寄存器。以像素为单位。非即时寄存器。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x962C	G3DFPOS	0x0000_0000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved		disp_yfpos			disp_xfpos		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[31:24]	RO	reserved	保留。
[23:12]	RW	disp_yfpos	列起始坐标。
[11:0]	RW	disp_xfpos	行起始坐标。

G3DLPOS

G3DLPOS 为 Surface 在显示窗口的结束位置（Last POSition）寄存器。以像素为单位。非即时寄存器。

Offset Address	Register Name	Total Reset Value
0x9630	G3DLPOS	0x0000_0000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved		disp_ylpos			disp_xlpos		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[31:24]	RO	reserved	保留。
[23:12]	RW	disp_ylpos	列结束坐标。
[11:0]	RW	disp_xlpos	行结束坐标。

G3CSCIDC

G3CSCIDC 为 G3 层色彩空间转换输入直流分量寄存器。即时寄存器。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x96A0	G3CSCIDC	0x0000_0000

Bit	31 30 29 28	27	26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved	csc_en	cscidc2		cscidc1		cscidc0		
Reset	0 0 0 0	0	0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[31:28]	RO	reserved	保留。
[27]	RW	csc_en	CSC 使能。 0：禁能； 1：使能。
[26:18]	RW	cscidc2	输入分量 2 直流参数，MSB 为符号位。补码表示。
[17:9]	RW	cscidc1	输入分量 1 直流参数，MSB 为符号位。补码表示。
[8:0]	RW	cscidc0	输入分量 0 直流参数，MSB 为符号位。补码表示。

G3CSCODC

G3CSCODC 为 G3 层色彩空间转换输出直流分量寄存器。即时寄存器。

Offset Address	Register Name	Total Reset Value
0x96A4	G3CSCODC	0x0000_0000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved	cscodc2		cscodc1		cscodc0		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[31:27]	RO	reserved	保留。
[26:18]	RW	cscodc2	输出分量 2 直流参数，MSB 为符号位。补码表示。
[17:9]	RW	cscodc1	输出分量 1 直流参数，MSB 为符号位。补码表示。
[8:0]	RW	cscodc0	输出分量 0 直流参数，MSB 为符号位。补码表示。

G3CSCP0

G3CSCP0 为 G3 色彩空间转换参数 0 寄存器。即时寄存器。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x96A8	G3CSCP0	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				cscp01												reserved				cscp00											
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:29]	RO	reserved	保留。
[28:16]	RW	cscp01	5.8 数据格式：1bit 符号位、4bit 整数位、8bit 小数位。补码表示。
[15:13]	RO	reserved	保留。
[12:0]	RW	cscp00	5.8 数据格式：1bit 符号位、4bit 整数位、8bit 小数位。补码表示。

G3CSCP1

G3CSCP1 为 G3 层色彩空间转换参数 1 寄存器。即时寄存器。

Offset Address	Register Name	Total Reset Value
0x96AC	G3CSCP1	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				cscp10												reserved				cscp02											
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:29]	RO	reserved	保留。
[28:16]	RW	cscp10	5.8 数据格式：1bit 符号位、4bit 整数位、8bit 小数位。补码表示。
[15:13]	RO	reserved	保留。
[12:0]	RW	cscp02	5.8 数据格式：1bit 符号位、4bit 整数位、8bit 小数位。补码表示。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

G3CSCP2

G3CSCP2 为 G3 层色彩空间转换参数 2 寄存器。即时寄存器。

Offset Address	Register Name	Total Reset Value
0x96B0	G3CSCP2	0x0000_0000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved	cscp12			reserved	cscp11		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[31:29]	RO	reserved	保留。
[28:16]	RW	cscp12	5.8 数据格式：1bit 符号位、4bit 整数位、8bit 小数位。补码表示。
[15:13]	RO	reserved	保留。
[12:0]	RW	cscp11	5.8 数据格式：1bit 符号位、4bit 整数位、8bit 小数位。补码表示。

G3CSCP3

G3CSCP3 为 G3 层色彩空间转换参数 3 寄存器。即时寄存器。

Offset Address	Register Name	Total Reset Value
0x96B4	G3CSCP3	0x0000_0000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved	cscp21			reserved	cscp20		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[31:29]	RO	reserved	保留。
[28:16]	RW	cscp21	5.8 数据格式：1bit 符号位、4bit 整数位、8bit 小数位。补码表示。
[15:13]	RO	reserved	保留。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x96B4	G3CSCP3	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				cscp21												reserved				cscp20											
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[12:0]	RW	cscp20	5.8 数据格式：1bit 符号位、4bit 整数位、8bit 小数位。补码表示。

G3CSCP4

G3CSCP4 为 G3 层色彩空间转换参数 4 寄存器。即时寄存器。

Offset Address	Register Name	Total Reset Value
0x96B8	G3CSCP4	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																				cscp22											
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:13]	RO	reserved	保留。
[12:0]	RW	cscp22	5.8 数据格式：1bit 符号位、4bit 整数位、8bit 小数位。补码表示。

HCCTRL

HCCTRL 为 HC 层控制寄存器。该寄存器可以配置层的相关信息寄存器。非即时寄存器。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x9A00	HCCTRL	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	surface_en	reserved			upd_mode	read_mode	reserved										key_mode	key_en	reserved				bitext		ifmt							
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31]	RW	surface_en	surface 使能。非即时寄存器。 0：禁止； 1：使能。
[30:28]	RO	reserved	保留。
[27]	RW	upd_mode	更新模式。 0：帧更新； 1：场更新。
[26]	RW	read_mode	数据读取模式。 0：根据接口读取方式自动选择(逐行显示时逐行读，隔行显示时隔行读)； 1：强制按照逐行读取。
[25:16]	RO	reserved	保留。
[15]	RW	key_mode	color key 模式 0：满足 Keymin <= Pixel <= Keymax 时，处理为关键色 1：满足 Pixel <= Keymin 或者 Pixel >= Keymax 时处理为关键色
[14]	RW	key_en	color key 使能。 0：禁止； 1：使能。
[13:10]	RW	reserved	保留。
[9:8]	RW	bitext	层输入位图 Bit 位扩展模式。 0X：低位扩展 0； 10：低位扩展最高 bit 位； 11：低位扩展最高若干 bit 位。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x9A00	HCCTRL	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	surface_en	reserved			upd_mode	read_mode	reserved										key_mode	key_en	reserved				bitext		ifmt							
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[7:0]	RW	ifmt	输入数据格式。 0x49：ARGB1555； 0x68：ARGB8888； 其他：保留。

HCUPD

HCUPD 为图形层更新使能寄存器。

Offset Address	Register Name	Total Reset Value
0x9A04	HCUPD	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																															regup
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:1]	RO	reserved	保留。
[0]	RW	regup	surface 的寄存器更新。当软件配置完该层寄存器后写 1 更新，更新完成后，硬件自动清零。

HCADDR

HCADDR 为图形层地址寄存器。在有水平像素偏移的情况下，地址计算参考 HCSFPOS 说明。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x9A08	HCADDR	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	surface_addr																															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:0]	RW	surface_addr	surface 帧 buffer 地址。

HCSTRIDE

HCSTRIDE 为图形层的 stride 寄存器。

Offset Address	Register Name	Total Reset Value
0x9A0C	HCSTRIDE	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																surface_stride															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:16]	—	reserved	保留。
[15:0]	RW	surface_stride	帧 buffer 的 stride。

HCCBMPARA

HCCBMPARA 为叠加相关参数寄存器。非即时寄存器。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x9A10	HCCBMPARA	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																key_mode	key_en	reserved	palpha_en	reserved			palpha_range	galpha								
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:16]	RO	reserved	保留。
[15]	RW	key_mode	color key 模式。 0：满足 Keymin <= Pixel <= Keymax 时，处理为关键色； 1：满足 Pixel <= Keymin 或者 Pixel >= Keymax 时处理为关键色。
[14]	RW	key_en	color key 使能。 0：禁止； 1：使能。
[13]	—	reserved	输入位图为预乘图。 0：非预乘图； 1：预乘图。
[12]	RW	palpha_en	像素 alpha 使能。 0：禁止； 1：使能。
[11:9]	—	reserved	保留。
[8]	RW	palpha_range	0：表示象素的 α 范围为 0～128； 1：表示象素的 α 范围为 0～255。
[7:0]	RW	galpha	叠加全局 alpha 值。取值范围为 0～255，255 为全不透明，0 为全透明。

HCCKEYMAX

HCCKEYMAX 为 color key 最大值寄存器。非即时寄存器。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x9A14	HCCKEYMAX	0x0000_0000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	va0		keyr_max		keyg_max		keyb_max	
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[31:24]	RW	va0	alpha0 值。当数据格式为 alphaRGB1555 时且 alpha 值为 0 时，用该值替换。
[23:16]	RW	keyr_max	colry key R 分量最大值。
[15:8]	RW	keyg_max	color key G 分量最大值。
[7:0]	RW	keyb_max	color key B 分量最大值。

HCCKEYMIN

HCCKEYMIN 为 color key 最小值寄存器。非即时寄存器。

Offset Address	Register Name	Total Reset Value
0x9A18	HCCKEYMIN	0x0000_0000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	va1		keyr_min		keyg_min		keyb_min	
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[31:24]	RW	va1	alpha1 值。当数据格式为 alphaRGB1555 时，alpha 值为 1 时，用该值替换。
[23:16]	RW	keyr_min	colry key R 分量最小值。
[15:8]	RW	keyg_min	color key G 分量最小值。
[7:0]	RW	keyb_min	color key B 分量最小值。

HCCMASK

HCCMASK 为 color key 最小值寄存器。非即时寄存器。相应 bit 为 1 表示在 Key 的比较过程中，不关心该 bit。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x9A1C	HCCMASK	0x0000_0000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved		kmsk_r		kmsk_g		kmsk_b	
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[31:24]	RO	reserved	保留。
[23:16]	RW	kmsk_r	colry key mask 的 R 分量。
[15:8]	RW	kmsk_g	colry key mask 的 G 分量。
[7:0]	RW	kmsk_b	colry key mask 的 B 分量。

HCIRESO

HCIRESO 为输入分辨率寄存器。非即时寄存器。

Offset Address	Register Name	Total Reset Value
0x9A20	HCIRESO	0x0000_0000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved		ih			iw		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[31:24]	RO	reserved	保留。
[23:12]	RW	ih	高度，行为单位。实际高度减 1。 **注意：对于隔行输出，层的实际高度必须是偶数。逐行输出无此限制。**
[11:0]	RW	iw	宽度，单位：像素。实际宽度减 1。 **注意：层的实际宽度必须是偶数。**

HCDFPOS

HCDFPOS 为 Surface 在显示窗口的起始位置（First POSition）寄存器。以像素为单位。非即时寄存器。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x9A2C	HCDFPOS	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved								disp_yfpos												disp_xfpos											
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:24]	RO	reserved	保留。
[23:12]	RW	disp_yfpos	列起始坐标。
[11:0]	RW	disp_xfpos	行起始坐标。

HCDLPOS

HCDLPOS 为 Surface 在显示窗口的结束位置（Last POSition）寄存器。以像素为单位。非即时寄存器。

Offset Address	Register Name	Total Reset Value
0x9A30	HCDLPOS	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved								disp_ylpos												disp_xlpos											
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:24]	RO	reserved	保留。
[23:12]	RW	disp_ylpos	列结束坐标。
[11:0]	RW	disp_xlpos	行结束坐标。

HCCSCIDC

HCCSCIDC 为色彩空间转换输入直流分量寄存器。即时寄存器。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x9AA0	HCCSCIDC	0x0000_0000

Bit	31 30 29 28	27	26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved	csc_en	cscidc2		cscidc1		cscidc0		
Reset	0 0 0 0	0	0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[31:28]	RO	reserved	保留。
[27]	RW	csc_en	CSC 使能。 0：禁能； 1：使能。
[26:18]	RW	cscidc2	输入分量 2 直流参数，MSB 为符号位。补码表示。
[17:9]	RW	cscidc1	输入分量 1 直流参数，MSB 为符号位。补码表示。
[8:0]	RW	cscidc0	输入分量 0 直流参数，MSB 为符号位。补码表示。

HCCSCODC

HCCSCODC 为色彩空间转换输出直流分量寄存器。即时寄存器。

Offset Address	Register Name	Total Reset Value
0x9AA4	HCCSCODC	0x0000_0000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved	cscodc2		cscodc1		cscodc0		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[31:27]	RO	reserved	保留。
[26:18]	RW	cscodc2	输出分量 2 直流参数，MSB 为符号位。补码表示。
[17:9]	RW	cscodc1	输出分量 1 直流参数，MSB 为符号位。补码表示。
[8:0]	RW	cscodc0	输出分量 0 直流参数，MSB 为符号位。补码表示。

HCCSCP0

HCCSCP0 为色彩空间转换参数 0 寄存器。即时寄存器。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x9AA8	HCCSCP0	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				cscp01												reserved				cscp00											
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:29]	RO	reserved	保留。
[28:16]	RW	cscp01	5.8 数据格式：1bit 符号位、4bit 整数位、8bit 小数位。补码表示。
[15:13]	RO	reserved	保留。
[12:0]	RW	cscp00	5.8 数据格式：1bit 符号位、4bit 整数位、8bit 小数位。补码表示。

HCCSCP1

HCCSCP1 为色彩空间转换参数 1 寄存器。即时寄存器。

Offset Address	Register Name	Total Reset Value
0x9AAC	HCCSCP1	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				cscp10												reserved				cscp02											
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:29]	RO	reserved	保留。
[28:16]	RW	cscp10	5.8 数据格式：1bit 符号位、4bit 整数位、8bit 小数位。补码表示。
[15:13]	RO	reserved	保留。
[12:0]	RW	cscp02	5.8 数据格式：1bit 符号位、4bit 整数位、8bit 小数位。补码表示。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

HCCSCP2

HCCSCP2 为色彩空间转换参数 2 寄存器。即时寄存器。

Offset Address	Register Name	Total Reset Value
0x9AB0	HCCSCP2	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				cscp12												reserved				cscp11											
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:29]	RO	reserved	保留。
[28:16]	RW	cscp12	5.8 数据格式：1bit 符号位、4bit 整数位、8bit 小数位。补码表示。
[15:13]	RO	reserved	保留。
[12:0]	RW	cscp11	5.8 数据格式：1bit 符号位、4bit 整数位、8bit 小数位。补码表示。

HCCSCP3

HCCSCP3 为色彩空间转换参数 3 寄存器。即时寄存器。

Offset Address	Register Name	Total Reset Value
0x9AB4	HCCSCP3	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				cscp21												reserved				cscp20											
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:29]	RO	reserved	保留。
[28:16]	RW	cscp21	5.8 数据格式：1bit 符号位、4bit 整数位、8bit 小数位。补码表示。
[15:13]	RO	reserved	保留。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x9AB4	HCCSCP3	0x0000_0000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved	cscp21			reserved	cscp20		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[12:0]	RW	cscp20	5.8 数据格式：1bit 符号位、4bit 整数位、8bit 小数位。补码表示。

HCCSCP4

HCCSCP4 为色彩空间转换参数 4 寄存器。即时寄存器。

Offset Address	Register Name	Total Reset Value
0x9AB8	HCCSCP4	0x0000_0000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved					cscp22		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[31:13]	RO	reserved	保留。
[12:0]	RW	cscp22	5.8 数据格式：1bit 符号位、4bit 整数位、8bit 小数位。补码表示。

CBMBKG1

CBMBKG1 为 HD0 叠加背景色寄存器。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x9E00	CBMBKG1	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved								cbm_bkgy								cbm_bkgcb								cbm_bkgcr							
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:24]	RO	reserved	保留。
[23:16]	RW	cbm_bkgy	Mixer1 叠加背景色，Y 分量。
[15:8]	RW	cbm_bkgcb	Mixer1 叠加背景色，Cb 分量。
[7:0]	RW	cbm_bkgcr	Mixer1 叠加背景色，Cr 分量。

CBMBKG3

CBMBKG3 为 SD0 叠加背景色寄存器。

Offset Address	Register Name	Total Reset Value
0x9E08	CBMBKG3	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved								cbm_bkgy								cbm_bkgcb								cbm_bkgcr							
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:24]	RO	reserved	保留。
[23:16]	RW	cbm_bkgy	Mixer3 叠加背景色，Y 分量。
[15:8]	RW	cbm_bkgcb	Mixer3 叠加背景色，Cb 分量。
[7:0]	RW	cbm_bkgcr	Mixer3 叠加背景色，Cr 分量。

CBMBKG4

CBMBKG4 为 SD1 叠加背景色寄存器。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x9E0C	CBMBKG4	0x0000_0000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved		cbm_bkgy		cbm_bkgcb		cbm_bkgcr	
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[31:24]	RO	reserved	保留。
[23:16]	RW	cbm_bkgy	Mixer4 叠加背景色，Y 分量。
[15:8]	RW	cbm_bkgcb	Mixer4 叠加背景色，Cb 分量。
[7:0]	RW	cbm_bkgcr	Mixer4 叠加背景色，Cr 分量。

CBMATTR

CBMATTR 为 CrossBar（Cross Bar ConFiGuration）配置寄存器。

sur_attr_x 表示第 x 层连接到 Mixer1 还是 Mixer2。

Offset Address	Register Name	Total Reset Value
0x9E10	CBMATTR	0x0000_0001

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved						sur_attr1	sur_attr0
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 1

Bits	Access	Name	Description
[31:8]	RO	reserved	保留。
[7:4]	RW	sur_attr1	HC0 链接。 0x0：Mixer1 for DHD。 0x1：Mixer3 for DSD 0x2：Mixer4 for DSD1 其他保留
[3:0]	RW	sur_attr0	VSD 链接。 0x0：Mixer1 for DHD。 0x1：Mixer3 for DSD。 其他：保留

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

CBMMIX1

CBMMIX1 为 Mixer1 优先级配置寄存器。在 vsync 处更新有效。非即时寄存器。

Offset Address	Register Name	Total Reset Value
0x9E14	CBMMIX1	0x0000_0000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved				mixer_prio3	mixer_prio2	mixer_prio1	mixer_prio0
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[31:16]	RO	reserved	保留。
[15:12]	RW	mixer_prio3	Mixer1 的叠加层优先级配置，表示优先级 3 的驱动层。 0x0：表示没有层驱动； 0x1：vhd； 0x4：vsd； 0x9：g0； 0xe：HC0 其他：保留。
[11:8]	RW	mixer_prio2	Mixer1 的叠加层优先级配置，表示优先级 2 的驱动层。 0x0：表示没有层驱动； 0x1：vhd； 0x4：vsd； 0x9：g0； 0xe：HC0 其他：保留。
[7:4]	RW	mixer_prio1	Mixer1 的叠加层优先级配置，表示优先级 1 的驱动层。 0x0：表示没有层驱动； 0x1：vhd； 0x4：vsd； 0x9：g0； 0xe：HC0 其他：保留。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x9E14	CBMMIX1	0x0000_0000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved				mixer_prio3	mixer_prio2	mixer_prio1	mixer_prio0
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[3:0]	RW	mixer_prio0	Mixer1 的叠加层优先级配置，表示优先级 0 的驱动层。 0x0：表示没有层驱动； 0x1：vhd； 0x4：vsd； 0x9：g0； 0xe：HC0 其他：保留。

CBMMIX3

CBMMIX3 为 Mixer3 优先级配置寄存器。在 vsync 处更新有效。

该寄存器为非即时寄存器。

Offset Address	Register Name	Total Reset Value
0x9E1C	CBMMIX3	0x0000_0000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved					mixer_prio2	mixer_prio1	mixer_prio0
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[31:12]	RO	reserved	保留。
[11:8]	RW	mixer_prio2	Mixer3 的叠加层优先级配置，表示优先级 2 的驱动层。 0x0：表示没有层驱动； 0x4：vsd； 0xb：g2； 0xe：HC0 其他：保留。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x9E1C	CBMMIX3	0x0000_0000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved					mixer_prio2	mixer_prio1	mixer_prio0
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[7:4]	RW	mixer_prio1	Mixer3 的叠加层优先级配置，表示优先级 1 的驱动层。 0x0：表示没有层驱动； 0x4：vsd； 0xb：g2； 0xe：HC0 其他：保留。
[3:0]	RW	mixer_prio0	Mixer3 的叠加层优先级配置，表示优先级 0 的驱动层。 0x0：表示没有层驱动； 0x4：vsd； 0xb：g2； 0xe：HC0 其他：保留。

CBMMIX4

CBMMIX4 为 Mixer4 优先级配置寄存器。在 vsync 处更新有效。

该寄存器为非即时寄存器。

Offset Address	Register Name	Total Reset Value
0x9E20	CBMMIX4	0x0000_0000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved					mixer_prio2	mixer_prio1	mixer_prio0
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[31:12]	RO	reserved	保留。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x9E20	CBMMIX4	0x0000_0000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved					mixer_prio2	mixer_prio1	mixer_prio0
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[11:8]	RW	mixer_prio2	叠加层优先级配置，表示优先级 2 的驱动层。 0x0：没有层驱动； 0x5：vsd1； 0xc：g3； 0xe：HC0； 其他：保留。
[7:4]	RW	mixer_prio1	叠加层优先级配置，表示优先级 1 的驱动层。 0x0：表示没有层驱动； 0x5：vsd1； 0xc：g3； 0xe：HC0； 其他：保留。
[3:0]	RW	mixer_prio0	叠加层优先级配置，表示优先级 0 的驱动层。 0x0：没有层驱动； 0x5：vsd1； 0xc：g3； 0xe：HC0； 其他：保留。

DHDCTRL

DHDCTRL 为显示通道的总体控制寄存器。

注意

该寄存器的所有 bit 的配置必须不晚于 DHDCTRL[intf_en]，否则配置无法生效。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0xA000	DHDCTRL	0x0001_0010

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	intf_en	reserved														clipen	reserved	gmmen	gmmmode	reserved		idv	ihs	ivs	iop	synm	intfb		intfdm			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0

Bits	Access	Name	Description
[31]	RW	intf_en	显示接口使能。使能时，接口才会输出。即时寄存器。 0：禁止； 1：使能。
[30:17]	RO	reserved	保留。
[16]	RW	clipen	输出嵌位使能，即时寄存器。 0：禁止； 1：使能。
[15]	RO	reserved	保留。
[14]	RW	gmmen	输出 Gamma 校正使能，即时寄存器。 0：禁止； 1：使能。
[13]	RW	gmmmode	输出 Gamma 校正模式，即时寄存器。 0：GAMMA 表由硬件产生； 1：GAMMA 表由软件配置。
[12:11]	RO	reserved	保留。
[10]	RW	idv	数据有效信号输出反相使能，即时寄存器。 0：禁止； 1：使能。
[9]	RW	ihs	水平同步脉冲输出反相使能，即时寄存器。 0：禁止； 1：使能。
[8]	RW	ivs	垂直同步脉冲输出反相使能，即时寄存器。 0：禁止； 1：使能。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0xA000	DHDCTRL	0x0001_0010

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	intf_en	reserved														clipen	reserved	gmmen	gmmmode	reserved		idv	ihs	ivs	iop	synm	intfb		intfdm			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0

Bits	Access	Name	Description
[7]	RW	iop	逐行或者隔行显示，即时寄存器。 0：隔行显示； 1：逐行显示。
[6]	RW	synm	同步模式，即时寄存器。 0：时序标签模式(例如 BT.656)； 1：同步信号模式(例如 LCD 显示)。
[5:4]	RW	intfb	输出接口位宽模式。即时寄存器。 00：单分量模式(每个时钟输出 1 个分量)； 01：2 分量模式(每个时钟输出 2 个分量)； 10：3 分量模式(每个时钟输出 3 个分量)； 11：保留。
[3:0]	RW	intfdm	接口数据格式。即时寄存器。 0x0：YCbCr422 数据格式； 0x1～0xB：无效； 0xC：RGB888/YCbCr444 输出。 其他：无效。

DHDVSYNC

DHDVSYNC 为垂直时序寄存器。隔行输出时，该寄存器表示顶场垂直同步时序；逐行输出时时，该寄存器表示帧垂直同步时序。该寄存器配置后立即生效，将马上影响到管脚 VSYNC 的时序。

注意

该寄存器的配置必须不晚于 DHDCTRL[intf_en]，否则配置无法生效。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0xA004	DHDVSYNC	0x0011_321B

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved	vfb		vbb		vact		
Reset	0 0 0 0	0 0 0 0	0 0 0 1	0 0 0 1	0 0 1 1	0 0 1 0	0 0 0 1	1 0 1 1

Bits	Access	Name	Description
[31:28]	RO	reserved	保留。
[27:20]	RW	vfb	隔行输出时：顶场垂直消隐前肩； 逐行输出时：垂直消隐前肩。 单位：行。
[19:12]	RW	vbb	隔行输出时：顶场垂直消隐后肩； 逐行输出时：垂直消隐后肩加垂直脉冲的宽度。 单位：行。
[11:0]	RW	vact	隔行输出时：顶场的活动图像的高度； 逐行输出时：一帧的活动图像的高度。该寄存器值为实际值减 1。 单位：行。

DHDHSYNC1

DHDHSYNC1 为水平时序寄存器。隔行或逐行输出情况下，水平同步配置寄存器。该寄存器配置后立即生效，将马上影响到管脚 HSYNC 的时序。

注意

该寄存器的配置必须不晚于 DHDCTRL[intf_en]，否则配置无法生效。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0xA008	DHDHSYNC1	0x00BF_077F

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	hbb																hact															
Reset	0	0	0	0	0	0	0	0	1	0	1	1	1	1	1	1	0	0	0	0	0	1	1	1	0	1	1	1	1	1	1	1

Bits	Access	Name	Description
[31:16]	RW	hbb	水平消隐后肩，单位：像素。
[15:0]	RW	hact	活动区域水平像素数。

DHDHSYNC2

DHDHSYNC2 为水平时序寄存器。隔行或逐行输出情况下，水平同步配置寄存器。该寄存器配置后立即生效，将马上影响到管脚 HSYNC 的时序。

注意

该寄存器的配置必须不晚于 DHDCTRL[intf_en]，否则配置无法生效。

Offset Address	Register Name	Total Reset Value
0xA00C	DHDHSYNC2	0x0000_020F

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	hmid																hfb															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	1	1	1	1

Bits	Access	Name	Description
[31:16]	RW	hmid	底场垂直同步有效像素值(有效数据区)。
[15:0]	RW	hfb	水平消隐前肩，单位为像素。

DHDVPLUS

DHDVPLUS 为隔行底场垂直时序寄存器。隔行输出时，该寄存器表示底场垂直同步时序。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

注意

该寄存器的配置必须不晚于 DHDCTRL[intf_en]，否则配置无法生效。

Offset Address	Register Name	Total Reset Value
0xA010	DHDVPLUS	0x0021_321B

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				bvfb								bvbb								bvact											
Reset	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	1	0	0	1	1	0	0	1	0	0	0	0	1	1	0	1	1

Bits	Access	Name	Description
[31:28]	RO	reserved	保留。
[27:20]	RW	bvfb	隔行输出时：底场垂直消隐前肩。 单位：行
[19:12]	RW	bvbb	隔行输出时：底场垂直消隐后肩垂直脉冲的宽度。 单位：行
[11:0]	RW	bvact	隔行输出时：底场的活动图像的高度。 该寄存器值为实际值减 1。 单位：行

DHDPWR

DHDPWR 为同步信号脉冲宽度寄存器。

该寄存器的配置必须不晚于 DHDCTRL[intf_en]，否则配置无法生效。

Offset Address	Register Name	Total Reset Value
0xA014	DHDPWR	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved								vpw								hpw															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:24]	RO	reserved	保留。
[23:16]	RW	vpw	垂直脉冲宽度减 1。 单位：像素。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0xA014	DHDPWR	0x0000_0000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved		vpw		hpw			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[15:0]	RW	hpw	水平脉冲宽度减 1。 单位：像素。

DHDVTTHD

DHDVTTHD 为垂直时序门限值（Vertical Timing Threshold）寄存器。即时寄存器。该寄存器中包含两个门限配置，可以分别独立的产生两个中断。

Offset Address	Register Name	Total Reset Value
0xA01C	DHDVTTHD	0x0000_0001

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15	14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved				thd1_mode	reserved	vtmgthd1		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0	0 0 0	0 0 0 0	0 0 0 0	0 0 0 1

Bits	Access	Name	Description
[31:16]	RO	reserved	保留。
[15]	RW	thd1_mode	门限 1 中断产生的模式。 0：帧模式，以帧为单位做门限计数；1：场模式，在隔行显示时以场为单位做门限计数。
[14:13]	RO	reserved	保留。
[12:0]	RW	vtmgthd1	垂直时序门限值 1，当垂直时序计数器到达该门限时触发 VOINTSTA[dhdvtthd_int1]中断。

DHDCLIPL

DHDCLIPL 为显示通道 Clip 处理最低门限值寄存器。即时寄存器。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0xA040	DHDCLIPL	0x4100_4010

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	clipen	dfir_en	clipcl2										clipcl1												clipcl0							
Reset	0	1	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	1	0	0	0	0

Bits	Access	Name	Description
[31]	RW	clipen	CLIP 使能。 0：禁止； 1：使能。
[30]	RW	dfir_en	色度水平下采样使能信号。 0：禁止； 1：使能。
[29:20]	RW	clipcl2	分量 2 最低门限值 Y/R，无符号整数。
[19:10]	RW	clipcl1	分量 1 最低门限值 Cb/G，无符号整数。
[9:0]	RW	clipcl0	分量 0 最低门限值 Cr/B，无符号整数。

DHDCLIPH

DHDCLIPH 为显示通道 Clip 处理最高门限值寄存器。即时寄存器。例如：BT.656 标准输出时，需要对输出数据做 CLIP 处理。

Offset Address	Register Name	Total Reset Value
0xA044	DHDCLIPH	0x0EB0_00F0

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved		clipch2										clipch1												clipch0							
Reset	0	0	0	0	1	1	1	0	1	0	1	1	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1	0	0	0	0

Bits	Access	Name	Description
[31:30]	RO	reserved	保留。
[29:20]	RW	clipch2	分量 2 最高门限值 Y/R，无符号整数。
[19:10]	RW	clipch1	分量 1 最高门限值 Cb/G，无符号整数。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0xA044	DHDCLIPH	0x0EB0_00F0

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				clipch2												clipch1								clipch0							
Reset	0	0	0	0	1	1	1	0	1	0	1	1	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1	0	0	0	0

Bits	Access	Name	Description
[9:0]	RW	clipch0	分量 0 最高门限值 Cr/B，无符号整数。

DHDSTATE

DHDSTATE 为 DHD 状态寄存器。

Offset Address	Register Name	Total Reset Value
0xA0F0	DHDSTATE	0x0000_0110

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																													bottom_field	vblank	vback_blank
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	1	0	0	0	0

Bits	Access	Name	Description
[31:3]	RO	reserved	保留。
[2]	RO	bottom_field	DHD 显示顶底场标识。 0：顶场； 1：底场。
[1]	RO	vblank	DHD 显示消隐区标识。 0：有效区； 1：消隐区。
[0]	RO	vback_blank	DHD 显示后消隐标识。 0：不是后消隐区； 1：是后消隐区。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

DSDCTRL

DSDCTRL 为显示通道的总体控制寄存器。

注意

该寄存器所有 bit 的配置必须不晚于 DSDCTRL[intf_en]，否则配置无法生效。

Offset Address	Register Name	Total Reset Value
0xA800	DSDCTRL	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	intf_en	reserved																				idv	ihs	ivs	iop	synm	intfb	intfdm				
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31]	RW	intf_en	显示接口使能。使能时，接口才会输出。即时寄存器。 0：禁止； 1：使能。
[30:11]	RO	reserved	保留。
[10]	RW	idv	数据有效信号输出反相使能，即时寄存器。 0：禁止； 1：使能。
[9]	RW	ihs	水平同步脉冲输出反相使能，即时寄存器。 0：禁止； 1：使能。
[8]	RW	ivs	垂直同步脉冲输出反相使能，即时寄存器。 0：禁止； 1：使能。
[7]	RW	iop	逐行或者隔行显示，即时寄存器。 0：隔行显示； 1：逐行显示。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0xA800	DSDCTRL	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	intf_en	reserved																				idv	ihs	ivs	iop	synm	intfb		intfdm			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[6]	RW	synm	同步模式，即时寄存器。 0：时序标签模式(例如 BT.656)； 1：同步信号模式(例如 LCD 显示)。
[5:4]	RW	intfb	输出接口位宽模式。即时寄存器。 00：单分量模式(每个时钟输出 1 个分量)； 其他：无效。
[3:0]	RW	intfdm	接口数据格式。即时寄存器。 0x0：YCbCr422 数据格式； 其他：无效。

DSDVSYNC

DSDVSYNC 为垂饰时序寄存器。隔行输出时，该寄存器表示顶场垂直同步时序；逐行输出时时，该寄存器表示帧垂直同步时序。该寄存器配置后立即生效，将马上影响到管脚 VSYNC 的时序。

注意

该寄存器的配置必须不晚于 DSDCTRL[intf_en]，否则配置无法生效。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0xA804	DSDVSYNC	0x0011_511F

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved	vfb		vbb		vact		
Reset	0 0 0 0	0 0 0 0	0 0 0 1	0 0 0 1	0 1 0 1	0 0 0 1	0 0 0 1	1 1 1 1

Bits	Access	Name	Description
[31:28]	RO	reserved	保留。
[27:20]	RW	vfb	隔行输出时：顶场垂直消隐前肩； 逐行输出时：垂直消隐前肩。 单位：行。
[19:12]	RW	vbb	隔行输出时：顶场垂直消隐后肩； 逐行输出时：垂直消隐后肩加垂直脉冲的宽度。 单位：行。
[11:0]	RW	vact	隔行输出时：顶场的活动图像的高度； 逐行输出时：一帧的活动图像的高度。该寄存器值为实际值减 1。 单位：行。

DSDHSYNC1

DSDHSYNC1 为水平时序寄存器。隔行或逐行输出情况下，水平同步配置寄存器。该寄存器配置后立即生效，将马上影响到管脚 HSYNC 的时序。

注意

该寄存器的配置必须不晚于 DSDCTRL[intf_en]，否则配置无法生效。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0xA808	DSDHSYNC1	0x0107_02CF

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	hbb																hact															
Reset	0	0	0	0	0	0	0	1	0	0	0	0	0	1	1	1	0	0	0	0	0	0	1	0	1	1	0	0	1	1	1	1

Bits	Access	Name	Description
[31:16]	RW	hbb	水平消隐后肩，单位为像素。
[15:0]	RW	hact	活动区域水平像素数。

DSDHSYNC2

DSDHSYNC2 为水平时序寄存器。隔行或逐行输出情况下，水平同步配置寄存器。该寄存器配置后立即生效，将马上影响到管脚 HSYNC 的时序。

注意

该寄存器的配置必须不晚于 DSDCTRL[intf_en]，否则配置无法生效。

Offset Address	Register Name	Total Reset Value
0xA80C	DSDHSYNC2	0x0000_0017

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																hfb															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1	1	1

Bits	Access	Name	Description
[31:16]	RO	reserved	保留。
[15:0]	RW	hfb	水平消隐前肩，单位为像素。

DSDVPLUS

DSDVPLUS 为隔行底场垂直时序寄存器。隔行输出时，该寄存器表示底场垂直同步时序。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

注意

该寄存器的配置必须不晚于 DSDCTRL[intf_en]，否则配置无法生效。

Offset Address	Register Name	Total Reset Value
0xA810	DSDVPLUS	0x0011_611F

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				bvfb								bvbb								bvact											
Reset	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	1	0	1	1	0	0	0	0	1	0	0	0	1	1	1	1	1

Bits	Access	Name	Description
[31:28]	RO	reserved	保留。
[27:20]	RW	bvfb	隔行输出时：底场垂直消隐前肩。 单位：行。
[19:12]	RW	bvbb	隔行输出时：底场垂直消隐后肩垂直脉冲的宽度。 单位：行。
[11:0]	RW	bvact	隔行输出时：底场的活动图像的高度。 该寄存器值为实际值减 1。 单位：行。

DSDPWR

DSDPWR 为同步信号脉冲宽度寄存器。

注意

该寄存器的配置必须不晚于 DSDCTRL[intf_en]，否则配置无法生效。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0xA814	DSDPWR	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved								vpw								hpw															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:24]	RO	reserved	保留。
[23:16]	RW	vpw	垂直脉冲宽度减 1。 单位：像素。
[15:0]	RW	hpw	水平脉冲宽度减 1。 单位：像素。

DSDVTTHD

DSDVTTHD 为垂直时序门限值（Vertical Timing Threshold）寄存器。即时寄存器。该寄存器中包含两个门限配置，可以分别独立的产生两个中断。

Offset Address	Register Name	Total Reset Value
0xA81C	DSDVTTHD	0x0000_0001

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																thd1_mode	reserved			vtmgthd1											
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1

Bits	Access	Name	Description
[31:16]	RO	reserved	保留。
[15]	RW	thd1_mode	门限 1 中断产生的模式。 0：帧模式，以帧为单位做门限计数；1：场模式，在隔行显示时以场为单位做门限计数。
[14:13]	RO	reserved	保留。
[12:0]	RW	vtmgthd1	垂直时序门限值 1，当垂直时序计数器到达该门限时触发 VOINTSTA[dsdvtthd_int1]中断。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

DSDCLIPL

DSDCLIPL 为显示通道 Clip 处理最低门限值寄存器。即时寄存器。

Offset Address	Register Name	Total Reset Value
0xA840	DSDCLIPL	0x4010_1010

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	clipen	dfir_en	clipcl2										clipcl1												clipcl0							
Reset	0	1	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	1	0	0	0	0

Bits	Access	Name	Description
[31]	RW	clipen	输出嵌位使能，即时寄存器。 0：禁止； 1：使能。
[30]	RW	dfir_en	色度水平下采样使能信号。 0：禁止； 1：使能。
[29:20]	RW	clipcl2	分量 2 最低门限值 Y/R，无符号整数。
[19:10]	RW	clipcl1	分量 1 最低门限值 Cb/G，无符号整数。
[9:0]	RW	clipcl0	分量 0 最低门限值 Cr/B，无符号整数。

DSDCLIPH

DSDCLIPH 为显示通道 Clip 处理最高门限值寄存器。即时寄存器。例如：BT.656 标准输出时，需要对输出数据做 CLIP 处理。

Offset Address	Register Name	Total Reset Value
0xA844	DSDCLIPH	0x00EB_F0F0

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved		clipch2										clipch1												clipch0							
Reset	0	0	0	0	0	0	0	0	1	1	1	0	1	0	1	1	1	1	1	1	0	0	0	0	1	1	1	1	0	0	0	0

Bits	Access	Name	Description
[31:30]	RO	reserved	保留。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0xA844	DSDCLIPH	0x00EB_F0F0

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				clipch2												clipch1								clipch0							
Reset	0	0	0	0	0	0	0	0	1	1	1	0	1	0	1	1	1	1	1	1	0	0	0	0	1	1	1	1	0	0	0	0

Bits	Access	Name	Description
[29:20]	RW	clipch2	分量 2 最高门限值 Y/R，无符号整数。
[19:10]	RW	clipch1	分量 1 最高门限值 Cb/G，无符号整数。
[9:0]	RW	clipch0	分量 0 最高门限值 Cr/B，无符号整数。

DSDSTATE

DSDSTATE 为 DSD 状态寄存器。

Offset Address	Register Name	Total Reset Value
0xA8F0	DSDSTATE	0x0000_0110

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																													bottom_field	vblank	vback_blank
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	1	0	0	0	0

Bits	Access	Name	Description
[31:3]	RO	reserved	保留。
[2]	RW	bottom_field	DSD 显示顶底场标识。 0：顶场； 1：底场。
[1]	RW	vblank	DSD 显示消隐区标识。 0：有效区； 1：消隐区。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0xA8F0	DSDSTATE	0x0000_0110

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																												bottom_field		vblank	vback_blank
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	1	0	0	0	0

Bits	Access	Name	Description
[0]	RW	vback_blank	DSD 显示后消隐标识。 0：不是后消隐区； 1：是后消隐区。

DSD1CTRL

DSD1CTRL 为显示通道的总体控制寄存器。

注意

该寄存器所有 bit 的配置必须不晚于 DSDCTRL[intf_en]，否则配置无法生效。

Offset Address	Register Name	Total Reset Value
0xAC00	DSD1CTRL	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	intf_en	reserved																				idv	ihs	ivs	iop	synm	intfb	intfdm				
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31]	RW	intf_en	显示接口使能。使能时，接口才会输出。即时寄存器。 0：禁止； 1：使能。
[30:11]	RO	reserved	保留。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0xAC00	DSD1CTRL	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	intf_en	reserved																				idv	ihs	ivs	iop	synm	intfb		intfdm			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[10]	RW	idv	数据有效信号输出反相使能，即时寄存器。 0：禁止； 1：使能。
[9]	RW	ihs	水平同步脉冲输出反相使能，即时寄存器。 0：禁止； 1：使能。
[8]	RW	ivs	垂直同步脉冲输出反相使能，即时寄存器。 0：禁止； 1：使能。
[7]	RW	iop	逐行或者隔行显示，即时寄存器。 0：隔行显示； 1：逐行显示。
[6]	RW	synm	同步模式，即时寄存器。 0：时序标签模式(例如 BT.656)； 1：同步信号模式(例如 LCD 显示)。
[5:4]	RW	intfb	输出接口位宽模式。即时寄存器。 00：单分量模式(每个时钟输出 1 个分量)； 其他：保留。
[3:0]	RW	intfdm	接口数据格式。即时寄存器。 0x0：YCbCr422 数据格式； 其他：保留。

DSD1VSYNC

DSD1VSYNC 为垂直时序寄存器。隔行输出时，该寄存器表示顶场垂直同步时序；逐行输出时时，该寄存器表示帧垂直同步时序。该寄存器配置后立即生效，将马上影响到管脚 VSYNC 的时序。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

注意

该寄存器的配置必须不晚于 DSDCTRL[intf_en]，否则配置无法生效。

Offset Address	Register Name	Total Reset Value
0xAC04	DSD1VSYNC	0x0011_511F

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				vfb								vbb								vact											
Reset	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	1	0	1	0	1	0	0	0	1	0	0	0	1	1	1	1	1

Bits	Access	Name	Description
[31:28]	RO	reserved	保留。
[27:20]	RW	vfb	隔行输出时：顶场垂直消隐前肩； 逐行输出时：垂直消隐前肩。 单位：行。
[19:12]	RW	vbb	隔行输出时：顶场垂直消隐后肩； 逐行输出时：垂直消隐后肩加垂直脉冲的宽度。 单位：行。
[11:0]	RW	vact	隔行输出时：顶场的活动图像的高度； 逐行输出时：一帧的活动图像的高度。该寄存器值为实际值减 1。 单位：行。

DSD1HSYNC1

DSD1HSYNC1 为水平时序寄存器。隔行或逐行输出情况下，水平同步配置寄存器。该寄存器配置后立即生效，将马上影响到管脚 HSYNC 的时序。

注意

该寄存器的配置必须不晚于 DSDCTRL[intf_en]，否则配置无法生效。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0xAC08	DSD1HSYNC1	0x0107_02CF

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	hbb																hact															
Reset	0	0	0	0	0	0	0	1	0	0	0	0	0	1	1	1	0	0	0	0	0	0	1	0	1	1	0	0	1	1	1	1

Bits	Access	Name	Description
[31:16]	RW	hbb	水平消隐后肩，单位为像素。
[15:0]	RW	hact	活动区域水平像素数。

DSD1HSYNC2

DSD1HSYNC2 为水平时序寄存器。隔行或逐行输出情况下，水平同步配置寄存器。该寄存器配置后立即生效，将马上影响到管脚 HSYNC 的时序。

注意

该寄存器的配置必须不晚于 DSDCTRL[intf_en]，否则配置无法生效。

Offset Address	Register Name	Total Reset Value
0xAC0C	DSD1HSYNC2	0x0000_0017

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																hfb															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1	1	1

Bits	Access	Name	Description
[31:16]	RO	reserved	保留。
[15:0]	RW	hfb	水平消隐前肩，单位为像素。

DSD1VPLUS

DSD1VPLUS 为隔行输出时，底场垂直同步时序寄存器。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

注意

该寄存器的配置必须不晚于 DSDCTRL[intf_en]，否则配置无法生效。

Offset Address	Register Name	Total Reset Value
0xAC10	DSD1VPLUS	0x0011_611F

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				bvfb								bvbb								bvact											
Reset	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	1	0	1	1	0	0	0	0	1	0	0	0	1	1	1	1	1

Bits	Access	Name	Description
[31:28]	RO	reserved	保留。
[27:20]	RW	bvfb	隔行输出时：底场垂直消隐前肩。 单位：行。
[19:12]	RW	bvbb	隔行输出时：底场垂直消隐后肩垂直脉冲的宽度。 单位：行。
[11:0]	RW	bvact	隔行输出时：底场的活动图像的高度。 该寄存器值为实际值减 1。 单位：行。

DSD1PWR

DSD1PWR 为同步信号脉冲宽度寄存器。

注意

该寄存器的配置必须不晚于 DSDCTRL[intf_en]，否则配置无法生效。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0xAC14	DSD1PWR	0x0000_0000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved		vpw		hpw			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[31:24]	RO	reserved	保留。
[23:16]	RW	vpw	垂直脉冲宽度减 1。 单位：像素。
[15:0]	RW	hpw	水平脉冲宽度减 1。 单位：像素。

DSD1VTTHD

DSD1VTTHD 为垂直时序门限值（Vertical Timing Threshold）寄存器。即时寄存器。该寄存器中包含两个门限配置，可以分别独立的产生两个中断。

Offset Address	Register Name	Total Reset Value
0xAC1C	DSD1VTTHD	0x0000_0001

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15	14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved				thd1_mode	reserved	vtmgthd1		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0	0 0 0	0 0 0 0	0 0 0 0	0 0 0 1

Bits	Access	Name	Description
[31:16]	RO	reserved	保留。
[15]	RW	thd1_mode	门限 1 中断产生的模式： 0：帧模式，以帧为单位做门限计数；1：场模式，在隔行显示时以场为单位做门限计数。
[14:13]	RO	reserved	保留。
[12:0]	RW	vtmgthd1	垂直时序门限值 1，当垂直时序计数器到达该门限时触发 VOINTSTA[dsdvtthd_int1]中断。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

DSD1CLIPL

DSD1CLIPL 为显示通道 Clip 处理最低门限值寄存器。即时寄存器。

Offset Address	Register Name	Total Reset Value
0xAC40	DSD1CLIPL	0x4010_1010

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	clipen	dfir_en	clipcl2										clipcl1												clipcl0							
Reset	0	1	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	1	0	0	0	0

Bits	Access	Name	Description
[31]	RW	clipen	输出嵌位使能，即时寄存器。 0：禁止； 1：使能。
[30]	RW	dfir_en	色度水平下采样使能信号。 0：禁止 1：使能。
[29:20]	RW	clipcl2	分量 2 最低门限值 Y/R，无符号整数。
[19:10]	RW	clipcl1	分量 1 最低门限值 Cb/G，无符号整数。
[9:0]	RW	clipcl0	分量 0 最低门限值 Cr/B，无符号整数。

DSD1CLIPH

DSD1CLIPH 为显示通道 Clip 处理最高门限值寄存器。即时寄存器。例如：BT.656 标准输出时，需要对输出数据做 CLIP 处理。

Offset Address	Register Name	Total Reset Value
0xAC44	DSD1CLIPH	0x00EB_F0F0

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved		clipch2										clipch1												clipch0							
Reset	0	0	0	0	0	0	0	0	1	1	1	0	1	0	1	1	1	1	1	1	0	0	0	0	1	1	1	1	0	0	0	0

Bits	Access	Name	Description
[31:30]	RO	reserved	保留。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0xAC44	DSD1CLIPH	0x00EB_F0F0

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				clipch2								clipch1												clipch0							
Reset	0	0	0	0	0	0	0	0	1	1	1	0	1	0	1	1	1	1	1	1	0	0	0	0	1	1	1	1	0	0	0	0

Bits	Access	Name	Description
[29:20]	RW	clipch2	分量 2 最高门限值 Y/R，无符号整数。
[19:10]	RW	clipch1	分量 1 最高门限值 Cb/G，无符号整数。
[9:0]	RW	clipch0	分量 0 最高门限值 Cr/B，无符号整数。

DSD1STATE

DSD1STATE 为 DSD 状态寄存器。

Offset Address	Register Name	Total Reset Value
0xACF0	DSD1STATE	0x0000_0110

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																													bottom_field	vblank	vback_blank
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	1	0	0	0	0

Bits	Access	Name	Description
[31:3]	RO	reserved	保留。
[2]	RW	bottom_field	DSD 显示顶底场标识。 0：顶场； 1：底场。
[1]	RW	vblank	DSD 显示消隐区标识。 0：有效区； 1：消隐区。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0xACF0	DSD1STATE	0x0000_0110

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																													bottom_field	vblank	vback_blank
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	1	0	0	0	0

Bits	Access	Name	Description
[0]	RW	vback_blank	DSD 显示后消隐标识。 0：不是后消隐区； 1：是后消隐区。

DATE_COEFF0

DATE_COEFF0 为制式参数配置寄存器。

Offset Address	Register Name	Total Reset Value
0xC200	DATE_COEFF0	0x5284_14FC

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	clpf_sel		dis_ire	reserved			scanline	rgb_en	vbi_lpf_en	fm_sel	style_sel		sync_mode_sel				sync_mode_scart	length_sel	agc_amp_sel	luma_dl				reserved	oversam_en		lunt_en	oversam2_en	chlp_en	sylp_en	chgain_en	tt_seq
Reset	0	1	0	1	0	0	1	0	1	0	0	0	0	1	0	0	0	0	0	1	0	1	0	0	1	1	1	1	1	1	0	0

Bits	Access	Name	Description
[31:30]	RW	clpf_sel	色度低通滤波器带宽选择。 00：1.1MHz 带宽(NTSC)； 01：1.3MHz 带宽(PAL)； 10：1.6MHz 带宽(测试)； 11：保留。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0xC200	DATE_COEFF0	0x5284_14FC

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	clpf_sel		dis_ire	reserved			scanline	rgb_en	vbi_lpf_en	fm_sel	style_sel				sync_mode_sel		sync_mode_scart	length_sel	agc_amp_sel	luma_dl				reserved	oversam_en		lunt_en	oversam2_en	chlp_en	sylp_en	chgain_en	tt_seq
Reset	0	1	0	1	0	0	1	0	1	0	0	0	0	1	0	0	0	0	0	1	0	1	0	0	1	1	1	1	1	1	0	0

Bits	Access	Name	Description
[29]	RW	dis_ire	对于(M)NTSC 和(M，N)PAL 制式，黑电平高于消隐电平 7.5IRE；对于其它制式，黑电平等于消隐电平。 该位控制黑电平是否应该比消隐电平高 7.5IRE。 0：黑电平高于消隐电平 7.5IRE； 1：黑电平等于消隐电平。
[28:26]	RW	reserved	保留。 写无效，读为 0。
[25]	RW	scanline	根据在不同制式下每帧包含的扫描行数进行设置。对于(M)NTSC、NTSC-J、(M)PAL，每帧包含 525 行；对于(B、D、J、H、I)PAL，(N)PAL，(Nc)PAL，每帧包含 625 行。 0：每帧包含 525 行； 1：每帧包含 625 行。
[24]	RW	rgb_en	在 intf_sel 配置为 100 时，该位决定分量信号是选用 RGB 还是选用 YPbPr。 0：分量信号选用 YPbPr； 1：分量信号选用 RGB。
[23]	RW	vbi_lpf_en	Vbi 数据低通滤波使能控制。 0：不滤波处理； 1：滤波处理。
[22]	RW	fm_sel	FMsecam 调频选择。 0：secam 调频采用 sin； 1：secam 调频采用 cos。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0xC200	DATE_COEFF0	0x5284_14FC

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	clpf_sel		dis_ire	reserved			scanline	rgb_en	vbi_lpf_en	fm_sel	style_sel				sync_mode_sel		sync_mode_scart	length_sel	agc_amp_sel	luma_dl				reserved	oversam_en		lunt_en	oversam2_en	chlp_en	sylp_en	chgain_en	tt_seq
Reset	0	1	0	1	0	0	1	0	1	0	0	0	0	1	0	0	0	0	0	1	0	1	0	0	1	1	1	1	1	1	0	0

Bits	Access	Name	Description
[21:18]	RW	style_sel	与 scanline 配合，设置 CVBS/S-Video 输出信号的制式。 当 scanline 为 0，即每帧包含 525 行时，含义如下： 0x1：(M)NTSC 制式； 0x2：NTSC-J 制式； 0x4：(M)PAL 制式； 其他：保留。 当 scanline 为 1，即每帧包含 625 行时，含义如下： 0x1：(B、D、G、H、I)PAL 制式；0x2：(N)PAL 制式； 0x4：(Nc)PAL 制式； 0x8： SECAM 制式。 其他：保留。
[17:16]	RW	sync_mode_sel	bit[17]：指明分量输出是否要在三个通道上都包含同步信号，此控制 bit 需要在 sync_mode_scart 配置为 0 时才起作用。 该位只在 intf_sel 设为 100 即有分量输出时有效，含义为： 0：分量输出时，只在一个通道上包含同步信号； 1：分量输出时，在三个通道上都包含同步信号。 在该位设为 0 时，对于 YPbPr 输出，同步通道只能是 Y 通道；对于 RGB 输出，只能是 G 通道。 bit[16]：指明 RGB 输出有无消隐基数。该位只在 intf_sel 设为 100，rgb_en 设为 1 时有效，含义为： 0：RGB 输出时无消隐基数； 1：RGB 输出时有消隐基数。
[15]	RW	sync_mode_scart	此位指明下分量 3 个通道均不叠加同步 0：分量同步输出根据 sync_mode_sel[1]配置 1：分量 3 个通道均不叠加同步，此时 sync_mode_sel[1]需配置为 0

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0xC200	DATE_COEFF0	0x5284_14FC

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	clpf_sel		dis_ire	reserved			scanline	rgb_en	vbi_lpf_en	fm_sel	style_sel				sync_mode_sel		sync_mode_scart	length_sel	agc_amp_sel	luma_dl				reserved	oversam_en		lunt_en	oversam2_en	chlp_en	sylp_en	chgain_en	tt_seq
Reset	0	1	0	1	0	0	1	0	1	0	0	0	0	1	0	0	0	0	0	1	0	1	0	0	1	1	1	1	1	1	0	0

Bits	Access	Name	Description
[14]	RW	length_sel	说明每个视频行包含的以像素数为单位的行有效宽度。 0：按照 BT.601 模式的行有效像素宽度输出； 1：按照 BT.470 模式的行有效像素宽度输出。当该位为 0 时，行有效宽度为 720 个像素。当该位配置为 1 时，对于 625 行制式，行有效宽度为 704 个像素；对于 525 行制式，行有效宽度为 712 个像素。目前版本不支持 BT601 模式和 BT470 模式动态配置，复位后根据需要配置后中间过程不能更改配置。推荐固定配置成 BT601 模式，即采用上电复位值。
[13]	RW	agc_amp_sel	AGC 脉冲选择。 0：参照片内默认值产生 AGC 脉冲(推荐)； 1：参照片外配置产生 AGC 脉冲 DATE_COEFF1[amp_outside]。
[12:9]	RW	luma_dl	以半个像素宽度为单位，相对于亮度信号，色度信号超前或滞后的位移量。 bit[12]：色度信号相对亮度信号位移量的方向。 0：色度信号滞后于亮度信号； 1：色度信号超前于色度信号。 bit[11:9]:色度信号相对亮度信号位移量的绝对值，二进制表示，取值范围为从 0～7。 000：色度与亮度对齐，不作调整； 001～111：色度信号相对亮度信号超前或滞后 1～7 个单位。
[8]	RW	reserved	保留。 写无效，读为 0。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0xC200	DATE_COEFF0	0x5284_14FC

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	clpf_sel		dis_ire	reserved			scanline	rgb_en	vbi_lpf_en	fm_sel	style_sel				sync_mode_sel		sync_mode_scart	length_sel	agc_amp_sel	luma_dl				reserved	oversam_en		lunt_en	oversam2_en	chlp_en	sylp_en	chgain_en	tt_seq
Reset	0	1	0	1	0	0	1	0	1	0	0	0	0	1	0	0	0	0	0	1	0	1	0	0	1	1	1	1	1	1	0	0

Bits	Access	Name	Description
[7:6]	RW	oversam_en	第一级过采样开关控制位，包含亮度过采样开关控制位和色度过采样开关控制位。 bit[7]：亮度过采样开关控制位。 0：亮度过采样关闭； 1：亮度过采样打开。 bit[6]：色度过采样开关控制位。 0：色度过采样关闭； 1：色度过采样打开。
[5]	RW	lunt_en	亮度陷波功能开关控制位。 0：亮度陷波功能关闭； 1：亮度陷波功能打开。
[4]	RW	oversam2_en	第二级过采样开关控制位，同时控制亮度通路和色度通路。 0：亮度过采样关闭； 1：亮度过采样打开。
[3]	RW	chlp_en	色度低通滤波功能开关控制位。 0：色度低通滤波功能关闭； 1：色度低通滤波功能打开。
[2]	RW	sylp_en	同步低通滤波功能开关控制位。 0：同步低通滤波功能关闭； 1：同步低通滤波功能打开。
[1]	RW	chgain_en	色度增益开关控制位。 0：色度增益关闭； 1：色度增益打开。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0xC200	DATE_COEFF0	0x5284_14FC

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	clpf_sel		dis_ire	reserved			scanline	rgb_en	vbi_lpf_en	fm_sel	style_sel				sync_mode_sel		sync_mode_scart	length_sel	agc_amp_sel	luma_dl				reserved	oversam_en		lunt_en	oversam2_en	chlp_en	sylp_en	chgain_en	tt_seq
Reset	0	1	0	1	0	0	1	0	1	0	0	0	0	1	0	0	0	0	0	1	0	1	0	0	1	1	1	1	1	1	0	0

Bits	Access	Name	Description
[0]	RW	tt_seq	配置 Teletext 数据字节中各位的发送顺序。 0：从高位到低位； 1：从低位到高位。

DATE_COEFF1

DATE_COEFF1 为幅度配置寄存器。

Offset Address	Register Name	Total Reset Value
0xC204	DATE_COEFF1	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	c_gain			cvbs_limit_en	wss_seq	vps_seq	cgms_seq	cc_seq	c_limit_en	amp_outside										date_test_en	date_test_mode				dac_test							
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:29]	RW	c_gain	色同步增益幅度调节。
[28]	RW	cvbs_limit_en	CVBS 限幅开关控制位。 0：不限幅； 1：限幅。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0xC204	DATE_COEFF1	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	c_gain			cvbs_limit_en	wss_seq	vps_seq	cgms_seq	cc_seq	c_limit_en	amp_outside										date_test_en	date_test_mode				dac_test							
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[27]	RW	wss_seq	配置 WSS 数据字节中各位的发送顺序。 0：从高位到低位； 1：从低位到高位。
[26]	RW	vps_seq	配置 VPS 数据字节中各位的发送顺序。 0：从高位到低位； 1：从低位到高位。
[25]	RW	cgms_seq	配置 CGMS 数据字节中各位的发送顺序。 0：从高位到低位； 1：从低位到高位。
[24]	RW	cc_seq	配置 Closed Caption 数据字节中各位的发送顺序。 0：从高位到低位； 1：从低位到高位。
[23]	RW	c_limit_en	色度限幅开关控制位。 0：不限幅； 1：限幅。
[22:13]	RW	amp_outside	外部 AGC 脉冲幅度输入。
[12]	RW	date_test_en	测试有效信号。 0：无效； 1：有效。
[11:10]	RW	date_test_mode	测试模式信号。
[9:0]	RW	dac_test	DAC 测试值输入。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

DATE_COEFF7

DATE_COEFF7 为 Teletext 配置寄存器。

Offset Address	Register Name	Total Reset Value
0xC21C	DATE_COEFF7	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	tt22_enf1	tt21_enf1	tt20_enf1	tt19_enf1	tt18_enf1	tt17_enf1	tt16_enf1	tt15_enf1	tt14_enf1	tt13_enf1	tt12_enf1	tt11_enf1	tt10_enf1	tt09_enf1	tt08_enf1	tt07_enf1	tt22_enf2	tt21_enf2	tt20_enf2	tt19_enf2	tt18_enf2	tt17_enf2	tt16_enf2	tt15_enf2	tt14_enf2	tt13_enf2	tt12_enf2	tt11_enf2	tt10_enf2	tt09_enf2	tt08_enf2	tt07_enf2
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31]	RW	tt22_enf1	奇场第 22 行 Teletext 开关控制位。 0：关闭； 1：打开。
[30]	RW	tt21_enf1	奇场第 21 行 Teletext 开关控制位。 0：关闭； 1：打开。
[29]	RW	tt20_enf1	奇场第 20 行 Teletext 开关控制位。 0：关闭； 1：打开。
[28]	RW	tt19_enf1	奇场第 19 行 Teletext 开关控制位。 0：关闭； 1：打开。
[27]	RW	tt18_enf1	奇场第 18 行 Teletext 开关控制位。 0：关闭； 1：打开。
[26]	RW	tt17_enf1	奇场第 17 行 Teletext 开关控制位。 0：关闭； 2：打开。
[25]	RW	tt16_enf1	奇场第 16 行 Teletext 开关控制位。 0：关闭； 3：打开。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0xC21C	DATE_COEFF7	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	tt22_enf1	tt21_enf1	tt20_enf1	tt19_enf1	tt18_enf1	tt17_enf1	tt16_enf1	tt15_enf1	tt14_enf1	tt13_enf1	tt12_enf1	tt11_enf1	tt10_enf1	tt09_enf1	tt08_enf1	tt07_enf1	tt22_enf2	tt21_enf2	tt20_enf2	tt19_enf2	tt18_enf2	tt17_enf2	tt16_enf2	tt15_enf2	tt14_enf2	tt13_enf2	tt12_enf2	tt11_enf2	tt10_enf2	tt09_enf2	tt08_enf2	tt07_enf2
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[24]	RW	tt15_enf1	奇场第 15 行 Teletext 开关控制位。 0：关闭； 4：打开。
[23]	RW	tt14_enf1	奇场第 14 行 Teletext 开关控制位。 0：关闭； 5：打开。
[22]	RW	tt13_enf1	奇场第 13 行 Teletext 开关控制位。 0：关闭； 6：打开。
[21]	RW	tt12_enf1	奇场第 12 行 Teletext 开关控制位。 0：关闭； 7：打开。
[20]	RW	tt11_enf1	奇场第 11 行 Teletext 开关控制位。 0：关闭； 8：打开。
[19]	RW	tt10_enf1	奇场第 10 行 Teletext 开关控制位。 0：关闭； 9：打开。
[18]	RW	tt09_enf1	奇场第 9 行 Teletext 开关控制位。 0：关闭； 10：打开。
[17]	RW	tt08_enf1	奇场第 8 行 Teletext 开关控制位。 0：关闭； 11：打开。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0xC21C	DATE_COEFF7	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	tt22_enf1	tt21_enf1	tt20_enf1	tt19_enf1	tt18_enf1	tt17_enf1	tt16_enf1	tt15_enf1	tt14_enf1	tt13_enf1	tt12_enf1	tt11_enf1	tt10_enf1	tt09_enf1	tt08_enf1	tt07_enf1	tt22_enf2	tt21_enf2	tt20_enf2	tt19_enf2	tt18_enf2	tt17_enf2	tt16_enf2	tt15_enf2	tt14_enf2	tt13_enf2	tt12_enf2	tt11_enf2	tt10_enf2	tt09_enf2	tt08_enf2	tt07_enf2
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[16]	RW	tt07_enf1	奇场第 7 行 Teletext 开关控制位。 0：关闭； 12：打开。
[15]	RW	tt22_enf2	偶场第 22 行 Teletext 开关控制位。 0：关闭； 1：打开。
[14]	RW	tt21_enf2	偶场第 21 行 Teletext 开关控制位。 0：关闭； 1：打开。
[13]	RW	tt20_enf2	偶场第 20 行 Teletext 开关控制位。 0：关闭； 1：打开。
[12]	RW	tt19_enf2	偶场第 19 行 Teletext 开关控制位。 0：关闭； 1：打开。
[11]	RW	tt18_enf2	偶场第 18 行 Teletext 开关控制位。 0：关闭； 1：打开。
[10]	RW	tt17_enf2	偶场第 17 行 Teletext 开关控制位。 0：关闭； 1：打开。
[9]	RW	tt16_enf2	偶场第 16 行 Teletext 开关控制位。 0：关闭； 1：打开。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0xC21C	DATE_COEFF7	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	tt22_enf1	tt21_enf1	tt20_enf1	tt19_enf1	tt18_enf1	tt17_enf1	tt16_enf1	tt15_enf1	tt14_enf1	tt13_enf1	tt12_enf1	tt11_enf1	tt10_enf1	tt09_enf1	tt08_enf1	tt07_enf1	tt22_enf2	tt21_enf2	tt20_enf2	tt19_enf2	tt18_enf2	tt17_enf2	tt16_enf2	tt15_enf2	tt14_enf2	tt13_enf2	tt12_enf2	tt11_enf2	tt10_enf2	tt09_enf2	tt08_enf2	tt07_enf2
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[8]	RW	tt15_enf2	偶场第 15 行 Teletext 开关控制位。 0：关闭； 1：打开。
[7]	RW	tt14_enf2	偶场第 14 行 Teletext 开关控制位。 0：关闭； 1：打开。
[6]	RW	tt13_enf2	偶场第 13 行 Teletext 开关控制位。 0：关闭； 1：打开。
[5]	RW	tt12_enf2	偶场第 12 行 Teletext 开关控制位。 0：关闭； 1：打开。
[4]	RW	tt11_enf2	偶场第 11 行 Teletext 开关控制位。 0：关闭； 1：打开。
[3]	RW	tt10_enf2	偶场第 10 行 Teletext 开关控制位。 0：关闭； 1：打开。
[2]	RW	tt09_enf2	偶场第 9 行 Teletext 开关控制位。 0：关闭； 1：打开。
[1]	RW	tt08_enf2	偶场第 8 行 Teletext 开关控制位。 0：关闭； 1：打开。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0xC21C	DATE_COEFF7	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	tt22_enf1	tt21_enf1	tt20_enf1	tt19_enf1	tt18_enf1	tt17_enf1	tt16_enf1	tt15_enf1	tt14_enf1	tt13_enf1	tt12_enf1	tt11_enf1	tt10_enf1	tt09_enf1	tt08_enf1	tt07_enf1	tt22_enf2	tt21_enf2	tt20_enf2	tt19_enf2	tt18_enf2	tt17_enf2	tt16_enf2	tt15_enf2	tt14_enf2	tt13_enf2	tt12_enf2	tt11_enf2	tt10_enf2	tt09_enf2	tt08_enf2	tt07_enf2
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[0]	RW	tt07_enf2	偶场第 7 行 Teletext 开关控制位。 0：关闭； 1：打开。

DATE_COEFF8

DATE_COEFF8 为 Teletext 配置寄存器。

Offset Address	Register Name	Total Reset Value
0xC220	DATE_COEFF8	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	tt_staddr																															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:0]	RW	tt_staddr	Teletext 数据起始地址。

DATE_COEFF9

DATE_COEFF9 为 Teletext 配置寄存器。

Offset Address	Register Name	Total Reset Value
0xC224	DATE_COEFF9	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	tt_edaddr																															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:0]	RW	tt_edaddr	Teletext 数据结束地址。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

DATE_COEFF10

DATE_COEFF10 为 Teletext 配置寄存器。

注意

目前版本，在 625 行和 525 行模式下均支持 Teletext 功能。625 行模式下 tt_mode 配置为 01；525 行模式下 tt_mode 配置为 10。

Offset Address	Register Name	Total Reset Value
0xC228	DATE_COEFF10	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	tt_ready	reserved																			nabts_100ire	full_page	tt_highest	tt_mode	tt_pktoff							
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31]	RW	tt_ready	当软件通过总线配置好相关参数时，将该位置 1，Teletext 模块开始工作； 当 teleltext 完成数据传输时该位置低，软件可查询，等待软件的再一次配置。
[30:13]	RW	reserved	保留。 写无效，读为 0。
[12]	RW	nabts_100ire	NABTS-NTSC 数据高度配置寄存器。 0：70IRE； 1：100IRE。
[11]	RW	full_page	tt 发送 full page 模式控制寄存器。 0：正常模式(消隐行传 tt 数据)； 1：full page 模式(有效视频区也可传 tt 数据)。
[10]	RW	tt_highest	Tt 优先级控制寄存器。 0：tt 优先级最高； 1：tt 优先级最低。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0xC228	DATE_COEFF10	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	tt_ready	reserved																			nabts_100ire	full_page	tt_highest	tt_mode	tt_pktoff								
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[9:8]	RW	tt_mode	TT 模式。 625 行下配置为 01，代表 wst-pal； 525 行下配置为 10，代表 nabts-ntsc。
[7:0]	RW	tt_pktoff	TT 包偏移地址。

DATE_COEFF11

DATE_COEFF11 为 Closed Caption 配置寄存器。

Offset Address	Register Name	Total Reset Value
0xC22C	DATE_COEFF11	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved										cc_enf1	cc_enf2	date_clf1										date_clf2									
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:22]	RW	reserved	保留。
[21]	RW	cc_enf1	Closed Caption 奇场开关控制位。 0：关闭； 1：打开。
[20]	RW	cc_enf2	Closed Caption 偶场开关控制位。 0：关闭； 1：打开。
[19:10]	RW	date_clf1	Closed Caption 奇场配置行。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0xC22C	DATE_COEFF11	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved										cc_enf1	cc_enf2	date_clf1												date_clf2							
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[9:0]	RW	date_clf2	Closed Caption 偶场配置行。

DATE_COEFF12

DATE_COEFF12 为 Closed Caption 配置寄存器。

Offset Address	Register Name	Total Reset Value
0xC230	DATE_COEFF12	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	cc_f1data																cc_f2data															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:16]	RW	cc_f1data	Closed Caption 奇场数据。
[15:0]	RW	cc_f2data	Closed Caption 偶场数据。

DATE_COEFF13

DATE_COEFF13 为 CGMS 配置寄存器。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0xC234	DATE_COEFF13	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved										cg_enf1	cg_enf2	cg_f1data																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:22]	RW	reserved	保留。 写无效，读为 0。
[21]	RW	cg_enf1	CGMS 奇场开关控制位。 0：关闭； 1：打开。
[20]	RW	cg_enf2	CGMS 偶场开关控制位。 0：关闭； 1：打开。
[19:0]	RW	cg_f1data	CGMS 奇场数据。

DATE_COEFF14

DATE_COEFF14 为 CGMS 配置寄存器。

Offset Address	Register Name	Total Reset Value
0xC238	DATE_COEFF14	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved												cg_f2data																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:20]	RW	reserved	保留。 写无效，读为 0。
[19:0]	RW	cg_f2data	CGMS 偶场数据。

DATE_COEFF15

DATE_COEFF15 为 WSS 配置寄存器。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

注意

WSS 仅在 625 行制式下使用，固定在 23 行。

Offset Address	Register Name	Total Reset Value
0xC23C	DATE_COEFF15	0x0000_0000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved				wss_en	wss_data		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[31:15]	RW	reserved	保留。 写无效，读为 0。
[14]	RW	wss_en	WSS 开关控制位。 0：关闭； 1：打开。
[13:0]	RW	wss_data	WSS 数据。

DATE_COEFF16

DATE_COEFF16 为 VPS 配置寄存器。

Offset Address	Register Name	Total Reset Value
0xC240	DATE_COEFF16	0x0000_0000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved		vps_en	vps_data				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[31:25]	RW	reserved	保留。 写无效，读为 0。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0xC240	DATE_COEFF16	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved								vps_en	vps_data																						
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[24]	RW	vps_en	VPS 开关控制位。 0：关闭； 1：打开。
[23:0]	RW	vps_data	VPS 数据，第 23 位到第 0 位，最低位为第 0 位。

DATE_COEFF17

DATE_COEFF17 为 VPS 配置寄存器。

Offset Address	Register Name	Total Reset Value
0xC244	DATE_COEFF17	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	vps_data																															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:0]	RW	vps_data	VPS 数据，第 55 位到第 24 位，最低位为第 0 位。

DATE_COEFF18

DATE_COEFF18 为 VPS 配置寄存器。

Offset Address	Register Name	Total Reset Value
0xC248	DATE_COEFF18	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	vps_data																															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:0]	RW	vps_data	VPS 数据，第 87 位到第 56 位，最低位为第 0 位。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

DATE_COEFF19

DATE_COEFF19 为 VPS 配置寄存器。

注意

VPS 只在 625 行模式下支持，固定在 16 行。

Offset Address	Register Name	Total Reset Value
0xC24C	DATE_COEFF19	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																vps_data															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:16]	RW	reserved	保留。 写无效，读为 0。
[15:0]	RW	vps_data	VPS 数据，第 103 位到第 88 位，最低位为第 0 位。

DATE_COEFF20

DATE_COEFF20 为 Teletext 配置寄存器。

Offset Address	Register Name	Total Reset Value
0xC250	DATE_COEFF20	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																													tt06_enf1	tt06_enf2	tt05_enf2
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:3]	RW	reserved	保留。 写无效，读为 0。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0xC250	DATE_COEFF20	0x0000_0000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3	2	1	0
Name	reserved							tt06_enf1	tt06_enf2	tt05_enf2	
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0	0	0	0

Bits	Access	Name	Description
[2]	RW	tt06_enf1	奇场第 6 行 Teletext 开关控制位。 0：关闭； 1：打开。
[1]	RW	tt06_enf2	偶场第 6 行 Teletext 开关控制位。 0：关闭； 1：打开。
[0]	RW	tt05_enf2	偶场第 5 行 Teletext 开关控制位。 0：关闭； 1：打开。

DATE_COEFF21

DATE_COEFF21 为输出矩阵控制寄存器。

Offset Address	Register Name	Total Reset Value
0xC254	DATE_COEFF21	0x0060_00A1

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved		dac5_in_sel	reserved	dac4_in_sel	reserved	dac3_in_sel	reserved	dac2_in_sel	reserved	dac1_in_sel	reserved	dac0_in_sel
Reset	0 0 0 0	0 0 0 0	0 1 1 0	0 0 0 0	0 0 0 0	0 0 0 0	1 0 1 0	0 0 0 1

Bits	Access	Name	Description
[31:23]	RW	reserved	保留。 写无效，读为 0。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0xC254	DATE_COEFF21	0x0060_00A1

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved									dac5_in_sel			reserved	dac4_in_sel			reserved	dac3_in_sel			reserved	dac2_in_sel			reserved	dac1_in_sel			reserved	dac0_in_sel		
Reset	0	0	0	0	0	0	0	0	0	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1	0	0	0	0	1

Bits	Access	Name	Description
[22:20]	RW	dac5_in_sel	DAC5 输出模式选择。 000：0； 001：cvbs； 010：G/Y； 011：B/Pb； 100：R/Pr； 101：svideo_y； 110：svideo_c； 111：0。
[19]	RO	reserved	保留。 写无效，读为 0。
[18:16]	RW	dac4_in_sel	DAC4 输出模式选择。 000：0； 001：cvbs； 010：G/Y； 011：B/Pb； 100：R/Pr； 101：svideo_y； 110：svideo_c； 111：0。
[15]	RO	reserved	保留。 写无效，读为 0。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0xC254	DATE_COEFF21	0x0060_00A1

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved									dac5_in_sel			reserved	dac4_in_sel			reserved	dac3_in_sel			reserved	dac2_in_sel			reserved	dac1_in_sel			reserved	dac0_in_sel		
Reset	0	0	0	0	0	0	0	0	0	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1	0	0	0	0	1

Bits	Access	Name	Description
[14:12]	RW	dac3_in_sel	DAC3 输出模式选择。 000：0； 001：cvbs； 010：G/Y； 011：B/Pb； 100：R/Pr； 101：svideo_y； 110：svideo_c； 111：0。
[11]	RO	reserved	保留。 写无效，读为 0。
[10:8]	RW	dac2_in_sel	DAC2 输出模式选择。 000：0； 001：cvbs； 010：G/Y； 011：B/Pb； 100：R/Pr； 101：svideo_y； 110：svideo_c； 111：0。
[7]	RO	reserved	保留。 写无效，读为 0。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0xC254	DATE_COEFF21	0x0060_00A1

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved										dac5_in_sel		reserved	dac4_in_sel			reserved	dac3_in_sel			reserved	dac2_in_sel			reserved	dac1_in_sel			reserved	dac0_in_sel		
Reset	0	0	0	0	0	0	0	0	0	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1	0	0	0	0	1

Bits	Access	Name	Description
[6:4]	RW	dac1_in_sel	DAC1 输出模式选择。 000：0； 001：cvbs； 010：G/Y； 011：B/Pb； 100：R/Pr； 101：svideo_y； 110：svideo_c； 111：0。
[3]	RO	reserved	保留。 写无效，读为 0。
[2:0]	RW	dac0_in_sel	DAC0 输出模式选择。 000：0； 001：cvbs； 010：G/Y； 011：B/Pb； 100：R/Pr； 101：svideo_y； 110：svideo_c； 111：0。

DATE_COEFF22

DATE_COEFF22 为 DTO 初始相位配置寄存器。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0xC258	DATE_COEFF22	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																								video_phase_delta							
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:11]	RW	reserved	保留。 写无效，读为 0。
[10:0]	RW	video_phase_delta	DTO 初始相位配置寄存器。

DATE_COEFF23

DATE_COEFF23 为 VIDEO_OUT 延时配置寄存器。

Offset Address	Register Name	Total Reset Value
0xC25C	DATE_COEFF23	0x0065_4321

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved									dac5_out_dly			reserved	dac4_out_dly			reserved	dac3_out_dly			reserved	dac2_out_dly			reserved	dac1_out_dly			reserved	dac0_out_dly		
Reset	0	0	0	0	0	0	0	0	0	1	1	0	0	1	0	1	0	1	0	0	0	0	1	1	0	0	1	0	0	0	0	1

Bits	Access	Name	Description
[31:23]	RW	reserved	保留。 写无效，读为 0。
[22:20]	RW	dac5_out_dly	DAC5 输出延迟周期。 以一个 54MHz 时钟周期为单位，配置 n 个延迟周期。
[19]	RO	reserved	保留。 写无效，读为 0。
[18:16]	RW	dac4_out_dly	DAC4 输出延迟周期。 以一个 54MHz 时钟周期为单位，配置 n 个延迟周期。
[15]	RO	reserved	保留。 写无效，读为 0。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0xC25C	DATE_COEFF23	0x0065_4321

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved										dac5_out_dly		reserved	dac4_out_dly			reserved	dac3_out_dly			reserved	dac2_out_dly			reserved	dac1_out_dly			reserved	dac0_out_dly		
Reset	0	0	0	0	0	0	0	0	0	1	1	0	0	1	0	1	0	1	0	0	0	0	1	1	0	0	1	0	0	0	0	1

Bits	Access	Name	Description
[14:12]	RW	dac3_out_dly	DAC3 输出延迟周期。 以一个 54MHz 时钟周期为单位，配置 n 个延迟周期。
[11]	RO	reserved	保留。 写无效，读为 0。
[10:8]	RW	dac2_out_dly	DAC2 输出延迟周期。 以一个 54MHz 时钟周期为单位，配置 n 个延迟周期。
[7]	RO	reserved	保留。 写无效，读为 0。
[6:4]	RW	dac1_out_dly	DAC1 输出延迟周期。 以一个 54MHz 时钟周期为单位，配置 n 个延迟周期。
[3]	RO	reserved	保留。 写无效，读为 0。
[2:0]	RW	dac0_out_dly	DAC0 输出延迟周期。 以一个 54MHz 时钟周期为单位，配置 n 个延迟周期。

DATE_ISRMASK

DATE_ISRMASK 为中断屏蔽寄存器。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0xC280	DATE_ISRMASK	0x0000_0000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1	0
Name	reserved								tt_mask
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0	0

Bits	Access	Name	Description
[31:1]	RW	reserved	保留。 写无效，读为 0。
[0]	RW	tt_mask	Teletext 中断屏蔽位。 0：打开 Teletext 中断； 1：屏蔽 Teletext 中断。

DATE_ISRSTATE

DATE_ISRSTATE 为中断状态寄存器。

Offset Address	Register Name	Total Reset Value
0xC284	DATE_ISRSTATE	0x0000_0000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1	0
Name	reserved								tt_status
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0	0

Bits	Access	Name	Description
[31:1]	RW	reserved	保留。 写无效，读为 0。
[0]	W1C	tt_status	Teletext 中断标志位。 当 DATE 读完所有 Teletext 数据后，该中断标志位拉高。清除中断，需要对该位写 1。

DATE_ISR

DATE_ISR 为中断寄存器。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0xC288	DATE_ISR	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																															tt_int
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:1]	RW	reserved	保留。 写无效，读为 0。
[0]	RW	tt_int	Teletext 中断寄存器。tt_status 在经过 tt_mask 屏蔽后的中断状态。 0：没有中断； 1：有中断。

DATE_VERSION

DATE_VERSION 为版本寄存器。

Offset Address	Register Name	Total Reset Value
0xC290	DATE_VERSION	0x0000_0024

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	1	0	0

Bits	Access	Name	Description
[31:0]	RW	reserved	保留。 写无效，读为 0。

DATE1_COEFF0

DATE1_COEFF0 为制式参数配置寄存器。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0xC400	DATE1_COEFF0	0x5284_14FC

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	clpf_sel		dis_ire	reserved			scanline	rgb_en	vbi_lpf_en	fm_sel	style_sel				sync_mode_sel		sync_mode_scart	length_sel	agc_amp_sel	luma_dl				reserved	oversam_en		lunt_en	oversam2_en	chlp_en	sylp_en	chgain_en	tt_seq
Reset	0	1	0	1	0	0	1	0	1	0	0	0	0	1	0	0	0	0	0	1	0	1	0	0	1	1	1	1	1	1	0	0

Bits	Access	Name	Description
[31:30]	RW	clpf_sel	色度低通滤波器带宽选择。 00：1.1MHz 带宽(NTSC)； 01：1.3MHz 带宽(PAL)； 10：1.6MHz 带宽(测试)； 11：保留。
[29]	RW	dis_ire	对于(M)NTSC 和(M，N)PAL 制式，黑电平高于消隐电平 7.5IRE；对于其它制式，黑电平等于消隐电平。 该位控制黑电平是否应该比消隐电平高 7.5IRE。 0：黑电平高于消隐电平 7.5IRE； 1：黑电平等于消隐电平。
[28:26]	RW	reserved	保留。 写无效，读为 0。
[25]	RW	scanline	根据在不同制式下每帧包含的扫描行数进行设置。对于(M)NTSC、NTSC-J、(M)PAL，每帧包含 525 行；对于(B、D、J、H、I)PAL，(N)PAL，(Nc)PAL，每帧包含 625 行。 0：每帧包含 525 行； 1：每帧包含 625 行。
[24]	RW	rgb_en	在 intf_sel 配置为 100 时，该位决定分量信号是选用 RGB 还是选用 YPbPr。 0：分量信号选用 YPbPr； 1：分量信号选用 RGB。
[23]	RW	vbi_lpf_en	Vbi 数据低通滤波使能控制。 0：不滤波处理； 1：滤波处理。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0xC400	DATE1_COEFF0	0x5284_14FC

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	clpf_sel		dis_ire	reserved			scanline	rgb_en	vbi_lpf_en	fm_sel	style_sel				sync_mode_sel		sync_mode_scart	length_sel	agc_amp_sel	luma_dl				reserved	oversam_en		lunt_en	oversam2_en	chlp_en	sylp_en	chgain_en	tt_seq
Reset	0	1	0	1	0	0	1	0	1	0	0	0	0	1	0	0	0	0	0	1	0	1	0	0	1	1	1	1	1	1	0	0

Bits	Access	Name	Description
[22]	RW	fm_sel	FMsecam 调频选择。 0：secam 调频采用 sin； 1：secam 调频采用 cos。
[21:18]	RW	style_sel	与 scanline 配合，设置 CVBS/S-Video 输出信号的制式。 当 scanline 为 0，即每帧包含 525 行时，含义如下： 0x1：(M)NTSC 制式； 0x2：NTSC-J 制式； 0x4：(M)PAL 制式； 其他：保留。 当 scanline 为 1，即每帧包含 625 行时，含义如下： 0x1：(B、D、G、H、I)PAL 制式； 0x2：(N)PAL 制式； 0x4：(Nc)PAL 制式； 0x8： SECAM 制式； 其他：保留。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0xC400	DATE1_COEFF0	0x5284_14FC

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	clpf_sel		dis_ire	reserved			scanline	rgb_en	vbi_lpf_en	fm_sel	style_sel				sync_mode_sel		sync_mode_scart	length_sel	agc_amp_sel	luma_dl				reserved	oversam_en		lunt_en	oversam2_en	chlp_en	sylp_en	chgain_en	tt_seq
Reset	0	1	0	1	0	0	1	0	1	0	0	0	0	1	0	0	0	0	0	1	0	1	0	0	1	1	1	1	1	1	0	0

Bits	Access	Name	Description
[17:16]	RW	sync_mode_sel	bit[17]指明分量输出是否要在三个通道上都包含同步信号，此控制 bit 需要在 sync_mode_scart 配置为 0 时才起作用。 该位只在 intf_sel 设为 100 即有分量输出时有效，含义为： 0：分量输出时，只在一个通道上包含同步信号； 1：分量输出时，在三个通道上都包含同步信号。 在该位设为 0 时，对于 YPbPr 输出，同步通道只能是 Y 通道；对于 RGB 输出，只能是 G 通道。 bit[16]：指明 RGB 输出有无消隐基数。该位只在 intf_sel 设为 100，rgb_en 设为 1 时有效，含义为： 0：RGB 输出时无消隐基数； 1：RGB 输出时有消隐基数。
[15]	RW	sync_mode_scart	指明下分量 3 个通道均不叠加同步。 0：分量同步输出根据 sync_mode_sel[1]配置； 1：分量 3 个通道均不叠加同步，此时 sync_mode_sel[1]需配置为 0。
[14]	RW	length_sel	说明每个视频行包含的以像素数为单位的行有效宽度。 0：按照 BT.601 模式的行有效像素宽度输出； 1：按照 BT.470 模式的行有效像素宽度输出。 当该位为 0 时，行有效宽度为 720 个像素。当该位配置为 1 时，对于 625 行制式，行有效宽度为 704 个像素；对于 525 行制式，行有效宽度为 712 个像素。目前版本不支持 BT601 模式和 BT470 模式动态配置，复位后根据需要配置后中间过程不能更改配置。推荐固定配置成 BT601 模式，即采用上电复位值。
[13]	RW	agc_amp_sel	0：参照片内默认值产生 AGC 脉冲(推荐)； 1：参照片外配置产生 AGC 脉冲 DATE_COEFF1[amp_outside]。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0xC400	DATE1_COEFF0	0x5284_14FC

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	clpf_sel		dis_ire		reserved		scanline	rgb_en	vbi_lpf_en	fm_sel	style_sel				sync_mode_sel		sync_mode_scart	length_sel	agc_amp_sel	luma_dl				reserved	oversam_en		lunt_en	oversam2_en	chlp_en	sylp_en	chgain_en	tt_seq
Reset	0	1	0	1	0	0	1	0	1	0	0	0	0	1	0	0	0	0	0	1	0	1	0	0	1	1	1	1	1	1	0	0

Bits	Access	Name	Description
[12:9]	RW	luma_dl	以半个像素宽度为单位，相对于亮度信号，色度信号超前或滞后的位移量。 bit[12]：色度信号相对亮度信号位移量的方向。 0：色度信号滞后于亮度信号； 1：色度信号超前于色度信号。 bit[11:9]：色度信号相对亮度信号位移量的绝对值，二进制表示，取值范围为从 0～7。 000：色度与亮度对齐，不作调整； 001～111：色度信号相对亮度信号超前或滞后 1～7 个单位。
[8]	RW	reserved	保留。 写无效，读为 0。
[7:6]	RW	oversam_en	第一级过采样开关控制位，包含亮度过采样开关控制位和色度过采样开关控制位。 bit[7]：亮度过采样开关控制位。 0：亮度过采样关闭； 1：亮度过采样打开。 bit[6]：为色度过采样开关控制位。0：色度过采样关闭； 1：色度过采样打开。
[5]	RW	lunt_en	亮度陷波功能开关控制位。 0：亮度陷波功能关闭； 1：亮度陷波功能打开。
[4]	RW	oversam2_en	第二级过采样开关控制位，同时控制亮度通路和色度通路。 0：亮度过采样关闭； 1：亮度过采样打开。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0xC400	DATE1_COEFF0	0x5284_14FC

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	clpf_sel		dis_ire		reserved				scanline	rgb_en	vbi_lpf_en	fm_sel	style_sel				sync_mode_sel				sync_mode_scart	length_sel	agc_amp_sel	luma_dl				reserved	oversam_en		lunt_en	oversam2_en	chlp_en	sylp_en	chgain_en	tt_seq
Reset	0	1	0	1	0	0	1	0	1	0	0	0	0	1	0	0	0	0	0	1	0	1	0	0	1	1	1	1	1	1	0	0

Bits	Access	Name	Description
[3]	RW	chlp_en	色度低通滤波功能开关控制位。 0：色度低通滤波功能关闭； 1：色度低通滤波功能打开。
[2]	RW	sylp_en	同步低通滤波功能开关控制位。 0：同步低通滤波功能关闭； 1：同步低通滤波功能打开。
[1]	RW	chgain_en	色度增益开关控制位。 0：色度增益关闭； 1：色度增益打开。
[0]	RW	tt_seq	配置 Teletext 数据字节中各位的发送顺序。 0：从高位到低位； 1：从低位到高位。

DATE1_COEFF1

DATE1_COEFF1 为幅度配置寄存器。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0xC404	DATE1_COEFF1	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	c_gain			cvbs_limit_en	wss_seq	vps_seq	cgms_seq	cc_seq	c_limit_en	amp_outside										date_test_en	date_test_mode				dac_test							
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:29]	RW	c_gain	色同步增益幅度调节。
[28]	RW	cvbs_limit_en	CVBS 限幅开关控制位。 0：不限幅； 1：限幅。
[27]	RW	wss_seq	配置 WSS 数据字节中各位的发送顺序。 0：从高位到低位； 1：从低位到高位。
[26]	RW	vps_seq	配置 VPS 数据字节中各位的发送顺序。 0：从高位到低位； 1：从低位到高位。
[25]	RW	cgms_seq	配置 CGMS 数据字节中各位的发送顺序。 0：从高位到低位； 1：从低位到高位。
[24]	RW	cc_seq	配置 Closed Caption 数据字节中各位的发送顺序。 0：从高位到低位； 1：从低位到高位。
[23]	RW	c_limit_en	色度限幅开关控制位。 0：不限幅； 1：限幅。
[22:13]	RW	amp_outside	外部 AGC 脉冲幅度输入。
[12]	RW	date_test_en	测试有效信号。 0：无效； 1：有效。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0xC404	DATE1_COEFF1	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	c_gain			cvbs_limit_en	wss_seq	vps_seq	cgms_seq	cc_seq	c_limit_en	amp_outside										date_test_en	date_test_mode				dac_test							
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[11:10]	RW	date_test_mode	测试模式信号。
[9:0]	RW	dac_test	DAC 测试值输入。

DATE1_COEFF7

DATE1_COEFF7 为 Teletext 配置寄存器。

Offset Address	Register Name	Total Reset Value
0xC41C	DATE1_COEFF7	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	tt22_enf1	tt21_enf1	tt20_enf1	tt19_enf1	tt18_enf1	tt17_enf1	tt16_enf1	tt15_enf1	tt14_enf1	tt13_enf1	tt12_enf1	tt11_enf1	tt10_enf1	tt09_enf1	tt08_enf1	tt07_enf1	tt22_enf2	tt21_enf2	tt20_enf2	tt19_enf2	tt18_enf2	tt17_enf2	tt16_enf2	tt15_enf2	tt14_enf2	tt13_enf2	tt12_enf2	tt11_enf2	tt10_enf2	tt09_enf2	tt08_enf2	tt07_enf2
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31]	RW	tt22_enf1	奇场第 22 行 Teletext 开关控制位。 0：关闭； 1：打开。
[30]	RW	tt21_enf1	奇场第 21 行 Teletext 开关控制位。 0：关闭； 1：打开。
[29]	RW	tt20_enf1	奇场第 20 行 Teletext 开关控制位。 0：关闭； 1：打开。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0xC41C	DATE1_COEFF7	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	tt22_enf1	tt21_enf1	tt20_enf1	tt19_enf1	tt18_enf1	tt17_enf1	tt16_enf1	tt15_enf1	tt14_enf1	tt13_enf1	tt12_enf1	tt11_enf1	tt10_enf1	tt09_enf1	tt08_enf1	tt07_enf1	tt22_enf2	tt21_enf2	tt20_enf2	tt19_enf2	tt18_enf2	tt17_enf2	tt16_enf2	tt15_enf2	tt14_enf2	tt13_enf2	tt12_enf2	tt11_enf2	tt10_enf2	tt09_enf2	tt08_enf2	tt07_enf2
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[28]	RW	tt19_enf1	奇场第 19 行 Teletext 开关控制位。 0：关闭； 1：打开。
[27]	RW	tt18_enf1	奇场第 18 行 Teletext 开关控制位。 0：关闭； 1：打开。
[26]	RW	tt17_enf1	奇场第 17 行 Teletext 开关控制位。 0：关闭； 1：打开。
[25]	RW	tt16_enf1	奇场第 16 行 Teletext 开关控制位。 0：关闭； 1：打开。
[24]	RW	tt15_enf1	奇场第 15 行 Teletext 开关控制位。 0：关闭； 1：打开。
[23]	RW	tt14_enf1	奇场第 14 行 Teletext 开关控制位。 0：关闭； 1：打开。
[22]	RW	tt13_enf1	奇场第 13 行 Teletext 开关控制位。 0：关闭； 1：打开。
[21]	RW	tt12_enf1	奇场第 12 行 Teletext 开关控制位。 0：关闭； 1：打开。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0xC41C	DATE1_COEFF7	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	tt22_enf1	tt21_enf1	tt20_enf1	tt19_enf1	tt18_enf1	tt17_enf1	tt16_enf1	tt15_enf1	tt14_enf1	tt13_enf1	tt12_enf1	tt11_enf1	tt10_enf1	tt09_enf1	tt08_enf1	tt07_enf1	tt22_enf2	tt21_enf2	tt20_enf2	tt19_enf2	tt18_enf2	tt17_enf2	tt16_enf2	tt15_enf2	tt14_enf2	tt13_enf2	tt12_enf2	tt11_enf2	tt10_enf2	tt09_enf2	tt08_enf2	tt07_enf2
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[20]	RW	tt11_enf1	奇场第 11 行 Teletext 开关控制位。 0：关闭； 1：打开。
[19]	RW	tt10_enf1	奇场第 10 行 Teletext 开关控制位。 0：关闭； 1：打开。
[18]	RW	tt09_enf1	奇场第 9 行 Teletext 开关控制位。 0：关闭； 1：打开。
[17]	RW	tt08_enf1	奇场第 8 行 Teletext 开关控制位。 0：关闭； 1：打开。
[16]	RW	tt07_enf1	奇场第 7 行 Teletext 开关控制位。 0：关闭； 1：打开。
[15]	RW	tt22_enf2	偶场第 22 行 Teletext 开关控制位。 0：关闭； 1：打开。
[14]	RW	tt21_enf2	偶场第 21 行 Teletext 开关控制位。 0：关闭； 1：打开。
[13]	RW	tt20_enf2	偶场第 20 行 Teletext 开关控制位。 0：关闭； 1：打开。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0xC41C	DATE1_COEFF7	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	tt22_enf1	tt21_enf1	tt20_enf1	tt19_enf1	tt18_enf1	tt17_enf1	tt16_enf1	tt15_enf1	tt14_enf1	tt13_enf1	tt12_enf1	tt11_enf1	tt10_enf1	tt09_enf1	tt08_enf1	tt07_enf1	tt22_enf2	tt21_enf2	tt20_enf2	tt19_enf2	tt18_enf2	tt17_enf2	tt16_enf2	tt15_enf2	tt14_enf2	tt13_enf2	tt12_enf2	tt11_enf2	tt10_enf2	tt09_enf2	tt08_enf2	tt07_enf2
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[12]	RW	tt19_enf2	偶场第 19 行 Teletext 开关控制位。 0：关闭； 1：打开。
[11]	RW	tt18_enf2	偶场第 18 行 Teletext 开关控制位。 0：关闭； 1：打开。
[10]	RW	tt17_enf2	偶场第 17 行 Teletext 开关控制位。 0：关闭； 1：打开。
[9]	RW	tt16_enf2	偶场第 16 行 Teletext 开关控制位。 0：关闭； 1：打开。
[8]	RW	tt15_enf2	偶场第 15 行 Teletext 开关控制位。 0：关闭； 1：打开。
[7]	RW	tt14_enf2	偶场第 14 行 Teletext 开关控制位。 0：关闭； 1：打开。
[6]	RW	tt13_enf2	偶场第 13 行 Teletext 开关控制位。 0：关闭； 1：打开。
[5]	RW	tt12_enf2	偶场第 12 行 Teletext 开关控制位。 0：关闭； 1：打开。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0xC41C	DATE1_COEFF7	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	tt22_enf1	tt21_enf1	tt20_enf1	tt19_enf1	tt18_enf1	tt17_enf1	tt16_enf1	tt15_enf1	tt14_enf1	tt13_enf1	tt12_enf1	tt11_enf1	tt10_enf1	tt09_enf1	tt08_enf1	tt07_enf1	tt22_enf2	tt21_enf2	tt20_enf2	tt19_enf2	tt18_enf2	tt17_enf2	tt16_enf2	tt15_enf2	tt14_enf2	tt13_enf2	tt12_enf2	tt11_enf2	tt10_enf2	tt09_enf2	tt08_enf2	tt07_enf2
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[4]	RW	tt11_enf2	偶场第 11 行 Teletext 开关控制位。 0：关闭； 1：打开。
[3]	RW	tt10_enf2	偶场第 10 行 Teletext 开关控制位。 0：关闭； 1：打开。
[2]	RW	tt09_enf2	偶场第 9 行 Teletext 开关控制位。 0：关闭； 1：打开。
[1]	RW	tt08_enf2	偶场第 8 行 Teletext 开关控制位。 0：关闭； 1：打开。
[0]	RW	tt07_enf2	偶场第 7 行 Teletext 开关控制位。 0：关闭； 1：打开。

DATE1_COEFF8

DATE1_COEFF8 为 Teletext 配置寄存器。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0xC420	DATE1_COEFF8	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	tt_staddr																															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:0]	RW	tt_staddr	Teletext 数据起始地址。

DATE1_COEFF9

DATE1_COEFF9 为 Teletext 配置寄存器。

Offset Address	Register Name	Total Reset Value
0xC424	DATE1_COEFF9	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	tt_edaddr																															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:0]	RW	tt_edaddr	Teletext 数据结束地址。

DATE1_COEFF10

DATE1_COEFF10 为 Teletext 配置寄存器。

注意

目前版本，在 625 行和 525 行模式下均支持 Teletext 功能。625 行模式下 tt_mode 配置为 01；525 行模式下 tt_mode 配置为 10。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0xC428	DATE1_COEFF10	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	tt_ready	reserved																			nabts_100ire	full_page	tt_highest	tt_mode	tt_pktoff							
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31]	RW	tt_ready	当软件通过总线配置好相关参数时，将该位置 1，Teletext 模块开始工作； 当 teleltext 完成数据传输时该位置低，软件可查询，等待软件的再一次配置。
[30:13]	RW	reserved	保留。 写无效，读为 0。
[12]	RW	nabts_100ire	NABTS-NTSC 数据高度配置寄存器。 0：70IRE； 1：100IRE。
[11]	RW	full_page	tt 发送 full page 模式控制寄存器。 0：正常模式(消隐行传 tt 数据)； 1：full page 模式(有效视频区也可传 tt 数据)。
[10]	RW	tt_highest	Tt 优先级控制寄存器。 0：tt 优先级最高； 1：tt 优先级最低。
[9:8]	RW	tt_mode	TT 模式。 625 行下配置为 01，代表 wst-pal； 525 行下配置为 10，代表 nabts-ntsc。
[7:0]	RW	tt_pktoff	TT 包偏移地址。

DATE1_COEFF11

DATE1_COEFF11 为 Closed Caption 配置寄存器。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0xC42C	DATE1_COEFF11	0x0000_0000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved			cc_enf1	cc_enf2	date_clf1		date_clf2
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[31:22]	RW	reserved	保留。
[21]	RW	cc_enf1	Closed Caption 奇场开关控制位。 0：关闭； 1：打开。
[20]	RW	cc_enf2	Closed Caption 偶场开关控制位。 0：关闭； 1：打开。
[19:10]	RW	date_clf1	Closed Caption 奇场配置行。
[9:0]	RW	date_clf2	Closed Caption 偶场配置行。

DATE1_COEFF12

DATE1_COEFF12 为 Closed Caption 配置寄存器。

Offset Address	Register Name	Total Reset Value
0xC430	DATE1_COEFF12	0x0000_0000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	cc_f1data				cc_f2data			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[31:16]	RW	cc_f1data	Closed Caption 奇场数据。
[15:0]	RW	cc_f2data	Closed Caption 偶场数据。

DATE1_COEFF13

DATE1_COEFF13 为 CGMS 配置寄存器。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0xC434	DATE1_COEFF13	0x0000_0000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved		cg_enf1 cg_enf2	cg_f1data				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[31:22]	RW	reserved	保留。 写无效，读为 0。
[21]	RW	cg_enf1	CGMS 奇场开关控制位。 0：关闭； 1：打开。
[20]	RW	cg_enf2	CGMS 偶场开关控制位。 0：关闭； 1：打开。
[19:0]	RW	cg_f1data	CGMS 奇场数据。

DATE1_COEFF14

DATE1_COEFF14 为 CGMS 配置寄存器。

Offset Address	Register Name	Total Reset Value
0xC438	DATE1_COEFF14	0x0000_0000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved			cg_f2data				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[31:20]	RW	reserved	保留。 写无效，读为 0。
[19:0]	RW	cg_f2data	CGMS 偶场数据。

DATE1_COEFF15

DATE1_COEFF15 为 WSS 配置寄存器。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

注意

WSS 仅在 625 行制式下使用，固定在 23 行。

Offset Address	Register Name	Total Reset Value
0xC43C	DATE1_COEFF15	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																	wss_en	wss_data													
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:15]	RW	reserved	保留。 写无效，读为 0。
[14]	RW	wss_en	WSS 开关控制位。 0：关闭； 1：打开。
[13:0]	RW	wss_data	WSS 数据。

DATE1_COEFF16

DATE1_COEFF16 为 VPS 配置寄存器。

Offset Address	Register Name	Total Reset Value
0xC440	DATE1_COEFF16	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved							vps_en	vps_data																							
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:25]	RW	reserved	保留。 写无效，读为 0。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0xC440	DATE1_COEFF16	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved								vps_en	vps_data																						
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[24]	RW	vps_en	VPS 开关控制位。 0：关闭； 1：打开。
[23:0]	RW	vps_data	VPS 数据，第 23 位到第 0 位，最低位为第 0 位。

DATE1_COEFF17

DATE1_COEFF17 为 VPS 配置寄存器。

Offset Address	Register Name	Total Reset Value
0xC444	DATE1_COEFF17	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	vps_data																															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:0]	RW	vps_data	VPS 数据，第 55 位到第 24 位，最低位为第 0 位。

DATE1_COEFF18

DATE1_COEFF18 为 VPS 配置寄存器。

Offset Address	Register Name	Total Reset Value
0xC448	DATE1_COEFF18	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	vps_data																															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:0]	RW	vps_data	VPS 数据，第 87 位到第 56 位，最低位为第 0 位。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

DATE1_COEFF19

DATE1_COEFF19 为 VPS 配置寄存器。

注意

VPS 只在 625 行模式下支持，固定在 16 行。

Offset Address	Register Name	Total Reset Value
0xC44C	DATE1_COEFF19	0x0000_0000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved				vps_data			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[31:16]	RW	reserved	保留。 写无效，读为 0。
[15:0]	RW	vps_data	VPS 数据，第 103 位到第 88 位，最低位为第 0 位。

DATE1_COEFF20

DATE1_COEFF20 为 Teletext 配置寄存器。

Offset Address	Register Name	Total Reset Value
0xC450	DATE1_COEFF20	0x0000_0000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved							tt06_enf1 tt06_enf2 tt05_enf2
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[31:3]	RW	reserved	保留。 写无效，读为 0。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0xC450	DATE1_COEFF20	0x0000_0000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3	2	1	0
Name	reserved							tt06_enf1	tt06_enf2	tt05_enf2	
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0	0	0	0

Bits	Access	Name	Description
[2]	RW	tt06_enf1	奇场第 6 行 Teletext 开关控制位。 0：关闭； 1：打开。
[1]	RW	tt06_enf2	偶场第 6 行 Teletext 开关控制位。 0：关闭； 1：打开。
[0]	RW	tt05_enf2	偶场第 5 行 Teletext 开关控制位。 0：关闭； 1：打开。

DATE1_COEFF21

DATE1_COEFF21 为输出矩阵控制寄存器。

Offset Address	Register Name	Total Reset Value
0xC454	DATE1_COEFF21	0x0060_00A1

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved		dac5_in_sel	reserved	dac4_in_sel	reserved	dac3_in_sel	reserved	dac2_in_sel	reserved	dac1_in_sel	reserved	dac0_in_sel
Reset	0 0 0 0	0 0 0 0	0 1 1 0	0 0 0 0	0 0 0 0	0 0 0 0	1 0 1 0	0 0 0 1

Bits	Access	Name	Description
[31:23]	RW	reserved	保留。 写无效，读为 0。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0xC454	DATE1_COEFF21	0x0060_00A1

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved									dac5_in_sel			reserved	dac4_in_sel			reserved	dac3_in_sel			reserved	dac2_in_sel			reserved	dac1_in_sel			reserved	dac0_in_sel		
Reset	0	0	0	0	0	0	0	0	0	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1	0	0	0	0	1

Bits	Access	Name	Description
[22:20]	RW	dac5_in_sel	DAC5 输出模式选择。 000：0； 001：cvbs； 010：G/Y； 011：B/Pb； 100：R/Pr； 101：svideo_y； 110：svideo_c； 111：0。
[19]	RO	reserved	保留。 写无效，读为 0。
[18:16]	RW	dac4_in_sel	DAC4 输出模式选择。 000：0； 001：cvbs； 010：G/Y； 011：B/Pb； 100：R/Pr； 101：svideo_y； 110：svideo_c； 111：0。
[15]	RO	reserved	保留。 写无效，读为 0。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0xC454	DATE1_COEFF21	0x0060_00A1

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved										dac5_in_sel		reserved	dac4_in_sel			reserved	dac3_in_sel			reserved	dac2_in_sel			reserved	dac1_in_sel			reserved	dac0_in_sel		
Reset	0	0	0	0	0	0	0	0	0	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1	0	0	0	0	1

Bits	Access	Name	Description
[14:12]	RW	dac3_in_sel	DAC3 输出模式选择。 000：0； 001：cvbs； 010：G/Y； 011：B/Pb； 100：R/Pr； 101：svideo_y； 110：svideo_c； 111：0。
[11]	RO	reserved	保留。 写无效，读为 0。
[10:8]	RW	dac2_in_sel	DAC2 输出模式选择。 000：0； 001：cvbs； 010：G/Y； 011：B/Pb； 100：R/Pr； 101：svideo_y； 110：svideo_c； 111：0。
[7]	RO	reserved	保留。 写无效，读为 0。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0xC454	DATE1_COEFF21	0x0060_00A1

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved		dac5_in_sel	reserved	dac4_in_sel	reserved	dac3_in_sel	reserved	dac2_in_sel	reserved	dac1_in_sel	reserved	dac0_in_sel
Reset	0 0 0 0	0 0 0 0	0 1 1 0	0 0 0 0	0 0 0 0	0 0 0 0	1 0 1 0	0 0 0 1

Bits	Access	Name	Description
[6:4]	RW	dac1_in_sel	DAC1 输出模式选择。 000：0； 001：cvbs； 010：G/Y； 011：B/Pb； 100：R/Pr； 101：svideo_y； 110：svideo_c； 111：0。
[3]	RO	reserved	保留。 写无效，读为 0。
[2:0]	RW	dac0_in_sel	DAC0 输出模式选择。 000：0； 001：cvbs； 010：G/Y； 011：B/Pb； 100：R/Pr； 101：svideo_y； 110：svideo_c； 111：0。

DATE1_COEFF22

DATE1_COEFF22 为 DTO 初始相位配置寄存器。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0xC458	DATE1_COEFF22	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																								video_phase_delta							
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:11]	RW	reserved	保留。 写无效，读为 0。
[10:0]	RW	video_phase_delta	DTO 初始相位配置寄存器。

DATE1_COEFF23

DATE1_COEFF23 为 VIDEO_OUT 延时配置寄存器。

Offset Address	Register Name	Total Reset Value
0xC45C	DATE1_COEFF23	0x0065_4321

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved									dac5_out_dly			reserved	dac4_out_dly			reserved	dac3_out_dly			reserved	dac2_out_dly			reserved	dac1_out_dly			reserved	dac0_out_dly		
Reset	0	0	0	0	0	0	0	0	0	1	1	0	0	1	0	1	0	1	0	0	0	0	1	1	0	0	1	0	0	0	0	1

Bits	Access	Name	Description
[31:23]	RW	reserved	保留。 写无效，读为 0。
[22:20]	RW	dac5_out_dly	DAC5 输出延迟周期。 以一个 54MHz 时钟周期为单位，配置 n 个延迟周期。
[19]	RO	reserved	保留。 写无效，读为 0。
[18:16]	RW	dac4_out_dly	DAC4 输出延迟周期。 以一个 54MHz 时钟周期为单位，配置 n 个延迟周期。
[15]	RO	reserved	保留。 写无效，读为 0。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0xC45C	DATE1_COEFF23	0x0065_4321

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved								dac5_out_dly				reserved	dac4_out_dly			reserved	dac3_out_dly			reserved	dac2_out_dly			reserved	dac1_out_dly			reserved	dac0_out_dly		
Reset	0	0	0	0	0	0	0	0	0	1	1	0	0	1	0	1	0	1	0	0	0	0	1	1	0	0	1	0	0	0	0	1

Bits	Access	Name	Description
[14:12]	RW	dac3_out_dly	DAC3 输出延迟周期。 以一个 54MHz 时钟周期为单位，配置 n 个延迟周期。
[11]	RO	reserved	保留。 写无效，读为 0。
[10:8]	RW	dac2_out_dly	DAC2 输出延迟周期。 以一个 54MHz 时钟周期为单位，配置 n 个延迟周期。
[7]	RO	reserved	保留。 写无效，读为 0。
[6:4]	RW	dac1_out_dly	DAC1 输出延迟周期。 以一个 54MHz 时钟周期为单位，配置 n 个延迟周期。
[3]	RO	reserved	保留。 写无效，读为 0。
[2:0]	RW	dac0_out_dly	DAC0 输出延迟周期。 以一个 54MHz 时钟周期为单位，配置 n 个延迟周期。

DATE1_ISRMASK

DATE1_ISRMASK 为中断屏蔽寄存器。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0xC480	DATE1_ISRMASK	0x0000_0000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved							tt_mask
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[31:1]	RW	reserved	保留。 写无效，读为 0。
[0]	RW	tt_mask	Teletext 中断屏蔽位。 0：打开 Teletext 中断； 1：屏蔽 Teletext 中断。

DATE1_ISRSTATE

DATE1_ISRSTATE 为中断状态寄存器。

Offset Address	Register Name	Total Reset Value
0xC484	DATE1_ISRSTATE	0x0000_0000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved							tt_status
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[31:1]	RW	reserved	保留。 写无效，读为 0。
[0]	W1C	tt_status	Teletext 中断标志位。 当 DATE 读完所有 Teletext 数据后，该中断标志位拉高。清除中断，需要对该位写 1。

DATE1_ISR

DATE1_ISR 为中断寄存器。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0xC488	DATE1_ISR	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																															tt_int
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:1]	RW	reserved	保留。 写无效，读为 0。
[0]	RW	tt_int	Teletext 中断寄存器。tt_status 在经过 tt_mask 屏蔽后的中断状态。 0：没有中断； 1：有中断。

DATE1_VERSION

DATE1_VERSION 为版本寄存器。

Offset Address	Register Name	Total Reset Value
0xC490	DATE1_VERSION	0x0000_0024

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	1	0	0

Bits	Access	Name	Description
[31:0]	RW	reserved	保留。 写无效，读为 0。

VOCTRL

VOCTRL 为 VO 控制寄存器。surface 总线申请仲裁模式。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0xCE00	VOCTRL	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	vo_ck_gt_en	vo_id_sel	reserved		awid_cfg				reserved			bus_dbg_en	outstd_wid				arid_cfg1				arid_cfg0				outstd_rid				arb_mode			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31]	RW	vo_ck_gt_en	VOU 时钟门控使能。 0：时钟门控关闭； 1：VOU 的内部时钟门控打开。
[30]	RW	vo_id_sel	VOU 读 ID 号选择 0：VOU 选择 0 号读 ID； 1：VOU 选择 1 号读 ID
[29:28]	RO	reserved	保留。
[27:24]	RW	awid_cfg	AXI 总线写的 ID 值。
[23:22]	RO	reserved	保留。
[21:20]	RW	bus_dbg_en	总线测试使能 00：总线正常工作模式； 01：总线测试读写环回工作模式；10：总线测试写环回工作； 其他：保留。
[19:16]	RW	outstd_wid	AXI 总线写 ID 的 outstanding
[15:12]	RW	arid_cfg1	AXI 总线读的 1 号 ID 值。
[11:8]	RW	arid_cfg0	AXI 总线读的 0 号 ID 值。
[7:4]	RW	outstd_rid	AXI 总线读 ID 的 outstanding。
[3:0]	RW	arb_mode	VO 内部各 surface 总线数据申请的仲裁模式。 0000：轮询；0001：图形层优先；其他：保留

VOINTSTA

VOINTSTA 为 VO 中断状态寄存器。只读寄存器。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0xCE04	VOINTSTA	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	be_int	ut_end_int	reserved	vhd_regup_err_int	reserved				g0rr_int	vhdrr_int	reserved	vsdrr_int	reserved				dsd1uf_int		reserved		wbc_te_int		reserved		dhduf_int		reserved		dhdvtthd0_int	dsduf_int		reserved	dsdvtthd1_int	dsdvtthd0_int
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31]	RO	be_int	总线错误中断。(AXI_Master) 0：没有中断； 1：有中断。
[30]	RO	ut_end_int	UT 帧完成中断。
[29]	RO	reserved	保留。
[28]	RO	vhd_regup_err_int	VHD 寄存器更新错误中断。
[27:24]	RO	reserved	保留。
[23]	RO	g0rr_int	G0 寄存器更新中断。
[22]	RO	vhdrr_int	VHD 寄存器更新中断。
[21]	RO	reserved	保留。
[20]	RO	vsdrr_int	VSD 寄存器更新中断。
[19:15]	RO	reserved	保留。
[14]	RO	dsd1uf_int	SD1 通道低带宽告警中断。
[13:12]	RO	reserved	保留。
[11]	RO	wbc_te_int	WBC 任务完成中断
[10:8]	RO	reserved	保留。
[7]	RO	dhduf_int	HD 通道低带宽告警中断。
[6:5]	RO	reserved	保留。
[4]	RO	dhdvtthd0_int	HD0 通道垂直时序中断 1。
[3]	RO	dsduf_int	SD 通道低带宽告警中断。
[2]	RO	reserved	保留。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0xCE04	VOINTSTA	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	be_int	ut_end_int	reserved	vhd_regup_err_int	reserved				g0rr_int	vhdrr_int	reserved	vsdrr_int	reserved				dsd1uf_int		reserved		wbc_te_int	reserved			dhduf_int	reserved		dhdvtthd0_int	dsduf_int	reserved	dsdvtthd1_int	dsdvtthd0_int
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[1]	RO	dsdvtthd1_int	SD1 通道垂直时序中断。
[0]	RO	dsdvtthd0_int	SD0 通道垂直时序中断 1。

VOMSKINTSTA

VOMSKINTSTA 为 VO 经过 Mask 的中断状态寄存器。写 1 清零。

Offset Address	Register Name	Total Reset Value
0xCE08	VOMSKINTSTA	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	be_int	ut_end_int	reserved	vhd_regup_err_int	reserved				g0rr_int	vhdrr_int	reserved	vsdrr_int	reserved				dsd1uf_int		reserved		wbc_te_int	reserved			dhduf_int	reserved		dhdvtthd1_int	dsduf_int	reserved	dsdvtthd1_int	dsdvtthd0_int
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31]	RWC	be_int	总线错误中断。(AXI_Master) 0：没有中断； 1：有中断。
[30]	R/WC	ut_end_int	UT 帧完成中断。
[29]	RO	reserved	保留。
[28]	RWC	vhd_regup_err_int	VHD 寄存器更新错误中断。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0xCE08	VOMSKINTSTA	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	be_int	ut_end_int	reserved	vhd_regup_err_int	reserved				g0rr_int	vhdrr_int	reserved	vsdrr_int	reserved				dsd1uf_int		reserved		wbc_te_int		reserved		dhduf_int		reserved		dhdvtthd1_int	dsduf_int		reserved	dsdvtthd1_int	dsdvtthd0_int
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[27:24]	RO	reserved	保留。
[23]	RWC	g0rr_int	G0 寄存器更新中断。
[22]	RWC	vhdrr_int	VHD 寄存器更新中断。
[21]	RO	reserved	保留。
[20]	R/WC	vsdrr_int	VSD 寄存器更新中断。
[19:15]	RO	reserved	保留。
[14]	RW	dsd1uf_int	SD1 通道低带宽告警中断。
[13:12]	RO	reserved	保留。
[11]	RO	wbc_te_int	WBC 任务完成中断
[10:8]	RO	reserved	保留。
[7]	RO	dhduf_int	HD 通道低带宽告警中断。
[6:5]	RO	reserved	保留。
[4]	RO	dhdvtthd1_int	HD0 通道垂直时序中断 1。
[3]	RO	dsduf_int	SD 通道低带宽告警中断。
[2]	RO	reserved	保留。
[1]	RO	dsdvtthd1_int	SD1 通道垂直时序中断。
[0]	RO	dsdvtthd0_int	SD0 通道垂直时序中断 1。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

VOINTMSK

VOINTMSK 为 VOU 中断屏蔽寄存器。与 VOINTSTA 对应。相应 bit 为 1 表示中断打开；为 0 表示中断屏蔽。

Offset Address	Register Name	Total Reset Value
0xCE0C	VOINTMSK	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	be_intmsk	ut_end_intmsk	reserved	vhd_regup_err_intmsk	reserved				g0rr_intmsk	vhdrr_intmsk	reserved	vsdrr_intmsk	reserved				dsd1uf_intmsk	reserved			wbc_te_intmsk	reserved			dhduf_intmsk	reserved		dhdvtthd1_intmsk	dsduf_intmsk	reserved	dsdvtthd1_intmsk	dsdvtthd0_intmsk
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31]	RW	be_intmsk	总线错误中断。(AXI_Master) 0：没有中断； 1：有中断。
[30]	RW	ut_end_intmsk	UT 帧完成中断。
[29]	RO	reserved	保留。
[28]	RWC	vhd_regup_err_intmsk	VHD 寄存器更新错误中断。
[27:24]	RO	reserved	保留。
[23]	RW	g0rr_intmsk	G0 寄存器更新中断。
[22]	RW	vhdrr_intmsk	VHD 寄存器更新中断。
[21]	RO	reserved	保留。
[20]	RW	vsdrr_intmsk	VSD 寄存器更新中断。
[19:15]	RO	reserved	保留。
[14]	RW	dsd1uf_intmsk	SD1 通道低带宽告警中断。
[13:12]	RO	reserved	保留。
[11]	RO	wbc_te_intmsk	WBC 任务完成中断
[10:8]	RO	reserved	保留。
[7]	RW	dhduf_intmsk	HD 通道低带宽告警中断。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0xCE0C	VOINTMSK	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	be_intmsk	ut_end_intmsk	reserved	vhd_regup_err_intmsk	reserved				g0rr_intmsk	vhdrr_intmsk	reserved	vsdrr_intmsk	reserved				dsd1uf_intmsk	reserved			wbc_te_intmsk	reserved			dhduf_intmsk	reserved			dhdvtthd1_intmsk	dsduf_intmsk	reserved	dsdvtthd1_intmsk	dsdvtthd0_intmsk
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[6:5]	RO	reserved	保留。
[4]	RW	dhdvtthd1_intmsk	HD 通道垂直时序中断 1。
[3]	RW	dsduf_intmsk	SD 通道低带宽告警中断。
[2]	RO	reserved	保留。
[1]	RW	dsdvtthd1_intmsk	SD1 通道垂直时序中断 2。
[0]	RW	dsdvtthd0_intmsk	SD0 通道垂直时序中断 1。

VOUVERSION1

VOUVERSION1 为 VOU 版本 1 寄存器。

Offset Address	Register Name	Total Reset Value
0xCE10	VOUVERSION1	0x7675_6F76

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	vouversion0																															
Reset	0	1	1	1	0	1	1	0	0	1	1	1	0	1	0	1	0	1	1	0	1	1	1	1	0	1	1	1	0	1	1	0

Bits	Access	Name	Description
[31:0]	RO	vouversion0	VOU 版本寄存器。

VOUVERSION2

VOUVERSION2 为 VOU 版本 2 寄存器。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0xCE14	VOUVERSION2	0x3030_3134

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	vouversion1																															
Reset	0	0	1	1	0	0	0	0	0	0	1	1	0	0	0	0	0	0	1	1	0	0	0	1	0	0	1	1	0	1	0	0

Bits	Access	Name	Description
[31:0]	RO	vouversion1	VOU 版本寄存器。

VOMUXDATA

VOMUXDATA 为 VO 输出接口复选数据（VOPINTEST）寄存器。

Offset Address	Register Name	Total Reset Value
0xCE18	VOMUXDATA	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	pin_test_en	pin_test_mode			vsync_value	hsync_value	dv_value	pin_test_data																								
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31]	RW	pin_test_en	管脚测试模式使能。 0：禁止； 1：使能。 Vo_pdata、Vo_vsync、Vo_hsync、Vo_dv 的值分别由该寄存器的 bit[23:0]、bit[26]、bit[25]、bit[24]定义。
[30:27]	RW	pin_test_mode	保留。
[26]	RW	vsync_value	测试模式下，垂直时序配置值。
[25]	RW	hsync_value	测试模式下，水平时序配置值。
[24]	RW	dv_value	测试模式下，数据有效时序配置值。
[23:0]	RW	pin_test_data	测试模式，配置测试的数据。 所有的 DAC 使用[9:0]。当分量宽度大于 8bit，最高位是填充值。 举例：36bit output[35:24] = {[23:16]，[23:20]}

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

VOMUX

VOMUX 为 VO 输出接口复选寄存器。

Offset Address	Register Name	Total Reset Value
0xCE1C	VOMUX	0x0004_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				bt656_mux_hd	bt656_mux_sd	bt656_sel_sd	bt656_sel_yc	bt1120_sel_yc	hdmi_vid							reserved															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:28]	RW	reserved	保留。
[27]	RW	bt656_mux_hd	高清 BT656/BT1120 输出选择： 0：高清管脚输出 1120 1：高清管脚输出 BT656
[26]	RW	bt656_mux_sd	标清 BT656 输出选择： 0：BT656 输出 sd0 1：BT656 输出 sd1
[25]	RW	bt656_sel_sd	BT656 外同步输出选择： 0：BT656 外同步输出 sd0 1：BT656 外同步输出 sd1
[24]	RW	bt656_sel_yc	BT656 sd0/sd1 位置选择： 0：高 8 位传输 sd0，低 8 位传输 sd1 1：高 8 位传输 sd1，低 8 位传输 sd0
[23]	RW	bt1120_sel_yc	BT1120 Y/C 位置选择： 0：高 8 位传输 Y，低 8 位传输 C 1：高 8 位传输 C，低 8 位传输 Y

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0xCE1C	VOMUX	0x0004_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				bt656_mux_hd	bt656_mux_sd	bt656_sel_sd	bt656_sel_yc	bt1120_sel_yc	hdmi_vid							reserved															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[22:16]	RW	hdmi_vid	反向使能寄存器需要和 INTF 的接口寄存器中的时序反向寄存器异或，才能够得到真正的 HDMI 输入接口时序反向要求。 bit[22] 0：vsync 反相不使能； 1：vsync 反向使能 bit[21] 0：hsync 反向不使能； 1：hsync 反向使能 bit[20] 0：dv 反向不使能； 1：dv 反向使能； bit[19]：reserved； bit[18:17]：(默认：100)HDMI 视频输出格式选择。RGB 和 YCbCr 的选择，通过配置 DHD 通道得到 00：YCbCr444，30bits 同步分离模式； 01：RGB444，30bits 同步分离模式； 10：YCbCr422，20bits 同步分离模式 11：YCbCr422，10bits 同步分离模式； bit[16] 0：DHD1 输出； 1：DHD0 输出；
[15:0]	RO	reserved	保留。

VGACSCIDC

VGACSCIDC 为色彩空间转换输入直流分量寄存器。即时寄存器。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0xCE24	VGACSCIDC	0x0000_0000

Bit	31 30 29 28	27	26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved	csc_en	cscidc2		cscidc1		cscidc0		
Reset	0 0 0 0	0	0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[31:28]	RO	reserved	保留。
[27]	RW	csc_en	CSC 使能。 0：禁止； 1：使能。
[26:18]	RW	cscidc2	输入分量 2 直流参数，MSB 为符号位。补码表示。
[17:9]	RW	cscidc1	输入分量 1 直流参数，MSB 为符号位。补码表示。
[8:0]	RW	cscidc0	输入分量 0 直流参数，MSB 为符号位。补码表示。

VGACSCODC

VGACSCODC 为色彩空间转换输出直流分量寄存器。即时寄存器。

Offset Address	Register Name	Total Reset Value
0xCE28	VGACSCODC	0x0000_0000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved	cscodc2		cscodc1		cscodc0		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[31:27]	RO	reserved	保留。
[26:18]	RW	cscodc2	输出分量 2 直流参数，MSB 为符号位。补码表示。
[17:9]	RW	cscodc1	输出分量 1 直流参数，MSB 为符号位。补码表示。
[8:0]	RW	cscodc0	输出分量 0 直流参数，MSB 为符号位。补码表示。

VGACSCP0

VGACSCP0 为色彩空间转换参数 0 寄存器。即时寄存器。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0xCE2C	VGACSCP0	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				cscp01												reserved				cscp00											
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:29]	RO	reserved	保留。
[28:16]	RW	cscp01	5.8 数据格式：1bit 符号位、4bit 整数位、8bit 小数位。补码表示。
[15:13]	RO	reserved	保留。
[12:0]	RW	cscp00	5.8 数据格式：1bit 符号位、4bit 整数位、8bit 小数位。补码表示。

VGACSCP1

VGACSCP1 为色彩空间转换参数 1 寄存器。即时寄存器。

Offset Address	Register Name	Total Reset Value
0xCE30	VGACSCP1	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				cscp10												reserved				cscp02											
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:29]	RO	reserved	保留。
[28:16]	RW	cscp10	5.8 数据格式：1bit 符号位、4bit 整数位、8bit 小数位。补码表示。
[15:13]	RO	reserved	保留。
[12:0]	RW	cscp02	5.8 数据格式：1bit 符号位、4bit 整数位、8bit 小数位。补码表示。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

VGACSCP2

VGACSCP2 为色彩空间转换参数 2 寄存器。即时寄存器。

Offset Address	Register Name	Total Reset Value
0xCE34	VGACSCP2	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				cscp12												reserved				cscp11											
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:29]	RO	reserved	保留。
[28:16]	RW	cscp12	5.8 数据格式：1bit 符号位、4bit 整数位、8bit 小数位。补码表示。
[15:13]	RO	reserved	保留。
[12:0]	RW	cscp11	5.8 数据格式：1bit 符号位、4bit 整数位、8bit 小数位。补码表示。

VGACSCP3

VGACSCP3 为色彩空间转换参数 3 寄存器。即时寄存器。

Offset Address	Register Name	Total Reset Value
0xCE38	VGACSCP3	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				cscp21												reserved				cscp20											
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:29]	RO	reserved	保留。
[28:16]	RW	cscp21	5.8 数据格式：1bit 符号位、4bit 整数位、8bit 小数位。补码表示。
[15:13]	RO	reserved	保留。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0xCE38	VGACSCP3	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				cscp21												reserved				cscp20											
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[12:0]	RW	cscp20	5.8 数据格式：1bit 符号位、4bit 整数位、8bit 小数位。补码表示。

VGACSCP4

VGACSCP4 为色彩空间转换参数 4 寄存器。即时寄存器。

Offset Address	Register Name	Total Reset Value
0xCE3C	VGACSCP4	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																				cscp22											
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:13]	RO	reserved	保留。
[12:0]	RW	cscp22	5.8 数据格式：1bit 符号位、4bit 整数位、8bit 小数位。补码表示。

VOPARAUP

VOPARAUP 为缩放/GAMMA/ACC 系数更新使能寄存器。软件需要配置系数地址以及系数更新使能，VOU 会通过 AXI Master 从 DDR 读取系数存放再 VOU 内部。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0xCE40	VOPARAUP	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																								wbc_vcoef_upd	wbc_hcoef_upd	dhd_gamma_upd	video_acc_upd	reserved		vhd_vcoef_upd	vhd_hcoef_upd
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:8]	RO	reserved	保留。
[7]	RW	wbc_vcoef_upd	WBC2 垂直亮度、垂直色度滤波系数是否需要更新。硬件更新后自动清零。 0：不更新； 1：更新。
[6]	RW	wbc_hcoef_upd	WBC2 水平亮度、水平色度滤波系数是否需要更新。硬件更新后自动清零。 0：不更新； 1：更新。
[5]	RW	dhd_gamma_upd	DHD Gamma 校正运算查找表是否需要更新。硬件更新后自动清零。 0：不更新； 1：更新。
[4]	RW	video_acc_upd	Video 层 ACC 运算查找表是否需要更新。硬件更新后自动清零。 0：不更新； 1：更新。
[3:2]	RO	reserved	保留。
[1]	RW	vhd_vcoef_upd	VHD 垂直亮度、垂直色度滤波系数是否需要更新。硬件更新后自动清零。 0：不更新； 1：更新。
[0]	RW	vhd_hcoef_upd	VHD 水平亮度、水平色度滤波系数是否需要更新。硬件更新后自动清零。 0：不更新； 1：更新。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

VHDHCOEFAD

VHDHCOEFAD 为 VHD 水平亮度、水平色度滤波系数地址寄存器。

Offset Address	Register Name	Total Reset Value
0xCE44	VHDHCOEFAD	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	coef_addr																															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:0]	RW	coef_addr	系数放在 Local Memory 的起始地址。

VHDVCOEFAD

VHDVCOEFAD 为 VHD 垂直亮度、水平色度滤波系数地址寄存器。

Offset Address	Register Name	Total Reset Value
0xCE48	VHDVCOEFAD	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	coef_addr																															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:0]	RW	coef_addr	系数放在 Local Memory 的起始地址。

ACCAD

ACCAD 为 video 通道 ACC 系数查找表地址寄存器。

Offset Address	Register Name	Total Reset Value
0xCE54	ACCAD	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	coef_addr																															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:0]	RW	coef_addr	系数放在 Local Memory 的起始地址。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

WBC2HCOEFAD

WBC2HCOEFAD 为 WBC2 水平亮度、水平色度滤波系数地址寄存器。

Offset Address	Register Name	Total Reset Value
0xCE58	WBC2HCOEFAD	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	coef_addr																															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:0]	RW	coef_addr	系数放在 Local Memory 的起始地址。

WBC2VCOEFAD

WBC2VCOEFAD 为 WBC2 垂直亮度、水平色度滤波系数地址寄存器。

Offset Address	Register Name	Total Reset Value
0xCE5C	WBC2VCOEFAD	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	coef_addr																															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:0]	RW	coef_addr	系数放在 Local Memory 的起始地址。

DHDGAMMAAD

DHDGAMMAAD 为 DHD 通道 gamma 校正系数地址寄存器。

Offset Address	Register Name	Total Reset Value
0xCE78	DHDGAMMAAD	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	coef_addr																															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:0]	RW	coef_addr	系数放在 Local Memory 的起始地址。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

DACCTRL0_2

DACCTRL0_2 为 DAC0～2 控制寄存器。

Offset Address	Register Name	Total Reset Value
0xCEE0	DACCTRL0_2	0x0703_FFFF

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved			enextref	envbg	endac2	endac1	endac0	enctr2	enctr1	enctr0	ensc2	ensc1	ensc0	dac2gc						dac1gc								dac0gc			
Reset	0	0	0	0	0	1	1	1	0	0	0	0	0	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

Bits	Access	Name	Description
[31:29]	RO	reserved	保留。
[28]	RW	enextref	DAC0～2 extref 使能。 0：禁止； 1：使能。
[27]	RW	envbg	DAC0～2 VBG 使能。 0：禁止； 1：使能。
[26]	RW	endac2	DAC2 PowerDown 控制使能。 0：禁止； 1：使能。
[25]	RW	endac1	DAC1 PowerDown 控制使能。 0：禁止； 1：使能。
[24]	RW	endac0	DAC0 PowerDown 控制使能。 0：禁止； 1：使能。
[23]	RW	enctr2	DAC2 模拟偏置测试控制。
[22]	RW	enctr1	DAC1 模拟偏置测试控制。
[21]	RW	enctr0	DAC0 模拟偏置测试控制。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0xCEE0	DACCTRL0_2	0x0703_FFFF

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved			enextref	envbg	endac2	endac1	endac0	enctr2	enctr1	enctr0	ensc2	ensc1	ensc0	dac2gc						dac1gc								dac0gc			
Reset	0	0	0	0	0	1	1	1	0	0	0	0	0	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

Bits	Access	Name	Description
[20]	RW	ensc2	DAC2 连接检测使能，连接测试时，送给 DAC 的数字信号由 VOMUX 寄存器配置。 0：禁止； 1：使能。
[19]	RW	ensc1	DAC1 连接检测使能，连接测试时，送给 DAC 的数字信号由 VOMUX 寄存器配置。 0：禁止； 1：使能。
[18]	RW	ensc0	DAC0 连接检测使能，连接测试时，送给 DAC 的数字信号由 VOMUX 寄存器配置。 0：禁止； 1：使能。
[17:12]	RW	dac2gc	DAC2 输出电流(Full Scale Current)增益控制。
[11:6]	RW	dac1gc	DAC1 输出电流(Full Scale Current)增益控制。
[5:0]	RW	dac0gc	DAC0 输出电流(Full Scale Current)增益控制。

DACCTRL3_5

DACCTRL3_5 为 DAC3～5 控制寄存器。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0xCEE4	DACCTRL3_5	0x0703_FFFF

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved			enextref	envbg	endac5	endac4	endac3	enctr5	enctr4	enctr3	ensc5	ensc4	ensc3	dac5gc						dac4gc								dac3gc			
Reset	0	0	0	0	0	1	1	1	0	0	0	0	0	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

Bits	Access	Name	Description
[31:29]	RO	reserved	保留。
[28]	RW	enextref	DAC3～5 extref 使能。 0：禁止； 1：使能。
[27]	RW	envbg	DAC3～5 VBG 使能。 0：禁止； 1：使能。
[26]	RW	endac5	DAC5 PowerDown 控制使能。 0：禁止； 1：使能。
[25]	RW	endac4	DAC4 PowerDown 控制使能。 0：禁止； 1：使能。
[24]	RW	endac3	DAC3PowerDown 控制使能。 0：禁止； 1：使能。
[23]	RW	enctr5	DAC5 模拟偏置测试控制。
[22]	RW	enctr4	DAC4 模拟偏置测试控制。
[21]	RW	enctr3	DAC3 模拟偏置测试控制。
[20]	RW	ensc5	DAC5 连接检测使能，连接测试时，送给 DAC 的数字信号由 VOMUX 寄存器配置。 0：禁止； 1：使能。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0xCEE4	DACCTRL3_5	0x0703_FFFF

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				enextref	envbg	endac5	endac4	endac3	enctr5	enctr4	enctr3	ensc5	ensc4	ensc3	dac5gc					dac4gc								dac3gc				
Reset	0	0	0	0	0	1	1	1	0	0	0	0	0	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

Bits	Access	Name	Description
[19]	RW	ensc4	DAC4 连接检测使能，连接测试时，送给 DAC 的数字信号由 VOMUX 寄存器配置。 0：禁止； 1：使能。
[18]	RW	ensc3	DAC3 连接检测使能，连接测试时，送给 DAC 的数字信号由 VOMUX 寄存器配置。 0：禁止； 1：使能。
[17:12]	RW	dac5gc	DAC5 输出电流(Full Scale Current)增益控制。
[11:6]	RW	dac4gc	DAC4 输出电流(Full Scale Current)增益控制。
[5:0]	RW	dac3gc	DAC3 输出电流(Full Scale Current)增益控制。

DACSTAT0_2

DACSTAT0_2 为 DAC0～2 状态寄存器。

Offset Address	Register Name	Total Reset Value
0xCEE8	DACSTAT0_2	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																													cableout2	cableout1	cableout0
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:3]	RO	reserved	保留。
[2]	RO	cableout2	DAC2 连接检测状态。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0xCEE8	DACSTAT0_2	0x0000_0000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved							cableout2 cableout1 cableout0
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[1]	RO	cableout1	DAC1 连接检测状态。
[0]	RO	cableout0	DAC0 连接检测状态。

DACSTAT3_5

DACSTAT3_5 为 DAC3～5 状态寄存器。

Offset Address	Register Name	Total Reset Value
0xCEEC	DACSTAT3_5	0x0000_0000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved							cableout5 cableout4 cableout3
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[31:3]	RO	reserved	保留。
[2]	RO	cableout5	DAC5 连接检测状态。
[1]	RO	cableout4	DAC4 连接检测状态。
[0]	RO	cableout3	DAC3 连接检测状态。

DACBANDGAP

DACBANDGAP 为 bandgap 测试寄存器。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0xCEF0	DACBANDGAP	0x0000_0000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved						bandgap_bgtrim	bandgap_en	bandgap_test
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[31:8]	RW	reserved	保留。
[7:5]	RW	bandgap_bgtrim	bandgap 测试寄存器。
[4]	RW	bandgap_en	bandgap 测试寄存器。
[3:0]	RW	bandgap_test	bandgap 测试寄存器。

VOLPTIMER

VOLPTIMER 为低功耗计数器寄存器。

Offset Address	Register Name	Total Reset Value
0xCEF4	VOLPTIMER	0x0000_0000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved						timer	
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[31:8]	RO	reserved	保留。
[7:0]	RW	timer	低功耗状态计数器，即时寄存器。 bit[7:0]：stand by 状态计数器。 bit[3:0]：retation 状态计数器。

VOLPMODE0

VOLPMODE0 为低功耗模式 0 寄存器。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0xCEF8	VOLPMODE0	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved								dsd1_lp_mode		dsd_lp_mode		reserved		dhd_lp_mode		reserved						vsd1_lp_mode		vsd_lp_mode		reserved				vhd0_lp_mode	
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:24]	RW	reserved	保留。
[23:22]	RW	dsd1_lp_mode	DSD1 低功耗模式选择，即时寄存器 0x0：normal 模式 0x2：retation 模式 0x1、0x3：powerdown 模式
[21:20]	RW	dsd_lp_mode	DSD0 低功耗模式选择，即时寄存器 0x0：normal 模式 0x2：retation 模式 0x1、0x3：powerdown 模式
[19:18]	RO	reserved	保留。
[17:16]	RW	dhd_lp_mode	DHD0 低功耗模式选择，即时寄存器 0x0：normal 模式 0x2：retation 模式 0x1、0x3：powerdown 模式
[15:10]	RO	reserved	保留。
[9:8]	RW	vsd1_lp_mode	VSD1 低功耗模式选择，即时寄存器 0x0：normal 模式 0x2：retation 模式 0x1、0x3：powerdown 模式
[7:6]	RW	vsd_lp_mode	VSD0 低功耗模式选择，即时寄存器 0x0：normal 模式 0x2：retation 模式 0x1、0x3：powerdown 模式
[5:2]	RO	reserved	保留。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0xCEF8	VOLPMODE0	0x0000_0000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10	9 8	7 6 5 4	3 2	1 0
Name	reserved		dsd1_lp_mode	dsd_lp_mode	reserved	dhd_lp_mode	reserved	vsd1_lp_mode	vsd_lp_mode	reserved	vhd0_lp_mode
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0	0 0	0 0 0 0	0 0	0 0

Bits	Access	Name	Description
[1:0]	RW	vhd0_lp_mode	VHD0 低功耗模式选择，即时寄存器 0x0：normal 模式 0x2：retation 模式 0x1、0x3：powerdown 模式

VOLPMODE1

VOLPMODE1 为低功耗模式 1 寄存器。

Offset Address	Register Name	Total Reset Value
0xCEFC	VOLPMODE1	0x0000_0000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18	17 16	15 14	13 12	11 10	9 8	7 6 5 4	3 2	1 0
Name	reserved				wbc_lp_mode	para_lp_mode	reserved	hc_lp_mode	reserved	g3_lp_mode	g2_lp_mode	reserved	g0_lp_mode
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0	0 0	0 0	0 0	0 0	0 0	0 0 0 0	0 0	0 0

Bits	Access	Name	Description
[31:18]	RW	reserved	保留。
[17:16]	RW	wbc_lp_mode	WBC2 低功耗模式选择，即时寄存器 0x0：normal 模式 0x2：retation 模式 0x1、0x3：powerdown 模式

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0xCEFC	VOLPMODE1	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved														wbc_lp_mode		para_lp_mode		reserved		hc_lp_mode		reserved		g3_lp_mode		g2_lp_mode		reserved		g0_lp_mode	
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[15:14]	RW	para_lp_mode	PARA 低功耗模式选择，即时寄存器 0x0：normal 模式 0x2：retation 模式 0x1、0x3：powerdown 模式
[13:12]	RO	reserved	保留。
[11:10]	RW	hc_lp_mode	HC0 低功耗模式选择，即时寄存器 0x0：normal 模式 0x2：retation 模式 0x1、0x3：powerdown 模式
[9:8]	RO	reserved	保留。
[7:6]	RW	g3_lp_mode	G3 低功耗模式选择，即时寄存器 0x0：normal 模式 0x2：retation 模式 0x1、0x3：powerdown 模式
[5:4]	RW	g2_lp_mode	G2 低功耗模式选择，即时寄存器 0x0：normal 模式 0x2：retation 模式 0x1、0x3：powerdown 模式
[3:2]	RO	reserved	保留。
[1:0]	RW	g0_lp_mode	G0 低功耗模式选择，即时寄存器 0x0：normal 模式 0x2：retation 模式 0x1、0x3：powerdown 模式

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

VHDHLCOEF

VHDHLCOEF 为 VHD 水平亮度缩放滤波系数寄存器。

每个滤波器系数为 10bit，由符号位和小数位组成，最高位为符号位，低 9bit 为小数位的绝对值。由于系数存放在片上 Memory 中，因此默认值为不定态。

VHD 水平亮度缩放滤波为 8 阶 32 相位，由于对称关系，共存储 17 组系数，即 0～16 相位的 8 阶系数。每个寄存器地址包含 2 个 10bit 系数，因此一个相位的 8 阶系数需要 4 个 32bit 寄存器地址。

Offset Address	Register Name	Total Reset Value
0xD000～0xD10C	VHDHLCOEF	0x0000_0000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved		hlcoefn2		reserved		hlcoefn1	
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[31:26]	RO	reserved	保留。
[25:16]	RW	hlcoefn2	水平亮度缩放滤波系数。 当寄存器地址 bit[3:0]为 0x0 时，表示第 2 阶系数； 当寄存器地址 bit[3:0]为 0x4 时，表示第 4 阶系数； 当寄存器地址 bit[3:0]为 0x8 时，表示第 6 阶系数； 当寄存器地址 bit[3:0]为 0xC 时，表示第 8 阶系数。
[15:10]	RO	reserved	保留。
[9:0]	RW	hlcoefn1	水平亮度缩放滤波系数。 当寄存器地址 bit[3:0]为 0x0 时，表示第 1 阶系数； 当寄存器地址 bit[3:0]为 0x4 时，表示第 3 阶系数； 当寄存器地址 bit[3:0]为 0x8 时，表示第 5 阶系数； 当寄存器地址 bit[3:0]为 0xC 时，表示第 7 阶系数。

VHDHCCOEF

VHDHCCOEF 为 VHD 水平色度缩放滤波系数寄存器。存储格式参考 VHDHLCOEF。VHD 水平色度缩放滤波为 4 阶 32 相位，由于对称关系，共存储 17 组系数，即 0～16 相位的 4 阶系数。每个寄存器地址包含 2 个 10bit 系数，因此一个相位的 4 阶系数需要 2 个 32bit 寄存器地址。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0xD200～0xD284	VHDHCCOEF	0x0000_0000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved		hccoefn2		reserved		hccoefn1	
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[31:26]	RO	reserved	保留。
[25:16]	RW	hccoefn2	水平色度缩放滤波系数。 当寄存器地址 bit[3:0]为 0x0 或者 0x8 时，表示第 2 阶系数； 当寄存器地址 bit[3:0]为 0x4 或者 0xC 时，表示第 4 阶系数。
[15:10]	RO	reserved	保留。
[9:0]	RW	hccoefn1	水平色度缩放滤波系数。 当寄存器地址 bit[3:0]为 0x0 或者 0x8 时，表示第 1 阶系数； 当寄存器地址 bit[3:0]为 0x4 或者 0xC 时，表示第 3 阶系数。

VHDVLCOEF

VHDVLCOEF 为 VHD 垂直亮度缩放滤波系数寄存器。存储格式参考 VHDHLCOEF。VHD 垂直亮度缩放滤波为 6 阶 32 相位，由于对称关系，共存储 17 组系数，即 0～16 相位的 4 阶系数。每个寄存器地址包含 2 个 10bit 系数，一个相位的 6 阶系数需要 4 个 32bit 寄存器地址。

Offset Address	Register Name	Total Reset Value
0xD400～0xD50C	VHDVLCOEF	0x0000_0000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved		vlcoefn2		reserved		vlcoefn1	
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[31:26]	RO	reserved	保留。
[25:16]	RW	vlcoefn2	垂直亮度缩放滤波系数。 当寄存器地址 bit[3:0]为 0x0 时，表示第 2 阶系数； 当寄存器地址 bit[3:0]为 0x4 时，表示第 4 阶系数； 当寄存器地址 bit[3:0]为 0x8 时，表示第 6 阶系数； 当寄存器地址 bit[3:0]为 0xC 时，为保留位。
[15:10]	RO	reserved	保留。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0xD400～0xD50C	VHDVLCOEF	0x0000_0000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved		vlcoefn2		reserved		vlcoefn1	
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[9:0]	RW	vlcoefn1	垂直亮度缩放滤波系数。 当寄存器地址 bit[3:0]为 0x0 时，表示第 1 阶系数； 当寄存器地址 bit[3:0]为 0x4 时，表示第 3 阶系数； 当寄存器地址 bit[3:0]为 0x8 时，表示第 5 阶系数； 当寄存器地址 bit[3:0]为 0xC 时，为保留位。

VHDVCCOEF

VHDVCCOEF 为 VHD 垂直色度缩放滤波系数寄存器。存储格式参考 VHDHLCOEF。VHD 垂直色度缩放滤波为 4 阶 32 相位，由于对称关系，共存储 17 组系数，即 0～16 相位的 4 阶系数。每个寄存器地址包含 2 个 10bit 系数，因此一个相位的 4 阶系数需要 2 个 32bit 寄存器地址。

Offset Address	Register Name	Total Reset Value
0xD600～0xD684	VHDVCCOEF	0x0000_0000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved		vccoefn2		reserved		vccoefn1	
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[31:26]	RO	reserved	保留。
[25:16]	RW	vccoefn2	垂直亮度缩放滤波系数。 当寄存器地址 bit[3:0]为 0x0 或者 0x8 时，表示第 2 阶系数； 当寄存器地址 bit[3:0]为 0x4 或者 0xC 时，表示第 4 阶系数。
[15:10]	RO	reserved	保留。
[9:0]	RW	vccoefn1	垂直亮度缩放滤波系数。 当寄存器地址 bit[3:0]为 0x0 或者 0x8 时，表示第 1 阶系数； 当寄存器地址 bit[3:0]为 0x4 或者 0xC 时，表示第 3 阶系数。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

WBCHLCOEF

WBCHLCOEF 为 WBC 水平亮度缩放滤波系数寄存器。

每个滤波器系数为 10bit，由符号位和小数位组成，最高位为符号位，低 9bit 为小数位的绝对值。由于系数存放在片上 Memory 中，因此默认值为不定态。

WBC 水平亮度缩放滤波为 8 阶 32 相位，由于对称关系，共存储 17 组系数，即 0～16 相位的 8 阶系数。每个寄存器地址包含 2 个 10bit 系数，因此一个相位的 8 阶系数需要 4 个 32bit 寄存器地址。

Offset Address	Register Name	Total Reset Value
0xE000～0xE10C	WBCHLCOEF	0x0000_0000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved		hlcoefn2		reserved		hlcoefn1	
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[31:26]	RO	reserved	保留。
[25:16]	RW	hlcoefn2	水平亮度缩放滤波系数。 当寄存器地址 bit[3:0]为 0x0 时，表示第 2 阶系数； 当寄存器地址 bit[3:0]为 0x4 时，表示第 4 阶系数； 当寄存器地址 bit[3:0]为 0x8 时，表示第 6 阶系数； 当寄存器地址 bit[3:0]为 0xC 时，表示第 8 阶系数。
[15:10]	RO	reserved	保留。
[9:0]	RW	hlcoefn1	水平亮度缩放滤波系数。 当寄存器地址 bit[3:0]为 0x0 时，表示第 1 阶系数； 当寄存器地址 bit[3:0]为 0x4 时，表示第 3 阶系数； 当寄存器地址 bit[3:0]为 0x8 时，表示第 5 阶系数； 当寄存器地址 bit[3:0]为 0xC 时，表示第 7 阶系数。

WBCHCCOEF

WBCHCCOEF 为 WBC 水平色度缩放滤波系数寄存器。存储格式参考 WBCHLCOEF。VHD 水平色度缩放滤波为 4 阶 32 相位，由于对称关系，共存储 17 组系数，即 0～16 相位的 4 阶系数。每个寄存器地址包含 2 个 10bit 系数，因此一个相位的 4 阶系数需要 2 个 32bit 寄存器地址。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0xE200～0xE284	WBCHCCOEF	0x0000_0000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved		hccoefn2		reserved		hccoefn1	
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[31:26]	RO	reserved	保留。
[25:16]	RW	hccoefn2	水平色度缩放滤波系数。 当寄存器地址 bit[3:0]为 0x0 或者 0x8 时，表示第 2 阶系数； 当寄存器地址 bit[3:0]为 0x4 或者 0xC 时，表示第 4 阶系数。
[15:10]	RO	reserved	保留。
[9:0]	RW	hccoefn1	水平色度缩放滤波系数。 当寄存器地址 bit[3:0]为 0x0 或者 0x8 时，表示第 1 阶系数； 当寄存器地址 bit[3:0]为 0x4 或者 0xC 时，表示第 3 阶系数。

WBCVLCOEF

WBCVLCOEF 为 WBC 垂直亮度缩放滤波系数寄存器。存储格式参考 WBCHLCOEF。VHD 垂直亮度缩放滤波为 6 阶 32 相位，由于对称关系，共存储 17 组系数，即 0～16 相位的 4 阶系数。每个寄存器地址包含 2 个 10bit 系数，一个相位的 6 阶系数需要 4 个 32bit 寄存器地址。

Offset Address	Register Name	Total Reset Value
0xE400～0xE50C	WBCVLCOEF	0x0000_0000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved		vlcoefn2		reserved		vlcoefn1	
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[31:26]	RO	reserved	保留。
[25:16]	RW	vlcoefn2	垂直亮度缩放滤波系数。 当寄存器地址 bit[3:0]为 0x0 时，表示第 2 阶系数； 当寄存器地址 bit[3:0]为 0x4 时，表示第 4 阶系数； 当寄存器地址 bit[3:0]为 0x8 时，表示第 6 阶系数； 当寄存器地址 bit[3:0]为 0xC 时，为保留位。
[15:10]	RO	reserved	保留。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0xE400～0xE50C	WBCVLCOEF	0x0000_0000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved		vlcoefn2		reserved		vlcoefn1	
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[9:0]	RW	vlcoefn1	垂直亮度缩放滤波系数。 当寄存器地址 bit[3:0]为 0x0 时，表示第 1 阶系数； 当寄存器地址 bit[3:0]为 0x4 时，表示第 3 阶系数； 当寄存器地址 bit[3:0]为 0x8 时，表示第 5 阶系数； 当寄存器地址 bit[3:0]为 0xC 时，为保留位。

WBCVCCOEF

WBCVCCOEF 为 WBC 垂直色度缩放滤波系数寄存器。存储格式参考 WBCHLCOEF。VHD 垂直色度缩放滤波为 4 阶 32 相位，由于对称关系，共存储 17 组系数，即 0～16 相位的 4 阶系数。每个寄存器地址包含 2 个 10bit 系数，因此一个相位的 4 阶系数需要 2 个 32bit 寄存器地址。

Offset Address	Register Name	Total Reset Value
0xE600～0xE684	WBCVCCOEF	0x0000_0000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved		vccoefn2		reserved		vccoefn1	
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[31:26]	RO	reserved	保留。
[25:16]	RW	vccoefn2	垂直亮度缩放滤波系数。 当寄存器地址 bit[3:0]为 0x0 或者 0x8 时，表示第 2 阶系数； 当寄存器地址 bit[3:0]为 0x4 或者 0xC 时，表示第 4 阶系数。
[15:10]	RO	reserved	保留。
[9:0]	RW	vccoefn1	垂直亮度缩放滤波系数。 当寄存器地址 bit[3:0]为 0x0 或者 0x8 时，表示第 1 阶系数； 当寄存器地址 bit[3:0]为 0x4 或者 0xC 时，表示第 3 阶系数。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

DHDGAMMAN

DHDGAMMAN 为 DHD 通道 GAMMA 查找表系数寄存器。由于系数存放在片上 Memory 中，因此默认值为不定态。

Offset Address	Register Name	Total Reset Value
0xE800～0xE880	DHDGAMMAN	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				gamma_datarn								gamma_datagn												gamma_databn							
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:30]	RW	reserved	保留。
[29:20]	RW	gamma_datarn	Gamma 表 R 分量第 n(0～32)分量值。
[19:10]	RW	gamma_datagn	Gamma 表 G 分量第 n(0～32)分量值。
[9:0]	RW	gamma_databn	Gamma 表 B 分量第 n(0～32)分量值。

VHDHLTICOEF

VHDHLTICOEF 为 VHD 水平亮度 HLTI 滤波系数寄存器。

每个滤波器系数为 10bit，由符号位和小数位组成，最高位为符号位，低 9bit 为小数位的绝对值。由于系数存放在片上 Memory 中，因此默认值为不定态。

VHD 水平亮度 HLTI 滤波为 2 阶 32 相位，由于对称关系，共存储 17 组系数，即 0～16 相位的 2 阶系数。每个寄存器地址包含 2 个 10 比特系数

Offset Address	Register Name	Total Reset Value
0xF000～0xF040	VHDHLTICOEF	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved												hlticoefn2												hlticoefn1							
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:20]	RO	reserved	保留。
[19:10]	RW	hlticoefn2	水平亮度 HLTI 滤波系数 2。
[9:0]	RW	hlticoefn1	水平亮度 HLTI 滤波系数 1。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

VHDHCTICOEF

VHDHCTICOEF 为 VHD 水平色度 HCTI 滤波系数寄存器。

每个滤波器系数为 10bit，由符号位和小数位组成，最高位为符号位，低 9bit 为小数位的绝对值。由于系数存放在片上 Memory 中，因此默认值为不定态。

VHD 水平色度 HCTI 滤波为 2 阶 32 相位，由于对称关系，共存储 17 组系数，即 0～16 相位的 2 阶系数。每个寄存器地址包含 2 个 10 比特系数

Offset Address	Register Name	Total Reset Value
0xF100～0xF140	VHDHCTICOEF	0x0000_0000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved			hcticoefn2		hcticoefn1		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[31:20]	RO	reserved	保留。
[19:10]	RW	hcticoefn2	水平色度 HCTI 滤波系数 2。
[9:0]	RW	hcticoefn1	水平色度 HCTI 滤波系数 1。

VHDVLTICOEF

VHDVLTICOEF 为 VHD 垂直亮度 VLTI 滤波系数寄存器。

每个滤波器系数为 10bit，由符号位和小数位组成，最高位为符号位，低 9bit 为小数位的绝对值。由于系数存放在片上 Memory 中，因此默认值为不定态。

VHD 垂直亮度 VLTI 滤波为 2 阶 32 相位，由于对称关系，共存储 17 组系数，即 0～16 相位的 2 阶系数。每个寄存器地址包含 2 个 10 比特系数。

Offset Address	Register Name	Total Reset Value
0xF200～0xF240	VHDVLTICOEF	0x0000_0000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved			vlticoefn2		vlticoefn1		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[31:20]	RO	reserved	保留。
[19:10]	RW	vlticoefn2	垂直亮度 VLTI 滤波系数 2。
[9:0]	RW	vlticoefn1	垂直亮度 VLTI 滤波系数 1。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

VHDVCTICOEF

VHDVCTICOEF 为 VHD 垂直色度 VCTI 滤波系数寄存器。

每个滤波器系数为 10bit，由符号位和小数位组成，最高位为符号位，低 9bit 为小数位的绝对值。由于系数存放在片上 Memory 中，因此默认值为不定态。

VHD 垂直色度 VCTI 滤波为 2 阶 32 相位，由于对称关系，共存储 17 组系数，即 0～16 相位的 2 阶系数。每个寄存器地址包含 2 个 10 比特系数。

Offset Address	Register Name	Total Reset Value
0xF300～0xF340	VHDVCTICOEF	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved												vcticoefn2												vcticoefn1							
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:20]	RO	reserved	保留。
[19:10]	RW	vcticoefn2	垂直色度 VCTI 滤波系数 2。
[9:0]	RW	vcticoefn1	垂直色度 VCTI 滤波系数 1。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

目 录

12 音频编码.....12-1
12.1 概述.....12-1
12.2 特性.....12-1
12.3 功能描述.....12-1
12.4 工作方式.....12-2
12.5 寄存器概览.....12-3
12.6 寄存器描述.....12-4
12.7 VOIE 寄存器描述.....12-21
12.8 链表结构说明（附）.....12-21

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

插图目录

图 12-1 VOIE 功能框图 12-2
图 12-2 对应的链表结构 12-22
图 12-3 StCrtl 的存储结构 12-22
图 12-4 G726 通道变量结构 12-23
图 12-5 ADPCM 通道变量结构 12-23

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

表格目录

表 12-1 VOIE 寄存器概览（基址是 0x2064_0000） 12-3

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

12 音频编码

12.1 概述

语音硬件加速（VOIE，VoiceEngine）模块实现将 16bit 线性 PCM（pulse code modulation，脉冲编码调制）音频数据编码压缩输出，支持 8/16/32/48KHz 采样频率输入，G726、G711A/U，ADPCM（adaptive difference pulse code modulation，自适应差分脉冲编码调制）三种语音编码协议编码输出。

12.2 特性

VOIE 模块具有以下特性：

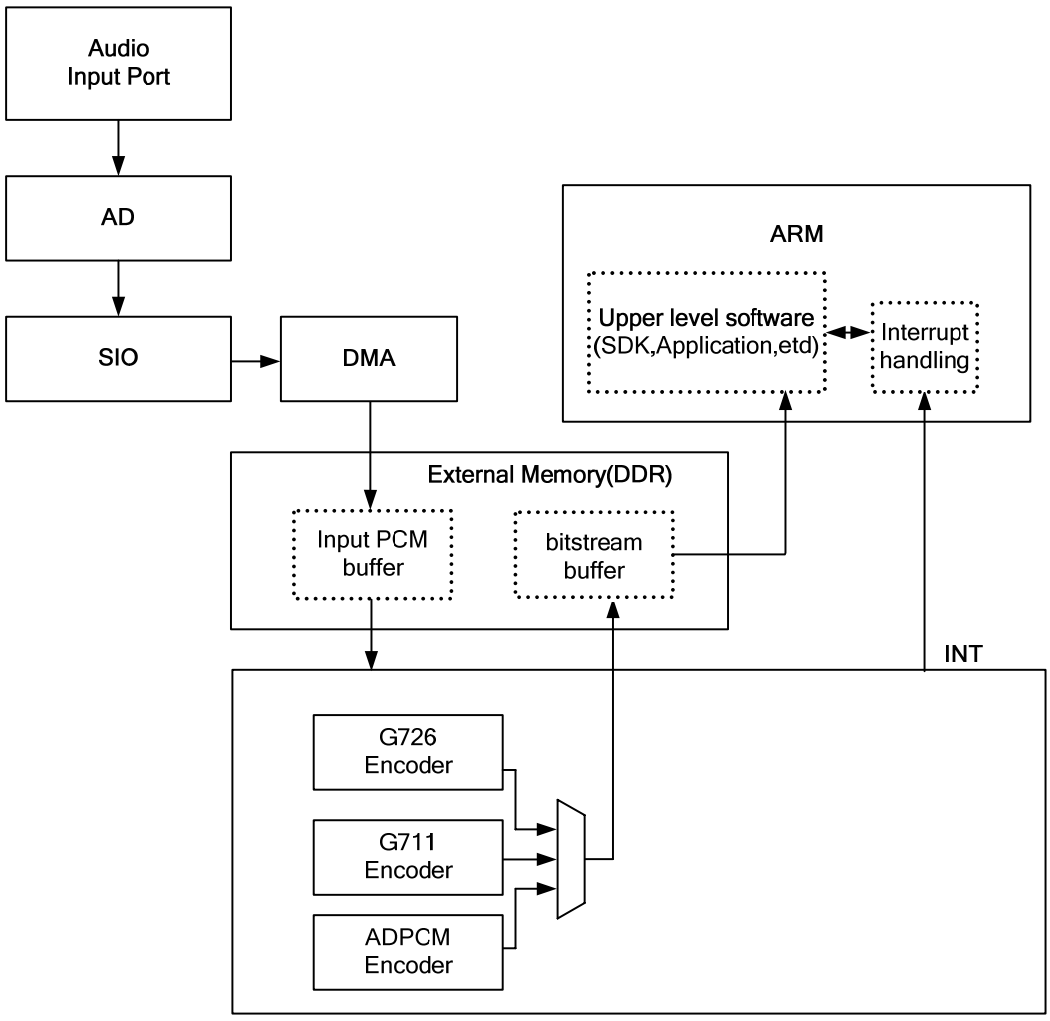
- 输入音频样点格式支持 16bits 线性 PCM，小端模式输入。
- 采样频率支持 8/16/32/48KHz。
- 音频帧帧长度支持 10/20/30/40/50/60ms.
- 每帧输入音频路数可配置，最大支持每帧 17 路音频输入（包含 16 路编码输出，1 路对讲）。
- 支持每帧输入样点数目 80～2880（80 整数倍）。
- 支持 ITU-G.726 协议 40、32、24、16 kbit/s 四种编码压缩率。
- 支持 ITU-G.711A/U 协议编码输出。
- 支持 ADPCM_DVI4、ADPCM_ORG_DVI4 两种封装格式 ADPCM 编码输出。
- 编码输出支持海思帧头。
- 支持对输入帧进行校验，将校验错帧丢弃并上报中断。
- 支持对输入帧长度及编码模式校验，对不符合配置规范帧丢弃并上报中断。
- 支持多帧连续编码。

12.3 功能描述

VOIE 功能框图如图 12-1 所示。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

图12-1 VOIE 功能框图



VOIE 由 G726 Enocder、G711 Enocder 及 ADPCM Enocder 三个编码器模块构成。根据配置编码模式的不同，选择相应的编码器工作。

一帧编码启动前，语音数据通过 AD 输入，由 SIO 输入到语音数据缓存 buffer 中（详见 SIO 工作说明），再通过 DMA 方式将数据存放到 DDR 中供 VOIE 启动硬件编码。由软件配置一帧编码的开始，编码完成后 VOIE 将码流存放到 DDR 相应的缓存区；并上报中断，完成一帧语音数据的编码。

各种编码模式相应的配置值请参见“12.7 VOIE 寄存器描述”。

12.4 工作方式

VOIE 首先从 DDR 中读取一帧的链表及语音帧数据，经过编码器后将码流写入到 DDR 中。

在启动 VOIE 进行语音编码前，软件需要为其在外部存储器（DDR SDRAM）中分配以下三种类型的缓冲区：

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

- 输入语音数据缓冲区：

  VOIE 在编码过程中会从该缓冲区读取待编码的语音数据。该缓冲区由 DMA 写入。

- 编码配置链表缓冲区：

  VOIE 在被启动后、开始编码前，从该缓冲区读取当前通道的配置信息，包括数据源地址、目的地址、通道变量地址、下一通道链表地址及编码控制配置信息。

- 通道变量缓冲区：

  VOIE 在编码过程中会从该缓冲区读取当前通道的通道变量及校验信息（G711 协议编码时无需该类信息），并在编码完成后对其进行刷新。

  链表及通道变量的配置结构请参见“12.8 链表结构说明（附）”。表中 G726_check 为 G.726 编码模式下所有（共 11 个）32bit 通道变量寄存器做无进位累加和；ADPCM_check 与 ADPCM 编码模式下配置的 32bit 通道变量寄存器值一致。

12.5 寄存器概览

VOIE 寄存器概览如表 12-1 所示。

表12-1 VOIE 寄存器概览（基址是 0x2064_0000）

偏移地址	名称	描述	页码
0x0000	VOIE_INTSTAT	中断状态寄存器	12-4
0x0004	VOIE_INTMASK	中断屏蔽寄存器	12-5
0x0008	VOIE_RAWINT	屏蔽前状态寄存器	12-6
0x000C	VOIE_INTCLR	中断清除寄存器	12-7
0x0010	VIOE_START	编码开始信号寄存器	12-8
0x0014	VOIE_OUTSTDING	outstanding 配置寄存器	12-9
0x0020	VOIE_MODE	VOIE 工作模式寄存器	12-9
0x0028	VOIE_CFG	首个链表地址寄存器	12-10
0x0030	VOIE_LLICFG0	链表成员寄存器（SrcPhyAddr）	12-11
0x0034	VOIE_LLICFG1	链表成员寄存器（DstPhyAddr）	12-11
0x0038	VOIE_LLICFG2	链表成员寄存器（StatePhyAddr）	12-11
0x003C	VOIE_LLICFG3	链表成员寄存器（NextLLiAddr）	12-12
0x0040	VOIE_LLICFG4	链表成员寄存器（StCtrl，编码控制）	12-12
0x0050	VOIE_LLISTATE0	G726 编码通道变量寄存器 0	12-14
0x0054	VOIE_LLISTATE1	G726 编码通道变量寄存器 1	12-14

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

偏移地址	名称	描述	页码
0x0058	VOIE_LLISTATE2	G726 编码通道变量寄存器 2	12-15
0x005C	VOIE_LLISTATE3	G726 编码通道变量寄存器 3	12-15
0x0060	VOIE_LLISTATE4	G726 编码通道变量寄存器 4	12-16
0x0064	VOIE_LLISTATE5	G726 编码通道变量寄存器 5	12-16
0x0068	VOIE_LLISTATE6	G726 编码通道变量寄存器 6	12-17
0x006C	VOIE_LLISTATE7	G726 编码通道变量寄存器 7	12-17
0x0070	VOIE_LLISTATE8	G726 编码通道变量寄存器 8	12-18
0x0074	VOIE_LLISTATE9	G726 编码通道变量寄存器 9	12-19
0x0078	VOIE_LLISTATE10	G726 编码通道变量寄存器 10	12-19
0x007C	VOIE_STATE_CHK0	G726 通道变量校验寄存器	12-20
0x0080	VOIE_LLISTATE11	ADPCM 编码通道变量寄存器 11	12-20
0x0084	VOIE_STATE_CHK1	ADPCM 通道变量校验寄存器	12-20

12.6 寄存器描述

VOIE_INTSTAT

VOIE_INTSTAT 为中断状态寄存器。

Offset Address	Register Name	Total Reset Value
0x0000	VOIE_INTSTAT	0x0000_0000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved	cfgErr	reserved	chkErr	reserved	VoieEndofSingle	reserved	VoieEndOfFrame
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[31:25]	RO	reserved	保留。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x0000	VOIE_INTSTAT	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved							cfgErr	reserved							chkErr	reserved							VoieEndofSingle	reserved							VoieEndOfFrame
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[24]	RO	cfgErr	配置出错标志。 0：配置正确； 1：配置出错。
[23:17]	RO	reserved	保留。
[16]	RO	chkErr	检查出错标志。 0：通道变量校验正确； 1：通道变量校验出错。
[15:9]	RO	reserved	保留。
[8]	RO	VoieEndofSingle	单通道编码结束标志。 0：单通道编码未结束； 1：单通道编码结束。
[7:1]	RO	reserved	保留。
[0]	RO	VoieEndOfFrame	帧编码结束标志。 0：当前帧编码未结束； 1：当前帧编码结束。

VOIE_INTMASK

VOIE_INTMASK 为中断屏蔽寄存器。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x0004	VOIE_INTMASK	0x0101_0101

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved							cfgErrMask	reserved							chkErrMask	reserved							VoieEndofSingleMask	reserved							VoieEndOfPicMask
Reset	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	1

Bits	Access	Name	Description
[31:25]	RO	reserved	保留。
[24]	RW	cfgErrMask	配置出错标志屏蔽使能。 0：中断屏蔽使能； 1：中断屏蔽关闭。
[23:17]	RO	reserved	保留。
[16]	RW	chkErrMask	检查出错标志屏蔽使能。 0：中断屏蔽使能； 1：中断屏蔽关闭。
[15:9]	RO	reserved	保留。
[8]	RW	VoieEndofSingleMask	单通道编码结束屏蔽使能。 0：中断屏蔽使能； 1：中断屏蔽关闭。
[7:1]	RO	reserved	保留。
[0]	RW	VoieEndOfPicMask	帧编码结束屏蔽使能。 0：中断屏蔽使能； 1：中断屏蔽关闭。

VOIE_RAWINT

VOIE_RAWINT 为屏蔽前状态寄存器。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x0008	VOIE_RAWINT	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved							cfgErr	reserved							chkErr	reserved							VoieEndofSingle	reserved							VoieEndOfFrame
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:25]	RO	reserved	保留。
[24]	RO	cfgErr	配置出错标志。 0：配置正确； 1：配置错误。
[23:17]	RO	reserved	保留。
[16]	RO	chkErr	检查出错标志。 0：通道变量校验正确； 1：通道变量校验出错。
[15:9]	RO	reserved	保留。
[8]	RO	VoieEndofSingle	单通道编码结束标志。 0：单通道编码为结束； 1：当前通道编码结束。
[7:1]	RO	reserved	保留。
[0]	RO	VoieEndOfFrame	帧编码结束标志。 0：当前帧编码未结束； 1：当前帧编码结束。

VOIE_INTCLR

VOIE_INTCLR 为中断清除寄存器。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x000C	VOIE_INTCLR	0x0000_0000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved	cfgErrClr	reserved	chkErrClr	reserved	VoieEndofSingleClr	reserved	VoieEndOfFrameClr
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[31:25]	RO	reserved	保留。
[24]	WC	cfgErrClr	配置出错源中断清除。 写 1 清
[23:17]	RO	reserved	保留。
[16]	WC	chkErrClr	通道变量检查出错标志源中断清除。 写 1 清
[15:9]	RO	reserved	保留。
[8]	WC	VoieEndofSingleClr	单通道编码结束源中断清除。 写 1 清
[7:1]	RO	reserved	保留。
[0]	WC	VoieEndOfFrameClr	帧编码结束源中断清除。 写 1 清

VIOE_START

VIOE_START 为编码开始信号寄存器。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x0010	VIOE_START	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																															Start
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:1]	RO	reserved	保留。
[0]	WO	Start	编码启动信号。 0：编码未启动 1：编码启动

VOIE_OUTSTDING

VOIE_OUTSTDING 为 outstanding 配置寄存器。

Offset Address	Register Name	Total Reset Value
0x0014	VOIE_OUTSTDING	0x0000_0007

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																												xxx			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1

Bits	Access	Name	Description
[31:4]	RO	reserved	保留。
[3:0]	RW	xxx	配置 AXI 接口 outstanding 深度(支持 0～7 配置)。

VOIE_MODE

VOIE_MODE 为 VOIE 工作模式寄存器。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x0020	VOIE_MODE	0x0000_0000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18	17 16	15 14 13 12	11 10 9	8	7 6 5 4	3 2 1	0
Name	reserved			memClkGateEn	clkGateEn	reserved		accesslockEn	reserved		timeEn
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0	0 0	0 0 0 0	0 0 0	0	0 0 0 0	0 0 0	0

Bits	Access	Name	Description
[31:19]	RO	reserved	保留。
[18]	RW	memClkGateEn	存储器时钟门控使能。 **注意：该功能不开放，不需配置，无效。**
[17:16]	RW	clkGateEn	时钟门控使能。 **注意：不需配置，无效。**
[15:9]	RO	reserved	保留。
[8]	RW	accesslockEn	内部配置锁使能。 **注意：不需配置，无效。**
[7:2]	RO	reserved	保留。
[1:0]	RW	timeEn	超时检测使能。 **注意：不需配置，无效。**

VOIE_CFG

VOIE_CFG 为首个链表地址寄存器。

Offset Address	Register Name	Total Reset Value
0x0028	VOIE_CFG	0x0000_0000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	AddrOfFirstLLI							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[31:0]	RW	AddrOfFirstLLI	存储当前语音帧首个链表的地址。 **注意：编码开始前配置，要求 128bit 对齐。**

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

VOIE_LLICFG0

VOIE_LLICFG0 为链表成员寄存器（SrcPhyAddr）。

Offset Address	Register Name	Total Reset Value
0x0030	VOIE_LLICFG0	0x0000_0000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	SrcPhyAddr							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[31:0]	RO	SrcPhyAddr	待编码语音帧存放在 DDR 中的起始物理地址，要求 128bit 地址对齐。 在编码开始前由软件写入到相应链表 DDR 地址中，编码开始后由 AXI 总线载入。 **注意：这里仅供调试时回读。**

VOIE_LLICFG1

VOIE_LLICFG1 为链表成员寄存器（DstPhyAddr）。

Offset Address	Register Name	Total Reset Value
0x0034	VOIE_LLICFG1	0x0000_0000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	DstPhyAddr							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[31:0]	RO	DstPhyAddr	编码后码流输出到 DDR 的物理地址，128bit 地址对齐。 在编码开始前由软件写入到相应链表 DDR 地址中，编码开始后由 AXI 总线载入。 **注意：这里仅供调试时回读。**

VOIE_LLICFG2

VOIE_LLICFG2 为链表成员寄存器（StatePhyAddr）。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x0038	VOIE_LLICFG2	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	StatePhyAddr																															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:0]	RO	StatePhyAddr	编码时通道变量在 DDR 中存放的物理地址，要求 128bit 地址对齐。 在 G726 和 ADPCM 编码时必须配置；G711 编码时不使用通道变量，可以不配置。 在编码开始前由软件写入到相应链表 DDR 地址中，编码开始后由 AXI 总线载入。 **注意：这里仅供调试时回读。**

VOIE_LLICFG3

VOIE_LLICFG3 为链表成员寄存器（NextLLiAddr）。

Offset Address	Register Name	Total Reset Value
0x003C	VOIE_LLICFG3	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	NextLLiAddr																															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:0]	RO	NextLLiAddr	下一个通道链表存储地址，128bit 地址对齐。 若当前通道为本帧最后一个通道，则将下一链表地址配置为 0x000000；否则不允许配置为 0。 在编码开始前由软件写入到相应链表 DDR 地址中，编码开始后由 AXI 总线载入。 **注意：这里仅供调试时回读。**

VOIE_LLICFG4

VOIE_LLICFG4 为链表成员寄存器（StCtrl，编码控制）。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x0040	VOIE_LLICFG4	0x0000_0081

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	SamplesPerFrame																Codec								hisi_head	reserved							
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	1

Bits	Access	Name	Description
[31:16]	RO	SamplesPerFrame	当前语音帧所包含的音频样点数目：80～2880(且为 80 的整数倍)。 在编码开始前由软件写入到相应链表 DDR 地址中，编码开始后由 AXI 总线载入。 **注意：这里仅供调试时回读。**
[15:8]	RO	Codec	编码类型配置。 0x01：G711 Alaw； 0x02：G711 Ulaw； 0x03：ADPCM_DIV4； 0x04：G726_16kbps； 0x05：G726_24kbps； 0x06：G726_32kbps； 0x07：G726_40kbps； 0x24：MEDIA_G726_16kbps； 0x25：MEDIA_G726_24kbps； 0x26：MEDIA_G726_32kbps； 0x27：MEDIA_G726_40kbps； 0x43：ADPCM_ORG_DIV4； 其他：非法配置，VOIE 若收到其他配置会上报配置错误中断。 在编码开始前由软件写入到相应链表 DDR 地址中，编码开始后由 AXI 总线载入。 **注意：这里仅供调试时回读。**

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x0040	VOIE_LLICFG4	0x0000_0081

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	SamplesPerFrame																Codec								hisi_head	reserved							
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	1

Bits	Access	Name	Description
[7]	RW	hisi_head	输出码流海思帧头使能。 0：不含海思帧头； 1：码流包含海思帧头。 默认配置为 0x1。 在编码开始前由软件写入到相应链表 DDR 地址中，编码开始后由 AXI 总线载入。 **注意：这里仅供调试时回读。**
[6:0]	RO	reserved	保留扩展。

VOIE_LLISTATE0

VOIE_LLISTATE0 为 G726 编码通道变量寄存器 0。

Offset Address	Register Name	Total Reset Value
0x0050	VOIE_LLISTATE0	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	A1																A2															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:16]	RO	A1	G726 编码通道变量，二阶极点预测器系数 1。
[15:0]	RO	A2	G726 编码通道变量，二阶极点预测器系数 2。

VOIE_LLISTATE1

VOIE_LLISTATE1 为 G726 编码通道变量寄存器 1。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x0054	VOIE_LLISTATE1	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	AP												reserved				PK1	PK2	reserved													TD
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:22]	RO	AP	G726 编码通道变量，延时速度控制参数。
[21:16]	RO	reserved	保留。
[15]	RO	PK1	G726 编码通道变量，延时为 1 的 DQ+SEZ 符号位。
[14]	RO	PK2	G726 编码通道变量，延时为 2 的 DQ+SEZ 符号位。
[13:1]	RO	reserved	保留。
[0]	RO	TD	G726 编码通道变量，单音检测信号。

VOIE_LLISTATE2

VOIE_LLISTATE2 为 G726 编码通道变量寄存器 2。

Offset Address	Register Name	Total Reset Value
0x0058	VOIE_LLISTATE2	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	B1																B2															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:16]	RO	B1	G726 编码通道变量，六阶零点预测器系数 1。
[15:0]	RO	B2	G726 编码通道变量，六阶零点预测器系数 2。

VOIE_LLISTATE3

VOIE_LLISTATE3 为 G726 编码通道变量寄存器 3。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x005C	VOIE_LLISTATE3	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	B3																B4															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:16]	RO	B3	G726 编码通道变量，六阶零点预测器系数 3。
[15:0]	RO	B4	G726 编码通道变量，六阶零点预测器系数 4。

VOIE_LLISTATE4

VOIE_LLISTATE4 为 G726 编码通道变量寄存器 4。

Offset Address	Register Name	Total Reset Value
0x0060	VOIE_LLISTATE4	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	B5																B6															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:16]	RO	B5	G726 编码通道变量，六阶零点预测器系数 5。
[15:0]	RO	B6	G726 编码通道变量，六阶零点预测器系数 6。

VOIE_LLISTATE5

VOIE_LLISTATE5 为 G726 编码通道变量寄存器 5。

Offset Address	Register Name	Total Reset Value
0x0064	VOIE_LLISTATE5	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	DML															reserved	DMS												reserved			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:18]	RO	DML	G726 编码通道变量，延时的 F(I)长期平均值。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x0064	VOIE_LLISTATE5	0x0000_0000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	DML			reserved	DMS			reserved
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[17:16]	RO	reserved	保留。
[15:4]	RO	DMS	G726 编码通道变量，延时的 F(I)短期平均值。
[3:0]	RO	reserved	保留。

VOIE_LLISTATE6

VOIE_LLISTATE6 为 G726 编码通道变量寄存器 6。

Offset Address	Register Name	Total Reset Value
0x0068	VOIE_LLISTATE6	0x0400_0400

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	DQ1			reserved	DQ2			reserved
Reset	0 0 0 0	0 1 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 1 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[31:21]	RO	DQ1	G726 编码通道变量，延时为 1 的量化差值信号。 默认值：0x20。
[20:16]	RO	reserved	保留。 默认值：0。
[15:5]	RO	DQ2	G726 编码通道变量，延时为 2 的量化差值信号。 默认值：0x20。
[4:0]	RO	reserved	保留。 默认值：0。

VOIE_LLISTATE7

VOIE_LLISTATE7 为 G726 编码通道变量寄存器 7。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x006C	VOIE_LLISTATE7	0x0400_0400

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	DQ3			reserved	DQ4			reserved
Reset	0 0 0 0	0 1 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 1 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[31:21]	RO	DQ3	G726 编码通道变量，延时为 3 的量化差值信号。 默认值：0x20。
[20:16]	RO	reserved	保留。 默认值：0。
[15:5]	RO	DQ4	G726 编码通道变量，延时为 4 的量化差值信号。 默认值：0x20。
[4:0]	RO	reserved	保留。 默认值：0。

VOIE_LLISTATE8

VOIE_LLISTATE8 为 G726 编码通道变量寄存器 8。

Offset Address	Register Name	Total Reset Value
0x0070	VOIE_LLISTATE8	0x0400_0400

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	DQ5			reserved	DQ6			reserved
Reset	0 0 0 0	0 1 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 1 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[31:21]	RO	DQ5	G726 编码通道变量，延时为 5 的量化差值信号。 默认值：0x20。
[20:16]	RO	reserved	保留。 默认值：0。
[15:5]	RO	DQ6	G726 编码通道变量，延时为 6 的量化差值信号。 默认值：0x20。
[4:0]	RO	reserved	保留。 默认值：0。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

VOIE_LLISTATE9

VOIE_LLISTATE9 为 G726 编码通道变量寄存器 9。

Offset Address	Register Name	Total Reset Value
0x0074	VOIE_LLISTATE9	0x0400_0400

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	SR1			reserved	SR2			reserved
Reset	0 0 0 0	0 1 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 1 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[31:21]	RO	SR1	G726 编码通道变量，延时为 1 的重构信号。 默认值：0x20。
[20:16]	RO	reserved	保留。 默认值：0。
[15:5]	RO	SR2	G726 编码通道变量，延时为 2 的重构信号。 默认值：0x20。
[4:0]	RO	reserved	保留。 默认值：0。

VOIE_LLISTATE10

VOIE_LLISTATE10 为 G726 编码通道变量寄存器 10。

Offset Address	Register Name	Total Reset Value
0x0078	VOIE_LLISTATE10	0x1100_0220

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	YL					YU		
Reset	0 0 0 1	0 0 0 1	0 0 0 0	0 0 0 0	0 0 0 0	0 0 1 0	0 0 1 0	0 0 0 0

Bits	Access	Name	Description
[31:13]	RO	YL	G726 编码通道变量，慢速量化尺度因子。 默认值：0x8800。
[12:0]	RO	YU	G726 编码通道变量，快速量化尺度因子。 默认值：0x220。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

VOIE_STATE_CHK0

VOIE_STATE_CHK0 为 G726 通道变量校验寄存器。

Offset Address	Register Name	Total Reset Value
0x007C	VOIE_STATE_CHK0	0x2100_1220

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	g726_check																															
Reset	0	0	1	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	1	0	0	1	0	0	0	1	0	0	0	0	0

Bits	Access	Name	Description
[31:0]	RO	g726_check	G726 通道变量校验结果。

VOIE_LLISTATE11

VOIE_LLISTATE11 为 ADPCM 编码通道变量寄存器 11。

Offset Address	Register Name	Total Reset Value
0x0080	VOIE_LLISTATE11	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	valprev																reserved								index							
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:16]	RO	valprev	ADPCM 编码通道变量，上一音频点重构值。
[15:8]	RO	reserved	保留。
[7:0]	RO	index	ADPCM 编码通道变量，量化表的索引值。

VOIE_STATE_CHK1

VOIE_STATE_CHK1 为 ADPCM 通道变量校验寄存器。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x0084	VOIE_STATE_CHK1	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	adpcm_check																															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:0]	RO	adpcm_check	ADPCM 通道变量校验结果。

12.7 链表结构说明（附）

图 12-2 为链表结构体及其在 DDR 中的排列方式。需要将链表写入 DDR 中，并将首链表地址通过寄存器配置到 VOIE_CFG 寄存器（地址：0x2064_0028）。

链表结构体：

```
typedef struct hiVOICE_ENGINE_LLI_STATE
{
    HI_U32          u32SrcPhyAddr;
    HI_U32          u32DstPhyAddr;
    HI_U32          u32StatePhyAddr;
    HI_U32          u32NextLLiAddr;
    VOICE_ENGINE_Ctrl stCtrl;
    HI_U32          u32Reserved0;
    HI_U32          u32Reserved1;
    HI_U32          u32Reserved2;
} VOICE_ENGINE_LLI_STATE;
```


海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

图12-2 对应的链表结构

地址递增

Bit数	存储内容	说明
32	SrcPhyAddr	编码输入内存物理地址，128bit 地址对齐
32	DstPhyAddr	编码输出内存物理地址，128bit 地址对齐
32	StatePhyAddr	编码器通道变量内存物理地址，128bit 地址对齐
32	NextLLiAddr	下一个编码链地址，128bit 地址对齐
32	StCtrl	编码控制结构体
32	Reserved0	保留扩展
32	Reserved1	保留扩展
32	Reserved2	保留扩展

图12-3 StCrtl 的存储结构

内容	Reserved	hisi_head	Codec	SamplesPerFrame
Bit分配	6:0	7	15:8	31:16

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

图12-4 G726 通道变量结构

保留为均为0

地址递增

Bit数	存储内容	说明
32	A1[15:0] A2[15:0]	[31:16] [15:0]
32	AP[9:0] PK1 PK2 TD	[31:22] [15] [14] [0]
32	B1[15:0] B2[15:0]	[31:16] [15:0]
32	B3[15:0] B4[15:0]	[31:16] [15:0]
32	B5[15:0] B6[15:0]	[31:16] [15:0]
32	DML[13:0] DMS[11:0]	[31:18] [15:4]
32	DQ1[10:0] DQ2[10:0]	[31:21] [15:5]
32	DQ3[10:0] DQ4[10:0]	[31:21] [15:5]
32	DQ5[10:0] DQ6[10:0]	[31:21] [15:5]
32	SR1[10:0] SR2[10:0]	[31:21] [15:5]
32	YL[18:0] YU[12:0]	[31:13] [12:0]
32	G726_check	[31:0]

图12-5 ADPCM 通道变量结构

保留位均为0

地址递增

Bit数	存储内容	说明
32	valprev[15:0] index[7:0]	[31:16] [7:0]
32	adpcm_check	[31:0]

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

目 录

13 音频接口 13-1
13.1 概述 13-1
13.2 特点 13-1
13.3 功能描述 13-2
13.4 工作方式 13-7
13.5 寄存器概览 13-9
13.6 寄存器描述 13-11

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

插图目录

图 13-1 I²S 接口主模式连接示意图 13-2
图 13-2 I²S 接口从模式连接示意图 13-3
图 13-3 录音 I²S/PCM 主模式 13-3
图 13-4 录音 I²S/PCM 从模式 13-4
图 13-5 SIO 与 HDMI 对接示意图 13-4
图 13-6 I²S 接口时序 13-5
图 13-7 PCM 接口标准模式时序 13-5
图 13-8 PCM 接口自定义模式时序 13-5
图 13-9 I²S 2/4/8/16 路接收 13-6
图 13-10 PCM 2/4/8/16 路接收 13-6

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

表格目录

表 13-1 SIO 寄存器概览 13-9

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

13 音频接口

13.1 概述

音频输入输出接口 SIO（Sonic Input/Output），用于和片外 Audio CODEC 芯片连接，完成音乐（语音）的播放及录制。Hi3521 内部集成 4 个 SIO，SIO0、SIO1、SIO2、SIO3，其中 SIO0 和 SIO1 支持 8/16 路音频输入，SIO2 支持语音对讲的输入输出，SIO3 通过 I^2S 接口实现与 HDMI 在芯片内部对接。

13.2 特点

SIO 接口支持 PCM（Pulse Code Modulation）和 I^2S 两种模式。其中，PCM 接口主要用于语音通道，比如 VOIP 电话；I^2S 接口主要用于配合 AUDIO CODEC 完成对讲和录音。SIO 接口还支持 DMA 操作。

PCM 接口

PCM 接口有如下特点：

- 支持主模式和从模式。
- 支持单声道 8bit 或 16bit 线性 PCM 编码的发送和接收。
- 支持 2/4/8/16 路 8/16 bit 数据的多路接收。
- 支持由芯片内部产生位时钟以及帧同步信号，也可支持外接时钟及同步信号。
- PCM 接口帧同步信号仅支持短脉冲同步信号（同步信号的持续时间为 1 个时钟周期），支持标准和自定义 2 种模式。
- 支持发送和接收通道单独使能。
- 接收通道和发送通道具有独立的 FIFO（深度为 16）。

I^2S 接口

I^2S 接口有如下特点：

- 支持主模式和从模式。
- 支持左右声道 16/18/20/24/32bit 数据位宽的发送和接收。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

- 支持 2/4/8/16 路 8/16bit 数据的多路接收。
- 支持 8K～192K 采样率。
- I^2S 接收通道和发送通道具有独立的 FIFO，并且，每个通道的左声道和右声道均有独立的 FIFO，其 FIFO 深度为 16，FIFO 水线可调。
- I^2S 支持发送和接收通道单独使能。
- 对于 I^2S 接口 16bit 数据宽度的传输模式，支持左右声道接收数据合并成一个 32bit 数据在接收 FIFO 中存储，支持左右声道发送数据合并成一个 32bit 数据写入发送 FIFO，从而提高 FIFO 的缓冲能力。多路（2/4/8/16 路 8/16bit 数据）接收时不支持该合并功能。

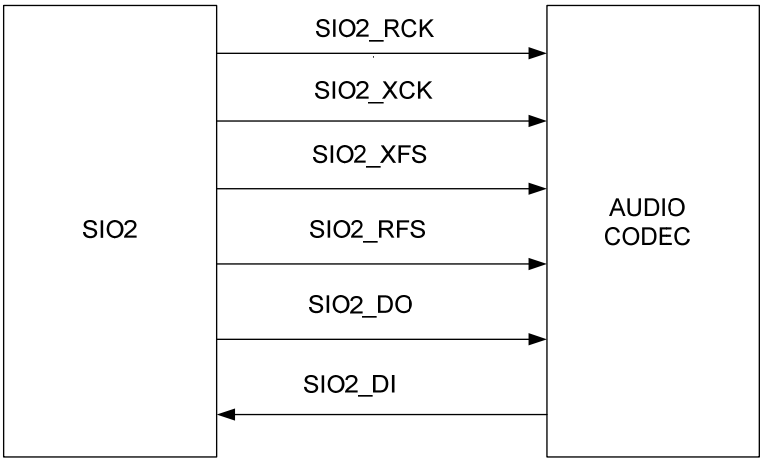
13.3 功能描述

典型应用

SIO2 用于语音对讲（输入输出），以下对 I^2S 接口的典型连接进行说明。

主模式下，I^2S 接口的典型连接如图 13-1 所示。

图13-1 I^2S 接口主模式连接示意图

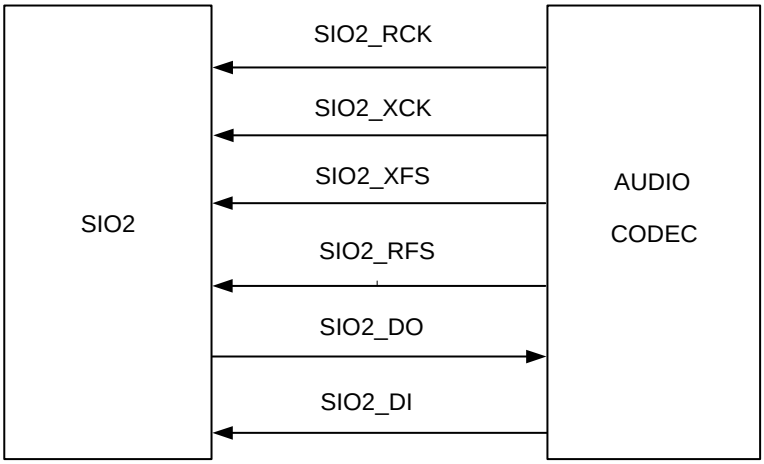


在主模式下，位流时钟和左右声道选择信号由 SIO 送给 AUDIO CODEC。而在从模式下，位流时钟和左右声道选择信号由 AUDIO CODEC 送给 SIO。

从模式下，I^2S 接口的典型连接如图 13-2 所示。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

图13-2 I²S 接口从模式连接示意图



在从模式下，AUDIO CODEC 的主工作时钟使用外接的晶振。

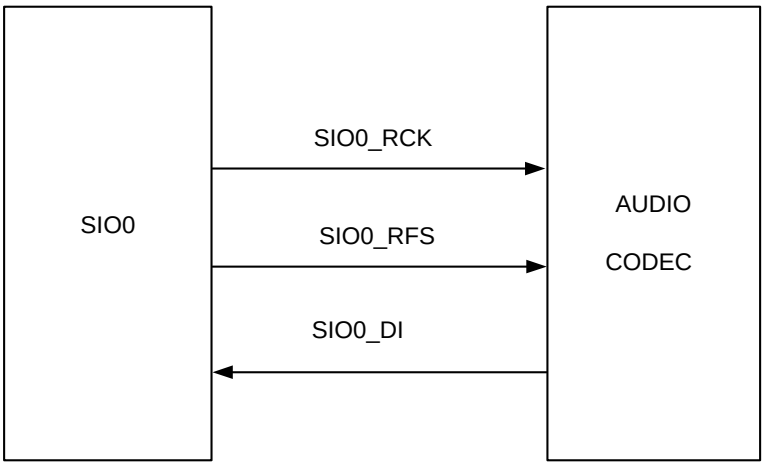
由 SIO 提供时钟和同步信号时（主模式），PCM 接口的连接同 I²S 模式一样，如图 13-1 所示。

由 AUDIO CODEC 提供时钟和同步信号时（从模式），PCM 接口的连接同 I²S 模式一样，如图 13-2 所示。

由 AUDIO CODEC 提供时钟和同步信号时，AUDIO CODEC 的主工作时钟来自外接的晶振。

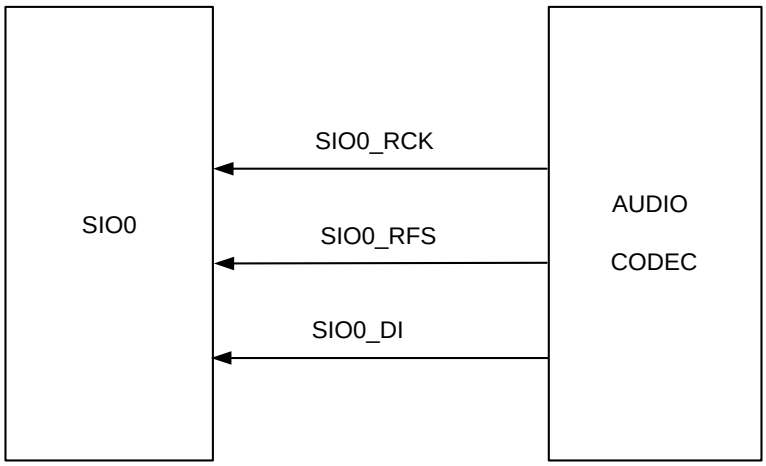
SIO0~SIO1 用于典型 8/16 路 16bits 音频数据的录音，以 SIO0 示意，对其连接进行说明。I²S/PCM 模式连接如图 13-3 和图 13-4 所示。

图13-3 录音 I²S/PCM 主模式



海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

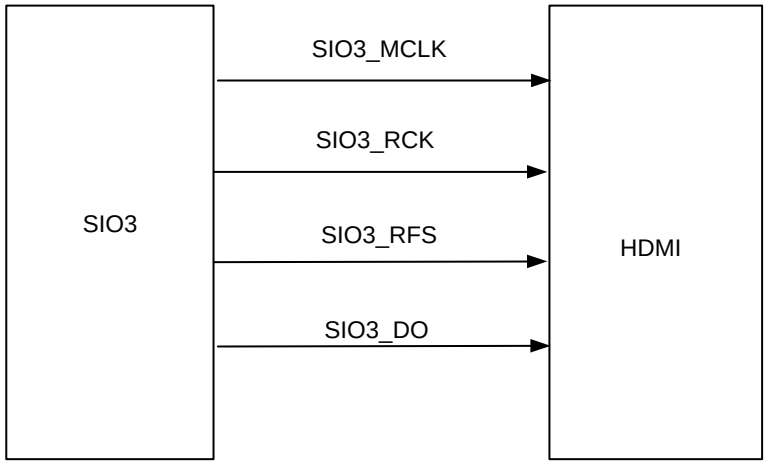
图13-4 录音 I²S/PCM 从模式



录音采用多路接收功能，即支持接收输入 2/4/8/16 路，数据位宽为 8/16bits。SIO1 连接与上描述相同。

SIO3 在芯片内部实现和 HDMI 对接，对接方式只支持主模式，并且是 I²S 连接模式。SIO 与 HDMI 对接示意图如图 13-5 所示。

图13-5 SIO 与 HDMI 对接示意图



功能原理

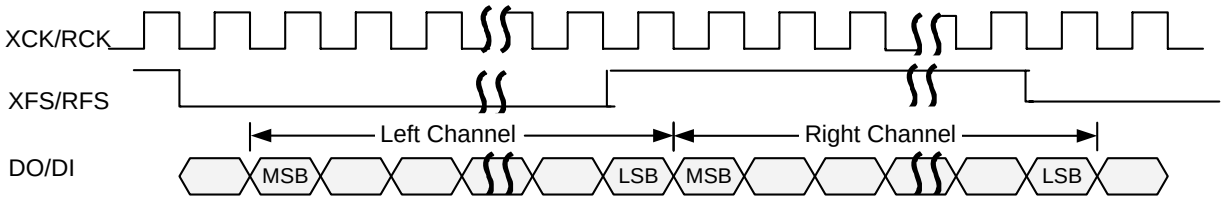
SIO 接收通过内部总线传送过来的音频数据，然后按照设定的采样率，把音频数据通过 I²S 或 PCM 接口传送给对接的 AUDIO CODEC，AUDIO CODEC 进行 DA（Digital-to-Analog）转换后进行声音播放。同时，通过 I²S 或 PCM 接口，SIO 接收对接 AUDIO CODEC 进行 AD（Analog-to-Digital）转换后的音频数据，先存入内部 FIFO，然后由 CPU 取走并存储，从而完成录音功能。

I²S 接口传输数据分为左右两个声道，根据 XFS（RFS）信号的高低电平区分，如图 13-6 所示。按照协议，用 XCK/RCK 时钟的上升沿进行数据采样，MSB 在 XFS/RFS 变化的下一个时钟周期有效。总是先传送 MSB，后传送 LSB。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

I²S 接口的时序如图 13-6 所示。

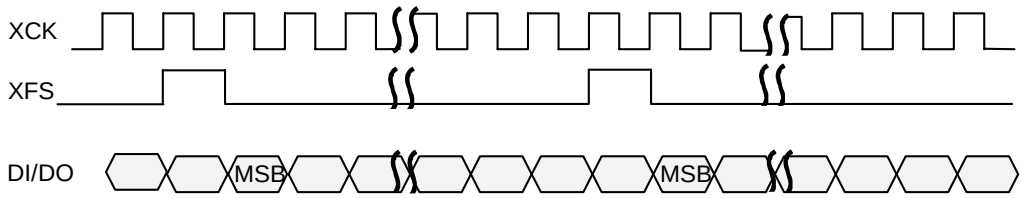
图13-6 I²S 接口时序



PCM 接口传输的数据是单声道数据，XFS 标识数据的起始位置，先发送（接收）最高有效位 MSB，使用时钟的下降沿采样数据。标准模式时序中，MSB 数据在 XFS 高电平脉冲之后一个周期有效；自定义模式时序中，MSB 的位置是与 XFS 的高电平脉冲对齐的。

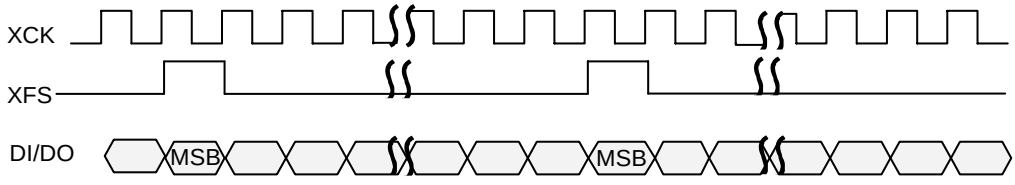
PCM 接口标准模式下的时序如图 13-7 所示。

图13-7 PCM 接口标准模式时序



PCM 接口自定义模式下的时序如图 13-8 所示。

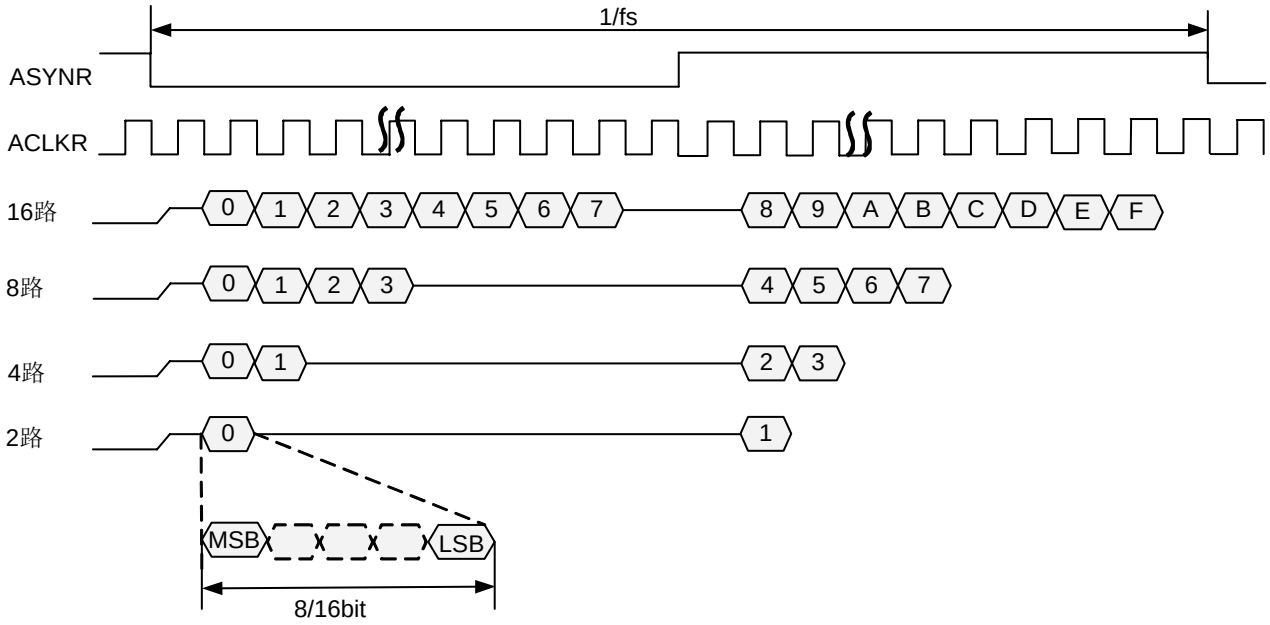
图13-8 PCM 接口自定义模式时序



I²S 进行多路（2/4/8/16 路 8/16bit）接收时，数据分别放于 I²S 时序的左右声道，如图 13-9 所示。

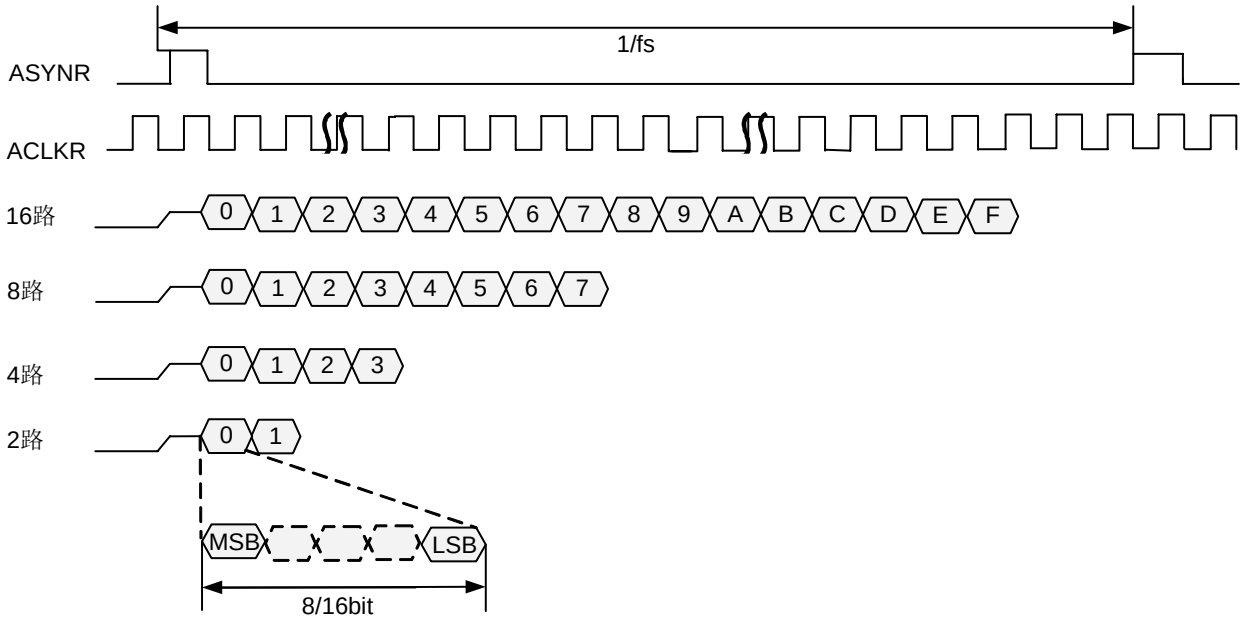
海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

图13-9 I^2S 2/4/8/16 路接收



PCM 模式下的多路接收，如图 13-10 所示。支持 PCM 标准和自定义两种模式，与单声道不同的是，SIO 可以选择数据采样时刻（上升沿或下降沿）接收。以上升沿为例。

图13-10 PCM 2/4/8/16 路接收



海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

13.4 工作方式

时钟门控

当不进行录音或者音频播放时，设置 SIO 的 SIO_CT_SET[rx_enable]和 SIO_CT_SET[tx_enable]为 0 后，可以配置 PERI_CRG35、PERI_CRG36、PERI_CRG37 PERI_CRG38 关断 SIO 时钟：

- 向 PERI_CRG35 [sio0_cken]写 0，关断 SIO0 的时钟。
- 向 PERI_CRG36 [sio1_cken]写 0，关断 SIO1 的时钟。
- 向 PERI_CRG37 [sio2_cken]写 0，关断 SIO2 的时钟。
- 向 PERI_CRG38 [sio3_cken]写 0，关断 SIO3 的时钟。

如果要恢复时钟产生，可以将相应寄存器值配为 1：

- 向 PERI_CRG35 [sio0_cken]写 1，打开 SIO0 的时钟使能。
- 向 PERI_CRG36 [sio1_cken]写 1，打开 SIO1 的时钟使能。
- 向 PERI_CRG37 [sio2_cken]写 1，打开 SIO2 的时钟使能。
- 向 PERI_CRG38 [sio3_cken]写 1，打开 SIO3 的时钟使能。

时钟配置

4 个 SIO 相互独立，时钟配置方式相同，其中 SIO0~SIO2 可以选择主模式或从模式，但 SIO3 只能工作在主模式。

如果 SIO 工作在主模式下，以 SIO0 为例，需配置 PERI_CRG35 [sio0_bclk_sel]为 1，即选取主模式，否则配置 PERI_CRG35 [sio0_bclk_sel]为 0，即选择从模式。然后通过配置 PERI_CRG35 [sio0_bclk_div]和 PERI_CRG35 [sio0_fsclk_div]选择位流时钟和同步时钟的相应分频比。

软复位

4 个 SIO 相互独立，复位配置方式相同。

以 SIO0 为例，通过配置 PERI_CRG35 [sio0_srst_req]为 1，可实现对 SIO0 的单独软复位。复位后各配置寄存器的值均复位为默认值，因此复位后需要重新对这些寄存器进行初始化配置。

中断或查询方式下的播放和录音

初始化步骤如下：

步骤 1. 设置 SIO_CT_SET/SIO_CT_CLR[rx_enable]和 SIO_CT_SET/SIO_CT_CLR[tx_enable]为 0，使 SIO 处于禁止状态；

步骤 2. 设置 SIO_MODE[sio_mode]，选择 I^2S 或 PCM 模式；如果是 PCM 模式，设置 SIO_MODE[pcm_mode]，选择时序类型。多路录音则要设置 SIO_MODE[ext_rec_en]、SIO_MODE[chn_num]和 SIO_MODE[clk_edge]。

步骤 3. 如果 SIO 为主模式，对时钟频率进行配置（如果是从模式，不需配置）。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

步骤 4. 配置 SIO_DATA_WIDTH_SET 寄存器、配置 SIO_SIGNED_EXT 寄存器，以设定正确的位宽。

步骤 5. 配置 SIO_CT_SET[rx_fifo_threshold]和 SIO_CT_SET[tx_fifo_threshold]，即：设置接收 FIFO 和发送 FIFO 的水线。

步骤 6. 如果是 I^2S 模式，根据实际读写 FIFO 数据的方式，配置 SIO_I2S_POS_MERGE_EN 和 SIO_I2S_START_POS。同时，设置 SIO_CT_SET[tx_data_merge_en]和 SIO_CT_SET[rx_data_merge_en]。多路录音则不用进行该步骤设置。

步骤 7. 根据中断屏蔽的需要，设置 SIO 的中断屏蔽寄存器 SIO_INTMASK，设置 SIO_CT_SET[intr_en]。

步骤 8. 对外接的 AUDIO CODEC 进行设置。

----结束

音频播放步骤如下：

步骤 1. 设置 SIO_CT_SET[tx_fifo_disable]为 1，然后再设置为 0，以清除发送 FIFO 的残留数据。

步骤 2. 将发送数据写入发送 FIFO，向 SIO_CT_SET[tx_enable]写 1，启动数据发送。

步骤 3. 查询方式下，通过读取 SIO_TX_STA 判断 TX_FIFO 状态；中断方式下，则根据中断状态 SIO_INTSTATUS[tx_intr]上报判断。当检测到发送 FIFO 中数据深度低于水线时，向发送 FIFO 写入数据，如此反复。如果数据发送全部完成，进入步骤 4。在传送完成之前，要保证 TX_FIFO 中的数据没有溢出，否则会造成声音不连续。

步骤 4. 把 SIO_CT_SET[tx_enable]设置为 0。

----结束

录音步骤如下：

步骤 1. 清除接收 FIFO 的残留数据，方法是：把 SIO_CT_SET[rx_fifo_disable]设置为 1，然后再设置为 0。

步骤 2. 向 SIO_CT_SET[rx_enable]写 1，启动数据接收。

步骤 3. 查询方式下，通过读取 SIO_RX_STA 检测 RX_FIFO 状态；中断方式下，则根据相应中断状态位检测。当检测到接收 FIFO 中数据深度高于水线时，从接收 FIFO 读出数据，如此反复。如果数据接收完成，进入步骤 4。在接收完成之前，要保证 RX_FIFO 中的数据没有溢出，否则会造数据丢失。

步骤 4. 把 SIO_CT_SET[rx_enable]设置为 0，并把接收 FIFO 中剩余的数据全部读出。

----结束

DMA 方式下的播放和录音

初始化步骤与查询和中断方式下的播放和录音方式相同。

音频播放的步骤如下：

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

步骤 1. 配置中断屏蔽寄存器 SIO_INTMASK[tx_intr]为 1，屏蔽发送中断。

步骤 2. 配置 DMA 数据通道，包括数据传输源和目的地址、数据传输个数、传输类型等参数，具体请参见 DMA 配置章节。

步骤 3. 设置 SIO_CT_SET[tx_fifo_disable]为 1，然后再设置为 0，以清除发送 FIFO 的残留数据。

步骤 4. 向发送 FIFO 写入初始数据，深度超过 FIFO 水线。（可写入全 0 的数据，代表静音。目的是：当启动播放时，因为 DMA 还没有向 FIFO 中写入数据，此时 SIO 会报发送 FIFO 下溢。如果先写入初始数据，就可以防止播放刚启动时误报 FIFO 溢出。）

步骤 5. 设置 SIO_CT_SET[tx_enable]为 1，启动播放。

步骤 6. 通过 DMA 中断上报，判断数据是否发送完成，如果完成，则设置 SIO_CT_SET[tx_enable]为 0。

----结束

录音步骤如下：

步骤 1. 配置 DMA 数据通道，包括数据传输源地址、目的地址、数据传输个数、传输类型等参数，具体请参见 DMA 配置章节。

步骤 2. 清除接收 FIFO 的残留数据，方法是：把 SIO_CT_SET[rx_fifo_disable]设置为 1，然后再设置为 0。

步骤 3. 设置 SIO_CT_SET[rx_enable]为 1，启动数据接收。

步骤 4. 如果停止录音，设置 SIO_CT_SET[rx_enable]为 0。

----结束

13.5 寄存器概览

Hi3521 寄存器基地址：

- SIO0：0x1003_0000。
- SIO1：0x1004_0000。
- SIO2：0x1005_0000。
- SIO3：0x1006_0000。

寄存器概览如表 13-1 所示。

表13-1 SIO 寄存器概览

偏移地址	名称	描述	页码
0x03C	SIO_VERSION	SIO 版本寄存器	13-11
0x040	SIO_MODE	SIO 模式寄存器	13-11

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

偏移地址	名称	描述	页码
0x044	SIO_INTSTATUS	SIO 中断状态寄存器	13-13
0x048	SIO_INTCLR	SIO 中断清除寄存器	13-15
0x04C	SIO_I2S_LEFT_XD	I^2S 左通道数据发送寄存器	13-16
0x050	SIO_I2S_RIGHT_XD	I^2S 右通道数据发送寄存器	13-16
0x050	SIO_PCM_XD	PCM 数据发送寄存器	13-16
0x054	SIO_I2S_LEFT_RD	I^2S 左通道数据接收寄存器	13-17
0x058	SIO_I2S_RIGHT_RD	I^2S 右通道数据接收寄存器	13-17
0x058	SIO_PCM_RD	PCM 数据接收寄存器	13-18
0x05C	SIO_CT_SET	I^2S/PCM 控制设置寄存器	13-18
0x060	SIO_CT_CLR	I^2S/PCM 控制清除寄存器	13-20
0x064	RESERVED	保留	-
0x068	SIO_RX_STA	SIO 接收状态寄存器	13-22
0x06C	SIO_TX_STA	SIO 发送状态寄存器	13-23
0x070～0x074	RESERVED	保留	-
0x078	SIO_DATA_WIDTH_SET	I^2S/PCM 数据宽度设置寄存器	13-23
0x07C	SIO_I2S_START_POS	I^2S 左右通道起始位置控制寄存器	13-25
0x080	I2S_POS_FLAG	I^2S 左右声道操作当前位置状态寄存器	13-25
0x084	SIO_SIGNED_EXT	高位数据符号扩展使能寄存器	13-26
0x088	SIO_I2S_POS_MERGE_EN	I^2S 左右声道合并使能寄存器	13-27
0x08C	SIO_INTMASK	SIO 中断屏蔽寄存器	13-27
0x090～0x09C	RESERVED	保留	-
0x0A0	SIO_I2S_DUAL_RX_CHN	I^2S 左右通道合并后数据接收寄存器	13-28
0x0C0	SIO_I2S_DUAL_TX_CHN	I^2S 左右通道合并后数据发送寄存器	13-29

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

13.6 寄存器描述

SIO_VERSION

版本寄存器，用来记录 SIO 的版本号和进行 SIO 的自测试。

offset Address	Register Name	Total Reset Value
0x03C	SIO_VERSION	0x0000_0013

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																							sio_loop	version							
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	1	1

Bits	Access	Name	Description
[31:9]	-	reserved	保留。
[8]	RW	sio_loop	SIO 循环和正常模式选择。 0：正常模式； 1：SIO 发送和接收数据环回模式。用于 SIO 的自测试。在该模式下，在 SIO 的对外接口处，SIO 接收串行数据线与 SIO 发送串行数据线直接相连。
[7:0]	RO	vesion	SIO 的版本号。

SIO_MODE

模式寄存器，用来对 SIO 工作的基本模式进行选择：

- 主模式下，CRG 送时钟和同步信号给 CODEC，同时给 SIO。
- 从模式下，时钟和同步信号由外部 CODEC 送给 SIO。

I^2S 或 PCM 的主从模式选择请参见“13.4 工作方式”中的“时钟配置”。

offset Address	Register Name	Total Reset Value
0x040	SIO_MODE	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																									clk_edge	chn_num		ext_rec_en	reserved	pcm_mode	sio_mode
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

[31:7]	-	reserved	保留。
[6]	RW	clk_edge	PCM 多路接收模式下，采样数据时钟边沿选择。 0：下降沿有效； 1：上升沿有效。
[5:4]	RW	chn_num	多路接收的通道数选择。 00：2 chn； 01：4 chn； 10：8 chn； 11：16 chn。.
[3]	RW	ext_rec_en	标准模式下，I2S 接收两个声道的数据，即左声道和右声道。PCM 只接收一个声道的数据。 多路接收模式下，对于 I2S 或 PCM，接收通道数可以配置。该模式下，通道的数据宽度必须为 8bit 或 16bit。 0：标准的 I2S 或 PCM 接收模式； 1：扩展的 I2S 或 PCM 多路接收模式。
[2]	-	reserved	保留，必须配置为 0。
[1]	RW	pcm_mode	PCM 时序模式。 0：标准模式； 1：自定义模式。
[0]	RW	sio_mode	PCM/I^2S 模式选择。 0：I^2S 模式； 1：PCM 模式。

SIO_INTSTATUS

SIO 的中断状态指示寄存器。

对于接收中断，当接收 FIFO 的数据深度大于 FIFO 阈值时，会一直把高电平锁存到中断状态寄存器中，一直产生中断（即使 CPU 清一次中断，但中断状态寄存器会在下一个时钟周期再次置位）。因此，建议 CPU 的处理步骤为：

步骤 1. 向 SIO_CT_CLR[intr_en]写 1，关闭全局中断使能。

步骤 2. 读中断状态寄存器 SIO_INTSTATUS。

步骤 3. 根据中断源进行相应处理。

步骤 4. 向 SIO_INTCLR 的相应位写 1，清除中断。

步骤 5. 向写寄存器 SIO_CT_SET[intr_en]写 1，打开全局中断使能。

----结束

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

发送中断的产生方式与接收中断产生方式相同，因此对于发送中断的处理，建议也采用相同的方式。

本寄存器是原始中断状态寄存器。在相应中断位屏蔽的情况下，中断条件满足时，对应中断状态位仍然会置位，但不会触发中断。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x044	SIO_INTSTATUS	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																										tx_left_fifo_under	tx_right_fifo_under	rx_left_fifo_over	rx_right_fifo_over	tx_intr	rx_intr
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:6]	-	reserved	保留。
[5]	RO	tx_left_fifo_under	I^2S 模式下，左声道发送 FIFO 下溢中断状态。PCM 模式下无效。 0：未产生中断； 1：已产生中断。
[4]	RO	tx_right_fifo_under	I^2S 模式下，右声道发送 FIFO 下溢中断状态。PCM 模式下，PCM 发送 FIFO 下溢标志。 0：未产生中断； 1：已产生中断。
[3]	RO	rx_left_fifo_over	I^2S 模式下，左声道接收 FIFO 上溢中断状态。PCM 模式下无效。 0：未产生中断； 1：已产生中断。
[2]	RO	rx_right_fifo_over	I^2S 模式下，右声道接收 FIFO 上溢中断状态。PCM 模式下，PCM 接收 FIFO 下溢标志。 0：未产生中断； 1：已产生中断。
[1]	RO	tx_intr	发送 FIFO 低于阈值中断状态。 0：未产生中断； 1：已产生中断。
[0]	RO	rx_intr	接收 FIFO 高于阈值中断状态。 0：未产生中断； 1：已产生中断。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

SIO_INTCLR

中断清除寄存器，可以按位清除。

Offset Address	Register Name	Total Reset Value
0x048	SIO_INTCLR	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																										tx_left_fifo_under	tx_right_fifo_under	rx_left_fifo_over	rx_right_fifo_over	tx_intr	rx_intr
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:6]	-	reserved	保留。
[5]	WO	tx_left_fifo_under	I^2S 模式下，左声道发送 FIFO 下溢中断清除。PCM 模式下无效。 0：不清除； 1：清除。
[4]	WO	tx_right_fifo_under	I^2S 模式下，右声道发送 FIFO 下溢中断清除。PCM 模式下，PCM 发送 FIFO 下溢中断清除。 0：不清除； 1：清除。
[3]	WO	rx_left_fifo_over	I^2S 模式下，左声道接收 FIFO 上溢中断清除。PCM 模式下无效。 0：不清除； 1：清除。
[2]	WO	rx_right_fifo_over	I^2S 模式下，右声道接收 FIFO 上溢中断清除。PCM 模式下，PCM 接收 FIFO 下溢中断清除。 0：不清除； 1：清除。
[1]	WO	tx_intr	发送 FIFO 低于阈值中断清除。 0：不清除； 1：清除。
[0]	WO	rx_intr	接收 FIFO 高于阈值中断清除。 0：不清除； 1：清除。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

SIO_I2S_LEFT_XD

I²S 模式下的左声道数据发送寄存器。

向寄存器写数据时，有效数据需放在寄存器的低 bit 区域。例如，数据宽度为 8bit 时，bit[7:0]为有效数据，bit[31:8]为无效数据；数据宽度为 16bit 时，bit[15:0]为有效数据，bit[31:16]为无效数据。超出有效数据宽度的 bit 位由 SIO 模块自动置 0。

offset Address	Register Name	Total Reset Value
0x04C	SIO_I2S_LEFT_XD	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	tx_left_data																															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:0]	WO	tx_left_data	左声道发送数据。

SIO_I2S_RIGHT_XD

I²S 模式下的右声道数据发送寄存器。PCM 数据发送寄存器与 I²S 右声道数据发送寄存器是复用的。

向寄存器写数据时，有效数据需放在寄存器的低 bit 区域。例如，数据宽度为 8bit 时，bit[7:0]为有效数据，bit[31:8]为无效数据；数据宽度为 16bit 时，bit[15:0]为有效数据，bit[31:16]为无效数据。超出有效数据宽度的 bit 位由 SIO 模块自动置 0。

Offset Address	Register Name	Total Reset Value
0x050	SIO_I2S_RIGHT_XD	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	tx_right_data																															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:0]	WO	tx_right_data	右声道发送数据。

SIO_PCM_XD

PCM 模式下的数据发送寄存器。PCM 数据发送寄存器与 I²S 右声道数据发送寄存器是复用的。

向寄存器写有效数据时，有效数据需放在寄存器的低 bit 区域。例如，8bit 宽度时，bit[7:0]为有效数据，bit[31:8]为无效数据。16bit 宽度时，bit[15:0]为有效数据，bit[31:16]为无效数据。超出有效数据宽度的 bit 位由 SIO 模块自动置 0。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x050	SIO_PCM_XD	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																tx__data															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:16]	-	reserved	保留。
[15:0]	WO	tx_data	PCM 发送数据。

SIO_I2S_LEFT_RD

I²S 左声道数据接收寄存器。

SIO 模块把接收到的有效数据放在寄存器的低 bit 区域。例如，数据宽度为 8bit 时，bit[7:0]为有效数据，bit[31:8]为无效数据；数据宽度为 16bit 时，bit[15:0]为有效数据，bit[31:16]为无效数据。超出有效数据宽度的 bit 位由 SIO 模块自动置 0。

Offset Address	Register Name	Total Reset Value
0x054	SIO_I2S_LEFT_RD	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	rx_left_data																															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:0]	RO	rx_left_data	I²S 左声道接收数据。

注：I²S 模式下，在接收不使能时，右声道数据可能还没有写入 FIFO，从而导致左声道 FIFO 数据数目比右声道 FIFO 数据数目多一个。因此在 CPU 启动下一次接收前，应该把左右声道 FIFO 中数据全部读空。

SIO_I2S_RIGHT_RD

I²S 右声道数据接收寄存器。PCM 数据接收寄存器与 I²S 右声道数据接收寄存器是复用的。

SIO 模块把接收到的有效数据放在寄存器的低 bit 区域。例如，数据宽度为 8bit 时，bit[7:0]为有效数据，bit[31:8]为无效数据；数据宽度为 16bit 时，bit[15:0]为有效数据，bit[31:16]为无效数据。超出有效数据宽度的 bit 位由 SIO 模块自动置 0。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x058	SIO_I2S_RIGHT_RD	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	rx_right_data																															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:0]	RO	rx_right_data	I^2S 右声道接收数据。

注：I^2S 模式下，在接收不使能时，右声道数据可能还没有写入 FIFO，从而导致左声道 FIFO 数据数目比右声道 FIFO 数据数目多一个。因此在 CPU 启动下一次接收前，应该把左右声道 FIFO 中数据全部读空。

SIO_PCM_RD

PCM 接收数据寄存器，它与 I^2S 右声道接收寄存器是复用的。

SIO 模块把接收到的有效数据放在寄存器的低 bit 区域。例如，数据宽度为 8bit 时，bit[7:0]为有效数据，bit[31:8]为无效数据；数据宽度为 16bit 时，bit[15:0]为有效数据，bit[31:16]为无效数据。超出有效数据宽度的 bit 位由 SIO 模块自动置 0。

Offset Address	Register Name	Total Reset Value
0x058	SIO_PCM_RD	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																rx__data															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:16]	-	reserved	保留。
[15:0]	RO	rx_data	PCM 接收数据。

SIO_CT_SET

为了能够方便的对 SIO 控制寄存器进行位操作，在 SIO 中，0x05C 为设置寄存器地址，当向 0x05C 寄存器中相应位写入 1 时，对应位被设为 1，写 0 无效；该寄存器属性为读写。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x05C/0x060	SIO_CT_SET	0x0000_8000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																rst_n	intr_en	rx_enable	tx_enable	rx_fifo_disable	tx_fifo_disable	rx_data_merge_en	tx_data_merge_en	rx_fifo_threshold				tx_fifo_threshold			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:16]	-	reserved	保留。
[15]	RW	rst_n	I^2S/PCM 通道复位，低电平有效。 它对 I^2S/PCM 接收和发送模块（包括 FIFO）进行复位，因此发送和接收 FIFO 状态寄存器会变为 0。但不会复位 CPU 接口寄存器模块。
[14]	RW	intr_en	中断全局使能。 0：禁止； 1：使能。
[13]	RW	rx_enable	接收通道使能。 0：禁止； 1：使能。
[12]	RW	tx_enable	发送通道使能。 0：禁止； 1：使能。
[11]	RW	rx_fifo_disable	接收 FIFO 禁止。 0：使能； 1：禁止。
[10]	RW	tx_fifo_disable	发送 FIFO 禁止。 0：使能； 1：禁止。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

[9]	RW	rx_data_merge_en	数据接收合并使能，只在 I^2S 模式下且数据位宽为 16bit 时有效。 0：禁止； 1：使能。 该位为 1 时，左右声道数据拼成一个 32bit 数据在 FIFO 中进行存储，左声道 16bit 数据占据高 16 位，右声道 16bit 数据占据低 16 位。这样可以提高 FIFO 的利用率，以提供更长时间的缓冲能力。 CPU 从接收 FIFO 中读数据时，按照如下顺序：从左声道 FIFO 读出一个 32bit 数据（左右声道各 16bit 合并成的一个 32bit 数据），再从右声道 FIFO 读出一个 32bit 数据，如此反复。
[8]	RW	tx_data_merge_en	数据发送合并使能，只在 I^2S 模式下且数据位宽为 16bit 时有效。 0：禁止； 1：使能。 该位为 1 时，左右声道数据拼成一个 32bit 数据在 FIFO 中进行存储，左声道 16bit 数据占据高 16 位，右声道 16bit 数据占据低 16 位。这样可以提高 FIFO 的利用率，以提供更长时间的缓冲能力。 在这种情况下，CPU 向发送 FIFO 中写入数据时，按照如下顺序：向左声道 FIFO 写入一个 32bit 数据（左右声道各 16bit 合并成的一个 32bit 数据），再向右声道 FIFO 写入一个 32bit 数据，如此反复。
[7:4]	RW	rx_fifo_threshold	接收 FIFO 阈值。 当 rx_right_depth❍(rx_fifo_threshold + 1)时，报接收中断和 DMA 请求。
[3:0]	RW	tx_fifo_threshold	发送 FIFO 阈值。 当 tx_right_depth<(tx_fifo_threshold+1)时，报发送中断和 DMA 请求。

SIO_CT_CLR

为了能够方便的对 SIO 控制寄存器进行位操作，在 SIO 中，0x060 为清除寄存器地址，当向寄存器相应位写入 1 时，对应位被清除，写 0 无效。该寄存器属性为只写。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x05C/0x060	SIO_CT_SET	0x0000_8000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																rst_n	intr_en	rx_enable	tx_enable	rx_fifo_disable	tx_fifo_disable	rx_data_merge_en	tx_data_merge_en	rx_fifo_threshold				tx_fifo_threshold			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:16]	-	reserved	保留。
[15]	RW	rst_n	I^2S/PCM 通道复位，低电平有效。 它对 I^2S/PCM 接收和发送模块（包括 FIFO）进行复位，因此发送和接收 FIFO 状态寄存器会变为 0。但不会复位 CPU 接口寄存器模块。
[14]	RW	intr_en	中断全局使能。 0：禁止； 1：使能。
[13]	RW	rx_enable	接收通道使能。 0：禁止； 1：使能。
[12]	RW	tx_enable	发送通道使能。 0：禁止； 1：使能。
[11]	RW	rx_fifo_disable	接收 FIFO 禁止。 0：使能； 1：禁止。
[10]	RW	tx_fifo_disable	发送 FIFO 禁止。 0：使能； 1：禁止。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

[9]	RW	rx_data_merge_en	数据接收合并使能，只在 I^2S 模式下且数据位宽为 16bit 时有效。 0：禁止； 1：使能。 该位为 1 时，左右声道数据拼成一个 32bit 数据在 FIFO 中进行存储，左声道 16bit 数据占据高 16 位，右声道 16bit 数据占据低 16 位。这样可以提高 FIFO 的利用率，以提供更长时间的缓冲能力。 CPU 从接收 FIFO 中读数据时，按照如下顺序：从左声道 FIFO 读出一个 32bit 数据（左右声道各 16bit 合并成的一个 32bit 数据），再从右声道 FIFO 读出一个 32bit 数据，如此反复。
[8]	RW	tx_data_merge_en	数据发送合并使能，只在 I^2S 模式下且数据位宽为 16bit 时有效。 0：禁止； 1：使能。 该位为 1 时，左右声道数据拼成一个 32bit 数据在 FIFO 中进行存储，左声道 16bit 数据占据高 16 位，右声道 16bit 数据占据低 16 位。这样可以提高 FIFO 的利用率，以提供更长时间的缓冲能力。 在这种情况下，CPU 向发送 FIFO 中写入数据时，按照如下顺序：向左声道 FIFO 写入一个 32bit 数据（左右声道各 16bit 合并成的一个 32bit 数据），再向右声道 FIFO 写入一个 32bit 数据，如此反复。
[7:4]	RW	rx_fifo_threshold	接收 FIFO 阈值。 当 rx_right_depth❍(rx_fifo_threshold+1)时，报接收中断和 DMA 请求。
[3:0]	RW	tx_fifo_threshold	发送 FIFO 阈值。 当 tx_right_depth<(tx_fifo_threshold+1)时，报发送中断和 DMA 请求。

SIO_RX_STA

SIO 接收状态寄存器。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x068	SIO_RX_STA	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																						rx_left_depth					rx_right_depth					
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:10]	-	reserved	保留。
[9:5]	RO	rx_left_depth	左声道接收 FIFO 深度指示。 只在 I^2S 模式下有效。
[4:0]	RO	rx_right_depth	I^2S 模式下，为右声道接收 FIFO 深度指示。 PCM 模式下，为 PCM 接收 FIFO 深度指示。

SIO_TX_STA

SIO 发送状态寄存器。

Offset Address	Register Name	Total Reset Value
0x06C	SIO_TX_STA	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																						tx_left_depth					tx_right_depth					
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:10]	RO	reserved	保留。
[9:5]	RO	tx_left_depth	左声道发送 FIFO 深度指示。 只在 I2S 模式下有效。
[4:0]	RO	tx_right_depth	I2S 模式下，为右声道发送 FIFO 深度指示。 PCM 模式下，为 PCM 发送 FIFO 深度指示。

SIO_DATA_WIDTH_SET

该寄存器配置了在 I^2S/PCM 模式下的数据宽度。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x078	SIO_DATA_WIDTH_SET	0x0000_0009

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																								reserved		rx_mode			tx_mode		
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	1

Bits	Access	Name	Description
[31:6]	-	reserved	保留。
[5:3]	RW	rx_mode	接收数据长度配置位。 000：8bit； 001：16bit； 010：18bit； 011：20bit； 100：24bit； 101：32bit； 110～111：保留。 对于 I2S 模式，支持 16/18/20/24/32bit； 对于 PCM 模式，支持 8/16bit； 对于多路接收，两种模式只支持 8/16bit。
[2:0]	RW	tx_mode	发送数据长度配置位。 对于 I2S 模式 000：保留； 001：16bit； 010：18bit； 011：20bit； 100：24bit； 101：32bit； 110～111：保留。 对于 PCM 模式 000：8bit； 001：16bit； 010：32bit； 011：64bit； 100：128bit； 101～111：保留。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

SIO_I2S_START_POS

I²S 左右声道起始位置配置控制寄存器。

在 I²S 模式下，左右声道数据操作地址合并使能后，控制起始访问是从左声道开始还是从右声道开始。

Offset Address	Register Name	Total Reset Value
0x07C	SIO_I2S_START_POS	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																														start_pos_write	start_pos_read
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:2]	-	reserved	保留。
[1]	RW	start_pos_write	写发送 FIFO 时： 0：从左声道开始访问； 1：从右声道开始访问。
[0]	RW	start_pos_read	读接收 FIFO 时： 0：从左声道开始访问； 1：从右声道开始访问。

I2S_POS_FLAG

I²S 左右声道操作当前位置状态寄存器。

在 I²S 模式下，左右声道数据操作地址合并使能后，指示下一次访问寄存器是从左声道开始还是从右声道开始。

Offset Address	Register Name	Total Reset Value
0x080	I2S_POS_FLAG	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																														start_pos_write	start_pos_read

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:2]	-	reserved	保留。
[1]	RO	start_pos_write	写发送 FIFO 时： 0：下一次从左声道开始访问； 1：下一次从右声道开始访问。
[0]	RO	start_pos_read	读接收 FIFO 时： 0：下一次从左声道开始访问； 1：下一次从右声道开始访问。

SIO_SIGNED_EXT

高位数据符号扩展使能寄存器。该标志只对接收数据有效，对发送数据无效。PCM 模式和 I^2S 模式下接收到的数据都支持符号扩展。

在接收有效数据位宽为 8/16/18/20/24 bit 时，如果该标志使能，把接收到的数据转换为 32bit 数据时，把 32bit 数据的高位无效比特设置为接收数据最高有效 bit 对应的值，然后再写入接收 FIFO。

以 16bit 位宽为例：

```
if(data_rx[15]==1)
data_rx[31:16]=0xffff;
else
data_rx[31:16]=0x0000;
```

Offset Address	Register Name	Total Reset Value
0x084	SIO_SIGNED_EXT	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																															signed_ext_en
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:1]	-	reserved	保留。
[0]	RW	signed_ext_en	高位数据符号扩展使能。 0：禁止； 1：使能。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

SIO_I2S_POS_MERGE_EN

在 I²S 模式下，对左右声道数据的操作地址合并使能。

在 I²S 模式下，用 DMA 方式读写 SIO 的 FIFO 数据时，因为左右声道数据地址不同，需要 CPU 不断配置 DMA 操作的地址，导致 CPU 效率低。为了提高 CPU 的效率，提供左右声道数据的读写的统一地址使能控制。

使能情况下，读左右声道数据统一使用 SIO_I2S_DUAL_RX_CHN 寄存器，写左右声道数据统一使用 SIO_I2S_DUAL_TX_CHN 寄存器。

Offset Address	Register Name	Total Reset Value
0x088	SIO_I2S_POS_MERGE_EN	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																															merge_en
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:1]	-	reserved	保留。
[0]	RW	merge_en	在 I2S 模式下，对左右声道数据的操作地址合并使能。 0：禁止； 1：使能。

SIO_INTMASK

该寄存器是中断屏蔽寄存器。

Offset Address	Register Name	Total Reset Value
0x08C	SIO_INTMASK	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																										tx_left_fifo_under	tx_right_fifo_under	rx_left_fifo_over	rx_right_fifo_over	tx_intr	rx_intr
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1	1	1

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Bits	Access	Name	Description
[31:6]	-	reserved	保留。
[5]	RW	tx_left_fifo_under	I^2S 模式下，左声道发送 FIFO 下溢中断屏蔽。PCM 模式下无效。 0：不屏蔽； 1：屏蔽。
[4]	RW	tx_right_fifo_under	I^2S 模式下，右声道发送 FIFO 下溢中断屏蔽。PCM 模式下，PCM 发送 FIFO 下溢中断屏蔽。 0：不屏蔽； 1：屏蔽。
[3]	RW	rx_left_fifo_over	I^2S 模式下，左声道接收 FIFO 上溢中断屏蔽。PCM 模式下无效。 0：不屏蔽； 1：屏蔽。
[2]	RW	rx_right_fifo_over	I^2S 模式下，右声道接收 FIFO 上溢中断屏蔽。PCM 模式下，PCM 接收 FIFO 上溢中断屏蔽。 0：不屏蔽； 1：屏蔽。
[1]	RW	tx_intr	发送 FIFO 低于阈值中断屏蔽。 0：不屏蔽； 1：屏蔽。
[0]	RW	rx_intr	接收 FIFO 高于阈值中断屏蔽。 0：不屏蔽； 1：屏蔽。

SIO_I2S_DUAL_RX_CHN

该寄存器为 I^2S 左右声道操作地址合并使能以后，读取接收数据的寄存器。

Offset Address	Register Name	Total Reset Value
0x0A0	SIO_I2S_DUAL_RX_CHN	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	rx_data																															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:0]	RO	rx_data	接收到的数据。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

SIO_I2S_DUAL_TX_CHN

该寄存器为 I^2S 左右声道操作地址合并使能后，写发送数据的寄存器。

Offset Address	Register Name	Total Reset Value
0x0C0	SIO_I2S_DUAL_TX_CHN	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	tx_data																															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:0]	WO	tx_data	发送的数据。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

目 录

14 外围设备.....14-1
14.1 I²C.....14-1
14.1.1 概述.....14-1
14.1.2 功能描述.....14-1
14.1.3 工作方式.....14-1
14.1.4 寄存器概览.....14-3
14.1.5 寄存器描述.....14-4
14.2 SPI.....14-11
14.2.1 概述.....14-11
14.2.2 特点.....14-11
14.2.3 功能描述.....14-12
14.2.4 三种外设总线时序.....14-13
14.2.5 工作方式.....14-20
14.2.6 寄存器概览.....14-23
14.2.7 寄存器描述.....14-24
14.3 通用异步收发器.....14-33
14.3.1 概述.....14-33
14.3.2 特点.....14-34
14.3.3 功能描述.....14-34
14.3.4 工作方式.....14-35
14.3.5 寄存器概览.....14-38
14.3.6 寄存器描述.....14-39
14.4 红外接口.....14-51
14.4.1 概述.....14-51
14.4.2 特点.....14-51
14.4.3 功能描述.....14-52
14.4.4 工作方式.....14-59
14.4.5 寄存器概览.....14-61
14.4.6 寄存器描述.....14-62
14.5 GPIO.....14-78

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

14.5.1 概述 14-78
14.5.2 特点 14-79
14.5.3 功能描述 14-79
14.5.4 工作方式 14-79
14.5.5 寄存器概览 14-80
14.5.6 寄存器描述 14-82
14.6 USB 2.0 Host 14-86
14.6.1 概述 14-86
14.6.2 功能描述 14-87
14.6.3 工作方式 14-89
14.6.4 寄存器概览 14-91
14.6.5 寄存器描述 14-91
14.7 MMC/SD/SDIO 控制器 14-95
14.7.1 功能描述 14-95
14.7.2 时序与参数 14-101
14.7.3 应用说明 14-102
14.7.4 寄存器概览 14-115
14.7.5 寄存器描述 14-116
14.8 SATA 14-141
14.8.1 概述 14-141
14.8.2 特点 14-141
14.8.3 信号描述 14-141
14.8.4 功能描述 14-142
14.8.5 工作方式 14-144
14.8.6 寄存器概览 14-147
14.8.7 寄存器描述 14-149
14.8.8 附录 A SATA 命令链表格式 14-185

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

插图目录

图 14-1 主机发送数据流程图 14-2
图 14-2 主机接收数据流程图 14-3
图 14-3 SPI 接单 Slave 时的应用 14-12
图 14-4 SPI 接多个 Slave 时的应用 14-13
图 14-5 SPI 单帧帧格式（SPO=0、SPH=0） 14-14
图 14-6 SPI 连续帧帧格式（SPO=0、SPH=0） 14-14
图 14-7 SPI 单帧帧格式（SPO=0、SPH=1） 14-15
图 14-8 SPI 连续帧帧格式（SPO=0、SPH=1） 14-15
图 14-9 SPI 单帧帧格式（SPO=1、SPH=0） 14-16
图 14-10 SPI 连续帧帧格式（SPO=1、SPH=0） 14-16
图 14-11 SPI 单帧帧格式（SPO=1、SPH=1） 14-17
图 14-12 SPI 连续帧帧格式（SPO=1、SPH=1） 14-17
图 14-13 SPI 接口时序图 14-18
图 14-14 TI 同步串行单帧帧格式 14-18
图 14-15 TI 同步串行连续帧帧格式 14-19
图 14-16 National Semiconductor Microwire 单帧帧格式 14-19
图 14-17 National Semiconductor Microwire 连续帧帧格式 14-20
图 14-19 UART 帧格式 14-35
图 14-20 发送单个 NEC with simple repeat code 码的帧格式 14-54
图 14-21 持续按键连续发送 NEC with simple repeat code 码的帧格式 14-54
图 14-22 NEC with simple repeat code 码 bit0 和 bit1 定义 14-55
图 14-23 NEC with simple repeat code 码单发代码格式 14-55
图 14-24 NEC with simple repeat code 码连发代码格式 14-55
图 14-25 发送单个 NEC with full repeat code 码的帧格式 14-56
图 14-26 持续按键连续发送 NEC with full repeat code 码的帧格式 14-56

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

图 14-27 NEC with full repeat code 码 bit0 和 bit1 定义 14-56
图 14-28 NEC with full repeat code 码单发代码格式 14-56
图 14-29 发送单个 TC9012 码的帧格式 14-57
图 14-30 持续按键连续发送 TC9012 码的帧格式 14-57
图 14-31 TC9012 码 bit0 和 bit1 定义 14-57
图 14-32 TC9012 码单发代码格式 14-58
图 14-33 TC9012 码连发代码格式（C0＝1） 14-58
图 14-34 TC9012 码连发代码格式（C0＝0） 14-58
图 14-35 发送单个 SONY 帧格式 14-59
图 14-36 持续按键连续发送 SONY 码帧格式 14-59
图 14-37 bit0 和 bit1 定义 14-59
图 14-38 IR 模块初始化操作流程 14-60
图 14-40 USB 2.0 Host 逻辑框图 14-87
图 14-41 USB 2.0 Host 参考设计 14-88
图 14-42 MMC 功能框图 14-95
图 14-43 MMC 典型应用电路图 14-96
图 14-44 MMC 指令格式 14-97
图 14-45 MMC 指令响应格式 14-98
图 14-46 MMC 非数据指令操作 14-98
图 14-47 单块与多块读操作 14-99
图 14-48 单块与多块写操作 14-100
图 14-49 1bit 数据线传输模式下的块数据格式 14-100
图 14-50 4bit 数据线传输模式下的块数据格式 14-101
图 14-51 输出方向时序图 14-102
图 14-52 输入方向时序图 14-102
图 14-53 双 buffer 结构示意图 14-109
图 14-54 链结构示意图 14-109
图 14-55 32bit 位宽的描述子的结构 14-110
图 14-56 典型应用模式 1 14-142
图 14-57 典型应用模式 2 14-143
图 14-58 典型应用模式 3 14-143
图 14-59 Hi3521 SATA 模块架构 14-144

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

图 14-60 链表结构 14-185
图 14-61 命令、数据链表结构 14-186

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

表格目录

表 14-1 I²C 寄存器概览（基址是 0x200D_0000）.....14-4
表 14-2 SPI 接口时序参数.....14-18
表 14-3 SPI 寄存器概览（基址是 200C_0000）.....14-23
表 14-4 UART 寄存器概览.....14-38
表 14-5 红外接收数据码型的统计表（NEC with simple repeat code）.....14-52
表 14-6 红外接收数据码型的统计表（NEC with full repeat code）.....14-53
表 14-7 红外接收数据码型的统计表（TC9012 和 SONY 码）.....14-53
表 14-8 IR 寄存器概览（基址是 0x2007_0000）.....14-62
表 14-9 15 组 GPIO 寄存器对应的基地址.....14-80
表 14-10 GPIO 寄存器概览.....14-81
表 14-11 USB 寄存器概览（基地址：0x100B_0000）.....14-91
表 14-12 信号线负载参数.....14-97
表 14-13 MMC 接口时序参数.....14-101
表 14-14 非数据传输指令时的寄存器 MMC_CMD 配置参考（默认值）.....14-105
表 14-15 单块或多块读数据时的寄存器 MMC_CMD 配置参考（默认值）.....14-106
表 14-16 单块或多块写数据时的寄存器 MMC_CMD 配置参考（默认值）.....14-108
表 14-17 DES0 各 bit 的含义.....14-110
表 14-18 DES1 各 bit 的含义.....14-111
表 14-19 DES2 各 bit 的含义.....14-111
表 14-20 DES3 各 bit 的含义.....14-111
表 14-21 Resume 操作时的寄存器 MMC_CMDARG 配置参考.....14-114
表 14-22 MMC 寄存器概览（基址是 0x1002_0000）.....14-115
表 14-23 SATA 接口信号描述.....14-142
表 14-24 寄存器偏移地址变量表.....14-147
表 14-25 SATA 寄存器概览（基址是 0x1008_0000）.....14-147

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

表 14-26 SATA_PORT_CFG 寄存器概览（基址是 0x1008_0100）.....14-148

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

14 外围设备

14.1 I²C

14.1.1 概述

I²C 模块是 APB 总线上的从设备，是 I²C 总线上的主设备。I²C 模块的作用是完成 CPU 对 I²C 总线上从设备的数据读写。当 CPU 对从设备做写操作时，CPU 通过 APB 总线配置 I²C 的配置寄存器，然后发送控制信息和操作数到 I²C 模块的数据通信寄存器；I²C 模块解析命令后将数据通道寄存器的数据通过 I²C 总线发给从设备，发送完毕后将最终的状态通过中断反馈给 CPU。CPU 读取从设备数据的过程与写操作类似。

14.1.2 功能描述

I²C 具有以下功能特点：

- Hi3521 芯片的 I2C 是 Master 接口，I²C 的工作参考时钟为 APB 时钟。
- I²C 模块在 APB 总线上执行 APB Slave 的功能，在 I²C 总线上作为 Master，支持多主设备时的总线仲裁。
- 支持 Clock synchronization 和 Bit and Byte waiting。
- 支持中断或轮询操作。
- I²C 模块支持标准地址（7bit）和扩展地址（10bit）。
- 可以工作在两种速度模式下：标准模式（100kbit/s）、快速模式（400kbit/s）。
- I²C 模块支持 General Call 和 Start Byte 功能。
- I²C 总线上不支持 CBUS 器件。
- 对接收到的 SDA 和 SCL 信号进行滤波。

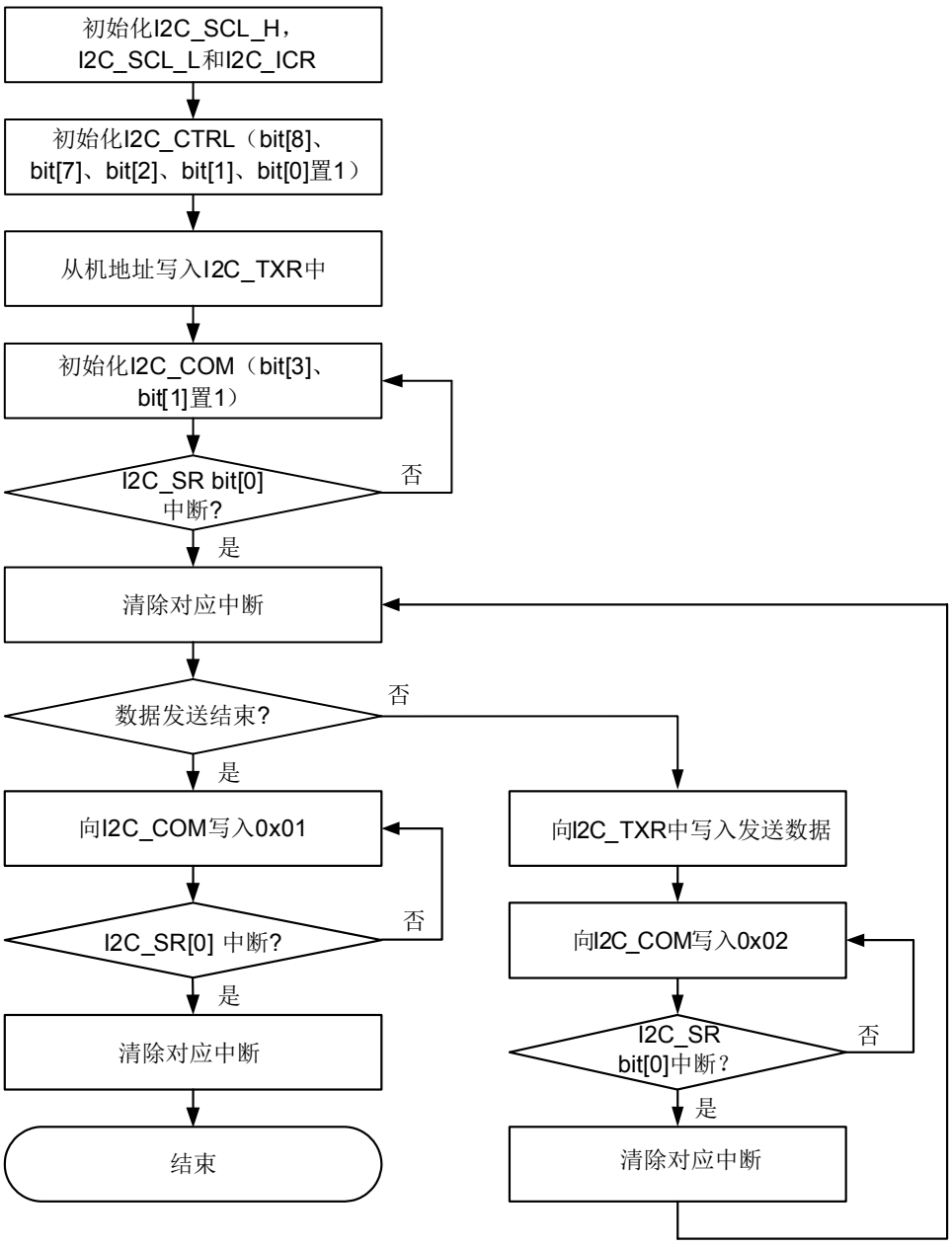
14.1.3 工作方式

14.1.3.1 I²C 初始化配置流程

I²C 主机可以向从机写入数据，也可以接收从机发来的数据。I²C 主机发送数据流程如图 14-1 所示。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

图14-1 主机发送数据流程图

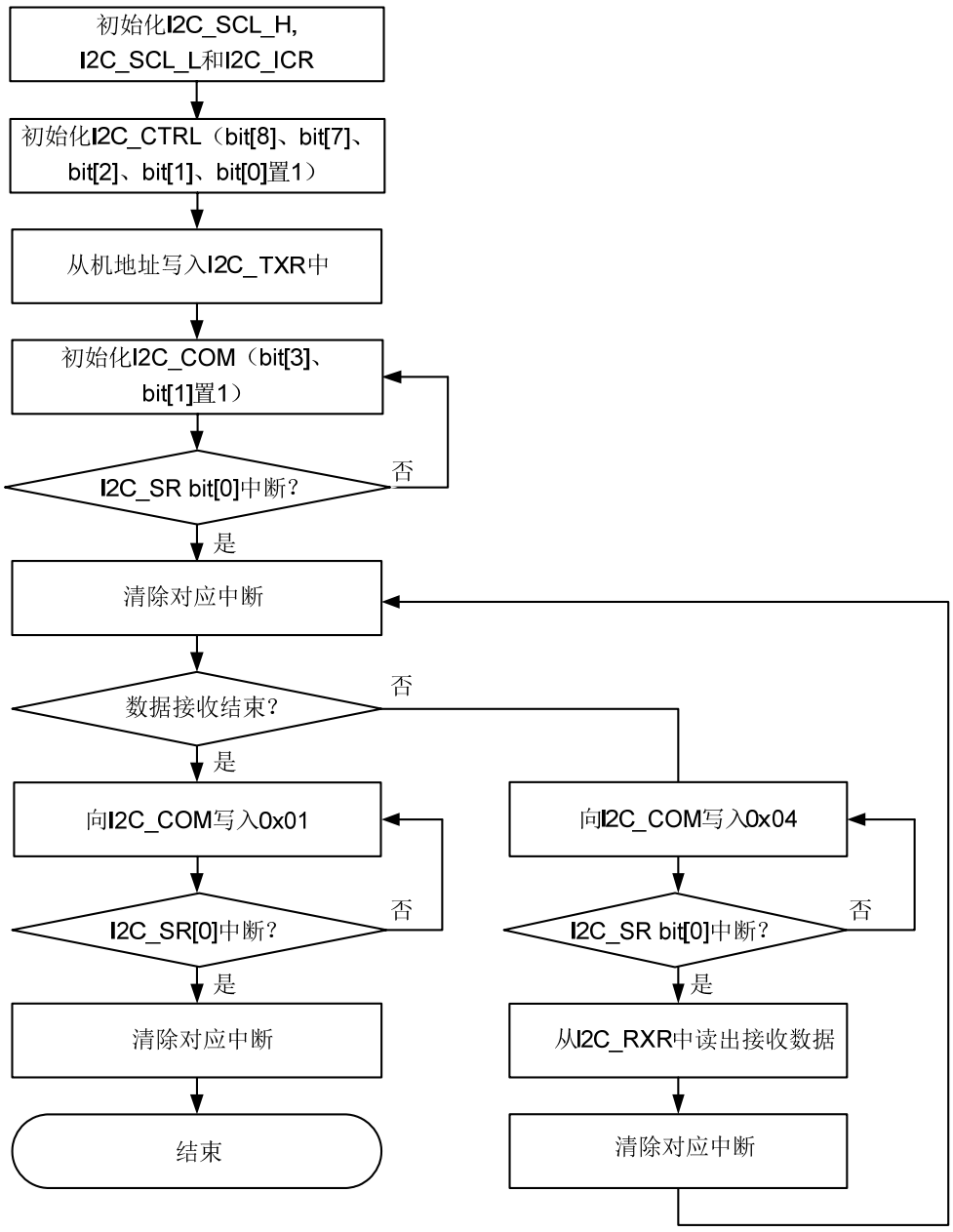


14.1.3.2 主机接收数据流程

主机接收数据流程如图 14-2 所示.。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

图14-2 主机接收数据流程图



14.1.4 寄存器概览

Hi3521 包含一个 I^2C 模块，寄存器概览如表 14-1 所示。

表14-1 I^2C 寄存器概览（基址是 0x200D_0000）

地址	名称	类型	描述	页码
0x00	I2C_CTRL	RW	I^2C 控制寄存器	14-4
0x04	I2C_COM	RW	I^2C 命令寄存器	14-5

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

地址	名称	类型	描述	页码
0x08	I2C_ICR	RW	I²C 中断清除寄存器	14-6
0x0C	I2C_SR	RO	I²C 状态寄存器	14-7
0x10	I2C_SCL_H	RW	I²C SCL 高电平周期数	14-8
0x14	I2C_SCL_L	RW	I²C SCL 低电平周期数	14-9
0x18	I2C_TXR	RW	I²C 发送数据寄存器	14-10
0x1C	I2C_RXR	RO	I²C 接收数据寄存器	14-11

14.1.5 寄存器描述

I2C_CTRL

I2C_CTRL 为 I²C 控制寄存器。用于配置 I²C 使能和中断屏蔽。

Offset Address	Register Name	Total Reset Value
0x00	I2C_CTRL	0x0000_0000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9	8	7	6	5	4	3	2	1	0
Name	reserved						i2c_en	int_mask	int_start_mask	int_stop_mask	int_tx_mask	int_rx_mask	int_ack_err_mask	int_arb_loss_mask	int_done_mask
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:9]	-	reserved	保留。
[8]	RW	i2c_en	I²C 使能。 0：不使能； 1：使能。
[7]	RW	int_mask	I²C 中断总屏蔽。 0：屏蔽； 1：不屏蔽。
[6]	RW	int_start_mask	主机开始条件发送结束中断屏蔽。 0：屏蔽； 1：不屏蔽。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

[5]	RW	int_stop_mask	主机停止条件发送结束中断屏蔽。 0：屏蔽； 1：不屏蔽。
[4]	RW	int_tx_mask	主机发送中断屏蔽。 0：屏蔽； 1：不屏蔽。
[3]	RW	int_rx_mask	主机接收中断屏蔽。 0：屏蔽； 1：不屏蔽。
[2]	RW	int_ack_err_mask	从机 ACK 错误中断屏蔽。 0：屏蔽； 1：不屏蔽。
[1]	RW	int_arb_loss_mask	总线仲裁失败中断屏蔽。 0：屏蔽； 1：不屏蔽。
[0]	RW	int_done_mask	总线传输完成中断屏蔽。 0：屏蔽； 1：不屏蔽。

I2C_COM

I2C_COM 为 I^2C 模块的命令寄存器。用于配置 I^2C 模块工作时命令。

注意

在系统初始化时配置或配置前，需要清除对应中断标志。I2C_COM bit[3:0]在操作结束后将自动清 0。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x04	I2C_COM	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																											op_ack	op_start	op_rd	op_we	op_stop
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:5]	-	reserved	保留。
[4]	RW	op_ack	主机作为接收器是否发送 ACK。 0：发送； 1：不发送。
[3]	RW	op_start	产生开始条件操作。 0：操作结束； 1：操作有效。
[2]	RW	op_rd	产生读操作。 0：操作结束； 1：操作有效。
[1]	RW	op_we	产生写操作。 0：操作结束； 1：操作有效。
[0]	RW	op_stop	产生停止条件操作。 0：操作结束； 1：操作有效。

I2C_ICR

I2C_ICR 为 I^2C 模块的中断清除寄存器。

注意

新中断到来时，I2C 模块会自动将 I2C_ICR 相应位清 0。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x08	I2C_ICR	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																									clr_int_start	clr_int_stop	clr_int_tx	clr_int_rx	clr_int_ack_err	clr_int_arb_loss	clr_int_done
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:7]	-	reserved	保留。
[6]	WC	clr_int_start	主机开始条件发送结束中断标志清除。 0：不清除； 1：清除。
[5]	WC	clr_int_stop	主机停止条件发送结束中断标志清除。 0：不清除； 1：清除。
[4]	WC	clr_int_tx	主机发送中断标志清除。 0：不清除； 1：清除。
[3]	WC	clr_int_rx	主机接收中断标志清除。 0：不清除； 1：清除。
[2]	WC	clr_int_ack_err	从机 ACK 错误中断标志清除。 0：不清除； 1：清除。
[1]	WC	clr_int_arb_loss	总线仲裁失败中断标志清除。 0：不清除； 1：清除。
[0]	WC	clr_int_done	总线传输完成中断标志清除。 0：不清除； 1：清除。

I2C_SR

I2C_SR 为 I^2C 模块状态寄存器。用于读取 I^2C 模块工作状态。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

注意

I2C_SR bit[1]表示 I2C 总线仲裁失败。当 I2C_SR bit[1]有效时，当前操作失败。在清除 I2C_SR bit[1]之前，需要清除其他中断标志，然后清除 I2C_COM 或向 I2C_COM 写入新的操作命令，最后清除 I2C_SR bit[1]。

Offset Address	Register Name	Total Reset Value
0x0C	I2C_SR	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																								bus_busy	int_start	int_stop	int_tx	int_rx	int_ack_err	int_arb_loss	int_done
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:8]	-	reserved	保留。
[7]	RO	bus_busy	总线忙。 0：空闲； 1：忙。
[6]	RO	int_start	主机开始条件发送结束中断标志。 0：无中断标志产生； 1：中断标志产生。
[5]	RO	int_stop	主机停止条件发送结束中断标志。 0：无中断标志产生； 1：中断标志产生。
[4]	RO	int_tx	主机发送中断标志。 0：无中断标志产生； 1：中断标志产生。
[3]	RO	int_rx	主机接收中断标志。 0：无中断标志产生； 1：中断标志产生。
[2]	RO	int_ack_err	从机 ACK 错误中断标志。 0：无中断标志产生； 1：中断标志产生。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

[1]	RO	int_arb_loss	总线仲裁失败中断标志。 0：无中断标志产生； 1：中断标志产生。
[0]	RO	int_done	总线传输完成中断标志。 0：无中断标志产生； 1：中断标志产生。

I2C_SCL_H

I2C_SCL_H 为 I²C 总线 SCL 信号高电平周期数寄存器。用于配置 I²C 模块工作时 SCL 高电平周期数。

注意

在系统初始化时配置或配置前使 I2C_CTRL bit[7]=0。

Offset Address	Register Name	Total Reset Value
0x10	I2C_SCL_H	0x0000_0000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved				scl_h			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[31:16]	-	reserved	保留。
[15:0]	RW	scl_h	SCL 高电平时间配置值。

设参考时钟为 108MHz，I2C_SCL_H 值为 n，SCL 高电平时间为 DelTim，则：

$DelTim = (1/108) \times (m+1) \times 2$；（单位：μs）

假设希望 SCL 高电平时间为 5μs，则 I2C_SCL_H 配置值 n 为：

$m = (5 \times 108)/2 - 1 = 269$；

若参考时钟为 108MHz，SCL 高电平最长时间是 606μs。

I2C_SCL_L

I2C_SCL_L 为 I²C 总线 SCL 信号低电平周期数寄存器。用于配置 I²C 模块工作时 SCL 低电平周期数。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

注意

在系统初始化时配置或配置前使 I2C_CTRL bit[7]=0。

Offset Address	Register Name	Total Reset Value
0x14	I2C_SCL_L	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																scl_l															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:16]	-	reserved	保留。
[15:0]	RW	scl_l	SCL 低电平时间配置值。

设参考时钟为 108MHz，I2C_SCL_L 值为 m，SCL 低电平时间为 DelTim，则：

$DelTim = (1/108) \times (m+1) \times 2$ （单位：μs）

假设希望 SCL 低电平时间为 5μs，I2C_SCL_H 配置值 m 为：

$m = (5 \times 108)/2 - 1 = 269$

若参考时钟为 108MHz，SCL 低电平最长时间是 606μs。

I2C_TXR

I2C_TXR 为 I^2C 发送数据寄存器。用于配置 I^2C 模块工作时发送数据。

注意

发送结束后，I^2C 模块不会修改 I2C_TXR 内容。

Offset Address	Register Name	Total Reset Value
0x18	I2C_TXR	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																								i2c_txr							
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:8]	-	reserved	保留。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

[7:0]	RW	i2c_txr	主机发送数据。

I2C_RXR

I2C_RXR 为 I^2C 接收数据寄存器。用于主机接收从机数据。

注意

I2C_RXR 数据在 I2C_SR bit[3]=1 时，数据有效。同时数据将保持到下一个读操作之前。

Offset Address	Register Name	Total Reset Value
0x1C	I2C_RXR	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																								i2c_rxr							
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:8]	-	reserved	保留。
[7:0]	RO	i2c_rxr	主机接收数据。

14.2 SPI

14.2.1 概述

SPI 控制器实现数据的串并、并串转换，可以作为 Master 与外部设备进行同步串行通信。支持 MOTOROLA 的 SPI、TI 串行同步、MicroWire 三种外设接口协议。

14.2.2 特点

注意

Hi3521 有一组 SPI 接口，支持 4 个片选。

Hi3521 芯片的 SPI 默认是 Master 接口（片选 0 也可配置为支持 Slave），工作参考时钟为 APB 总线时钟，SPI 输出的 SPI_CLK 最大支持 40MHz。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

SPI 的功能特点有：

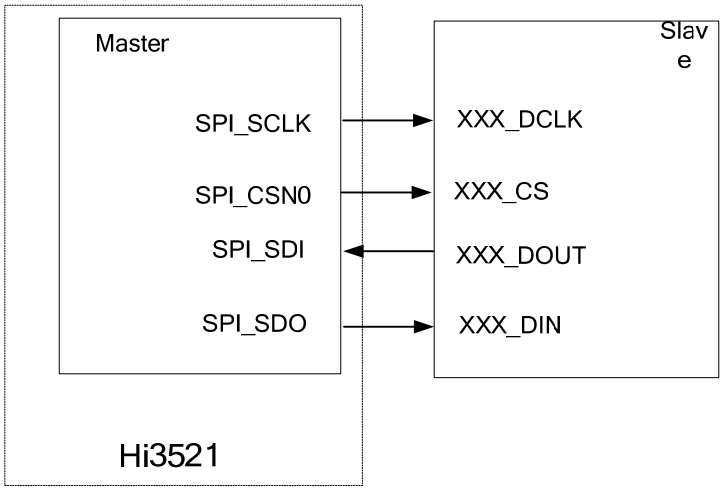
- 接口时钟频率可编程。
- 收/发分开的宽度 16bit、深度为 256 的 FIFO。
- 串行数据帧长度可编程：4bit～16bit。
- 内部提供环回测试模式。
- 支持 DMA 操作。
- 支持 SPI、MicroWire、TI 同步串行三种接口，支持单帧和连续帧格式。
- 支持 SPI 全双工工作模式，时钟极性、相位可配置。
- 支持 MicroWire 半双工工作模式。
- 支持 TI 同步串行接口全双工工作模式。

14.2.3 功能描述

14.2.3.1 典型应用

SPI 接单 Slave 时的应用框图如图 14-3 所示，使用 SPI 默认的片选管脚 SPI_CSN0。

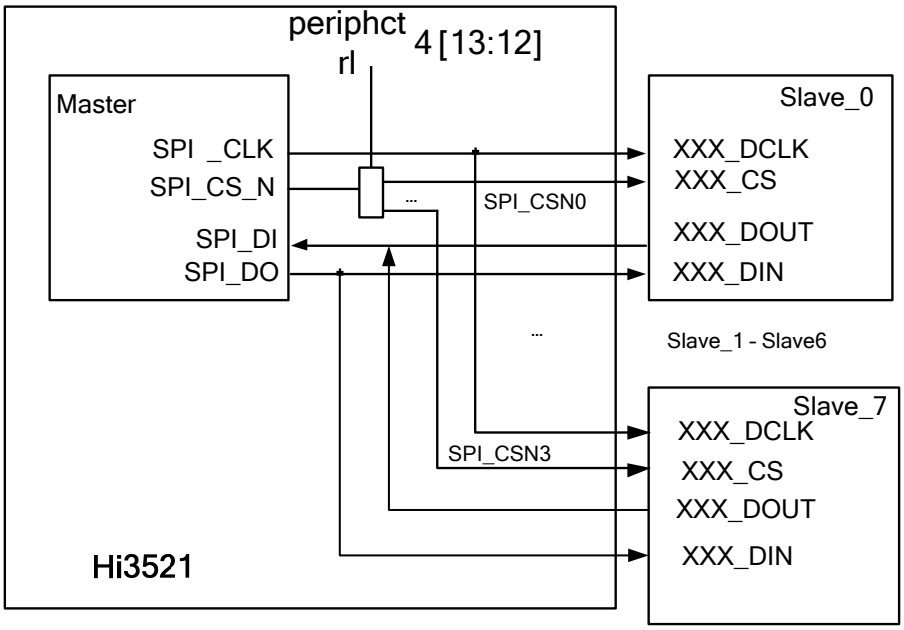
图14-3 SPI 接单 Slave 时的应用



SPI 接多个 Slave 时的应用框图如图 14-4 所示。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

图14-4 SPI 接多个 Slave 时的应用



关于 SPI 片选选择请参见“3.4 系统控制器”的 periphctrl4[13:12]寄存器。

有些 SPI 作为配置接口的芯片还支持菊花链模式，具体请参见该芯片手册。

14.2.3.2 三种外设总线时序

图 14-5～图 14-12 中的缩略语含义为：

- MSB：Most Significant Bit
- LSB：Least Significant Bit
- Q：Q is an undefined signal

SPI 接口

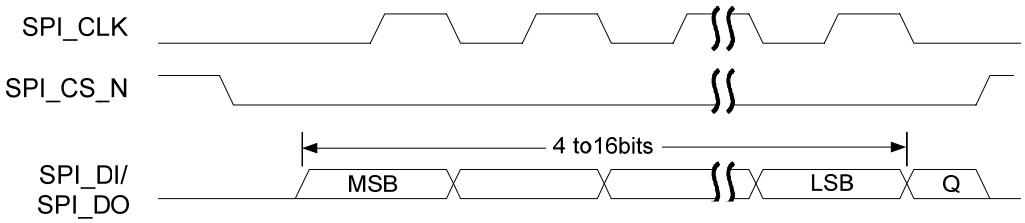
说明
SPO 表示 SPICLKOUT 极性，SPH 表示 SPICLKOUT 相位。它们是寄存器 SPICR0 bit[7:6]。

（1）SPO=0、SPH=0

SPI 单帧帧格式如图 14-5 所示。

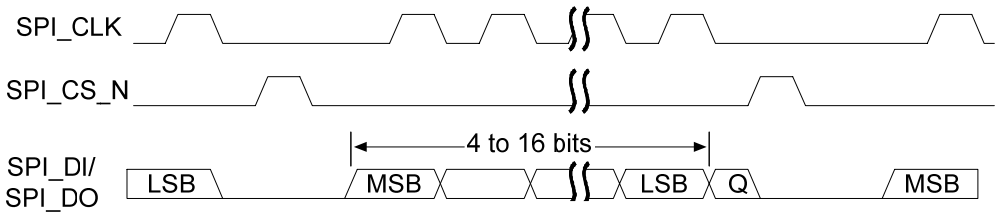
海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

图14-5 SPI 单帧帧格式（SPO=0、SPH=0）



SPI 连续帧帧格式如图 14-6 所示。

图14-6 SPI 连续帧帧格式（SPO=0、SPH=0）



在该模式下，当 SPI 处于空闲状态时：

- SPI_CLK 信号设置为低
- SPI_CS_N 信号设置为高
- 发送数据线 SPI_DO 强制为低

当 SPI 处于使能状态，而且发送 FIFO 内有有效数据时，设置 SPI_CS_N 信号为低，表示开始传输数据。来自 Slave 的数据立刻发送到 Master 的接收数据线 SPI_DI。半个 SPI_CLK 时钟周期之后，有效的 Master 数据传输到 SPI_DO。此时 Master 和 Slave 数据都已经有效，SPI_CLK 管脚在接下来的半个 SPI_CLK 时钟周期之后变为高电平。数据在 SPI_CLK 时钟的上升沿被捕获，在时钟的下降沿被传送。

如果传输单个 word，当捕捉到最后 1bit 数据时，SPI_CS_N 在接下来的 1 个 SPI_CLK 时钟周期之后恢复为高电平。

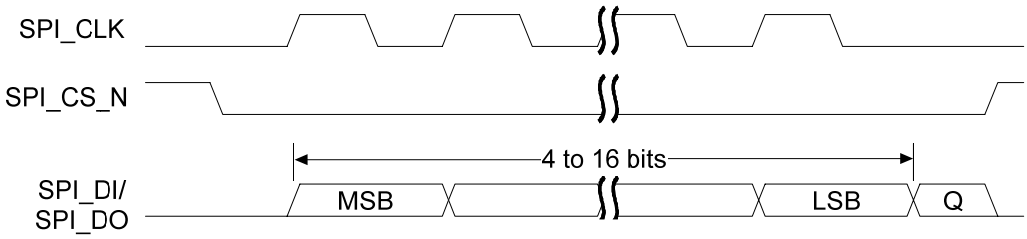
如果是连续的传输，SPI_CS_N 信号在每个 word 传输之间必须将 SPI_CLK 时钟拉高一个时钟周期。这是因为 SPH 为 0 时，Salve 选择管脚会固定其内部串行设备寄存器的数据，使它不会变化。因此在连续传输时，主设备必须在每个 word 传输之间将 SPI_CS_N 信号拉高。连续传输结束时，SPI_CS_N 在捕获到最后 1bit 之后的 1 个 SPI_CLK 时钟周期之后恢复为高电平。

（2）SPO=0、SPH=1

SPI 单帧帧格式如图 14-7 所示。

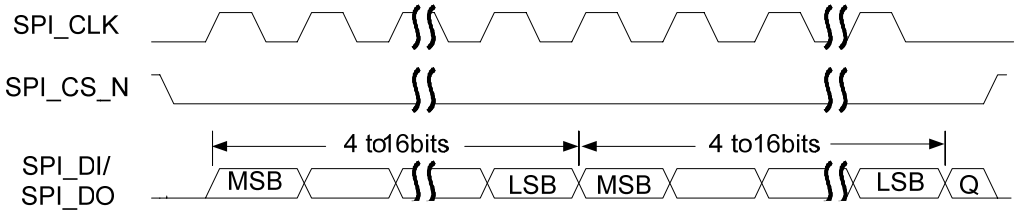
海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

图14-7 SPI 单帧帧格式（SPO=0、SPH=1）



SPI 连续帧帧格式如图 14-8 所示。

图14-8 SPI 连续帧帧格式（SPO=0、SPH=1）



在该模式下，当 SPI 处于空闲状态时：

- SPI_CLK 信号设置为低
- SPI_CS_N 设置为高
- 发送数据线 SPI_DO 强制为低

当 SPI 为使能状态，而且发送 FIFO 内有有效数据时，设置 SPI_CS_N 信号为低表示开始传输数据。半个 SPI_CLK 时钟周期之后，Master 和 Slave 的有效数据分别在各自的传输线上有效。同时，SPI_CLK 从第一个上升沿开始有效。数据在 SPI_CLK 时钟的下降沿被捕获，在时钟的上升沿被传送。

如果传输单个 word，当捕捉到最后 1bit 数据时，SPI_CS_N 在接下来的 1 个 SPI_CLK 时钟之后恢复为高电平。

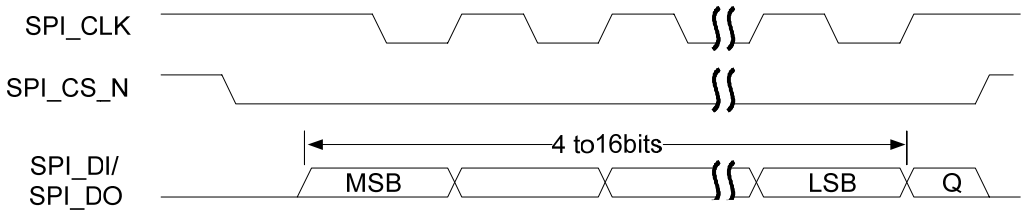
当连续传输时，在传输数据 word 之间 SPI_CS_N 保持为低。连续传输结束时，SP_CS_N 在最后 1bit 捕获之后的 1 个 SPI_CLK 时钟之后恢复为高电平。

（3）SPO=1、SPH=0

SPI 单帧帧格式如图 14-9 所示。

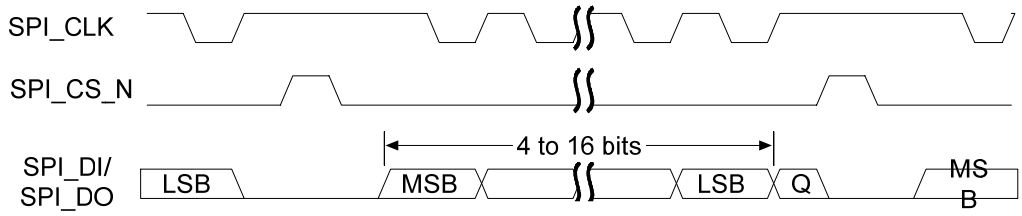
海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

图14-9 SPI 单帧帧格式（SPO=1、SPH=0）



SPI 连续帧帧格式如图 14-10 所示。

图14-10 SPI 连续帧帧格式（SPO=1、SPH=0）



在该配置下，当 SPI 处于空闲状态时：

- SPI_CLK 信号设置为高
- SPI_CS_N 信号设置为高
- 发送数据线 SPI_DO 强制为低

当 SPI 为使能状态，而且发送 FIFO 内有有效数据时，设置 SPI_CS_N 信号为低表示开始传输数据。此时 Slave 的数据立刻发送到 Master 的接收数据线 SPI_DI。半个 SPI_CLK 周期之后，Master 的有效数据传送到 SPI_DO。再过半个 SPI_CLK 时钟周期之后，SPI_CLK Master 管脚设置为低。这表示数据在 SPI_CLK 时钟的下降沿被捕获，在 SPI_CLK 时钟的上升沿被传送。

如果传输单个 word，当捕捉到最后 1bit 数据时，SPI_CS_N 在接下来的 1 个 SPI_CLK 时钟之后恢复为高电平。

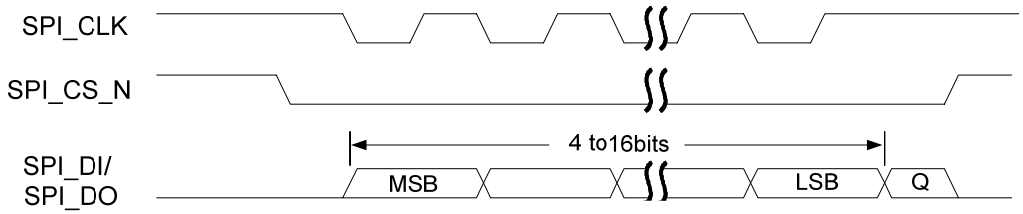
如果是连续的传输，SPI_CS_N 信号在每个 word 传输之间必须拉高。这是因为当 SPH 为 0 时，Salve 选择管脚固定其内部串行设备寄存器的数据，使它不会变化。
SPI_CS_N 在捕获到最后 1bit 数据之后的 1 个 SPI_CLK 时钟周期之后恢复为高电平。

（4）SPO=1、SPH=1

SPI 单帧帧格式如图 14-11 所示。

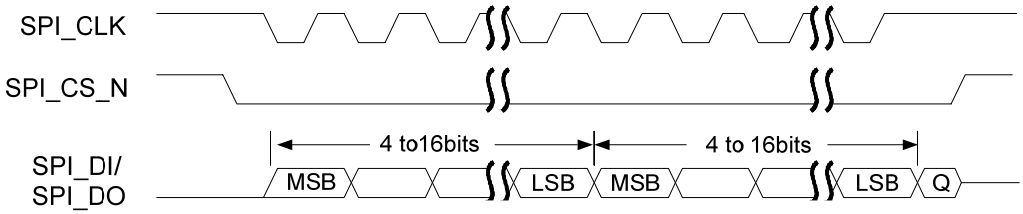
海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

图14-11 SPI 单帧帧格式（SPO=1、SPH=1）



SPI 连续帧帧格式如图 14-12 所示。

图14-12 SPI 连续帧帧格式（SPO=1、SPH=1）



在该模式下，当 SPI 处于空闲状态时：

- SPI_CLK 信号设置为高
- SPI_CS_N 信号设置为高
- 发送数据线 SPI_DO 强制为低

当 SPI 为使能状态，而且发送 FIFO 内有有效数据时，设置 SPI_CS_N Master 信号为低表示开始传输数据。半个 SPI_CLK 时钟周期后，Master 和 Slave 数据在各自的传输线上有效。同时，时钟 SPI_CLK 从 1 个下降沿开始有效。数据在 SPI_CLK 时钟的上升沿被捕获，在时钟的下降沿被传送。

当传输单个 word 时，SPI_CS_N 在传输的最后 1bit 捕获之后的 1 个 SPI_CLK 时钟周期之后恢复为高电平。

如果是连续传输，SPI_CS_N 信号始终保持为低。SPI_CS_N 在捕获到最后 1bit 之后的 1 个 SPI_CLK 时钟周期之后恢复到高状态。对于连续传输来说，SPI_CS_N 在传输过程中一直保持为低，结束方式与单个传输方式相同。

（5）接口时序

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

图14-13 SPI 接口时序图

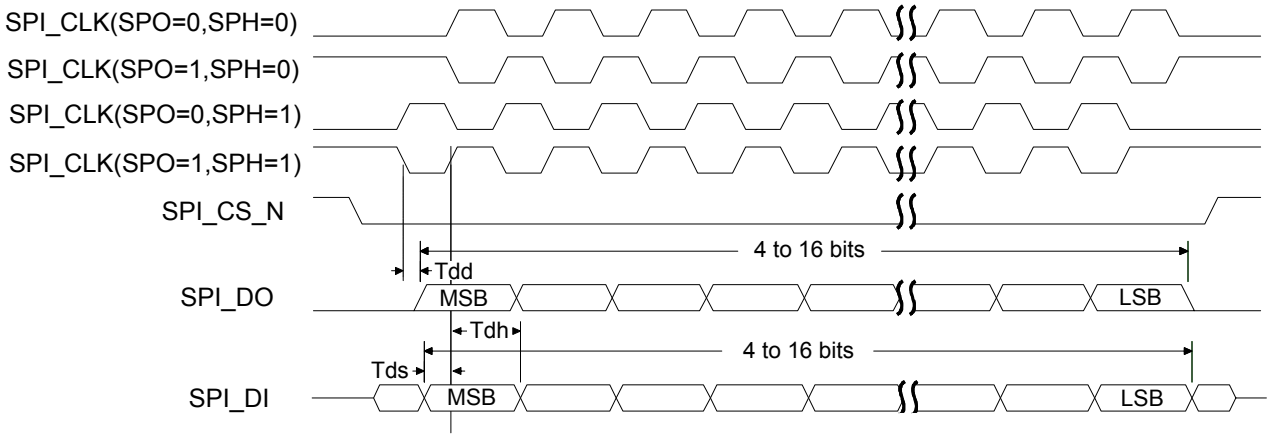


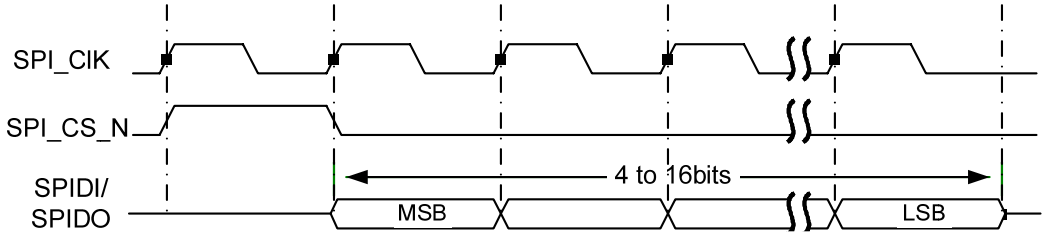
表14-2 SPI 接口时序参数

参数	描述	最小值	最大值	单位
Tdd	输出数据延迟	-3.5	5	ns
Tds	输入控制信号建立时间	23	-	ns
Tdh	输入控制信号保持时间	0	-	ns

TI 同步串行接口

TI 同步串行单帧帧格式如图 14-14 所示。

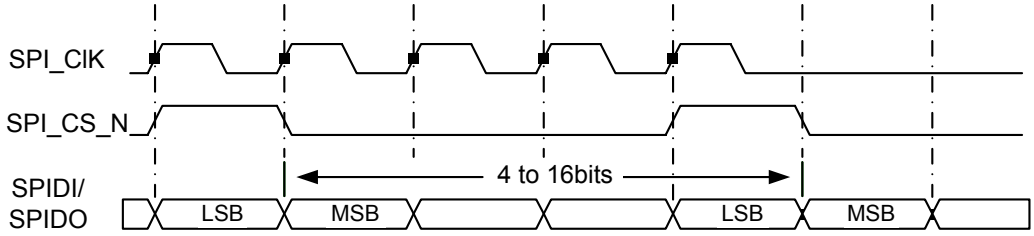
图14-14 TI 同步串行单帧帧格式



TI 同步串行连续帧帧格式如图 14-15 所示。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

图14-15 TI 同步串行连续帧帧格式



在该模式下，当 SPI 处于空闲状态时：

- SPICK 为低电平。
- SPICSN 为低电平。
- 传输数据线 SPIDO 保持为高阻。

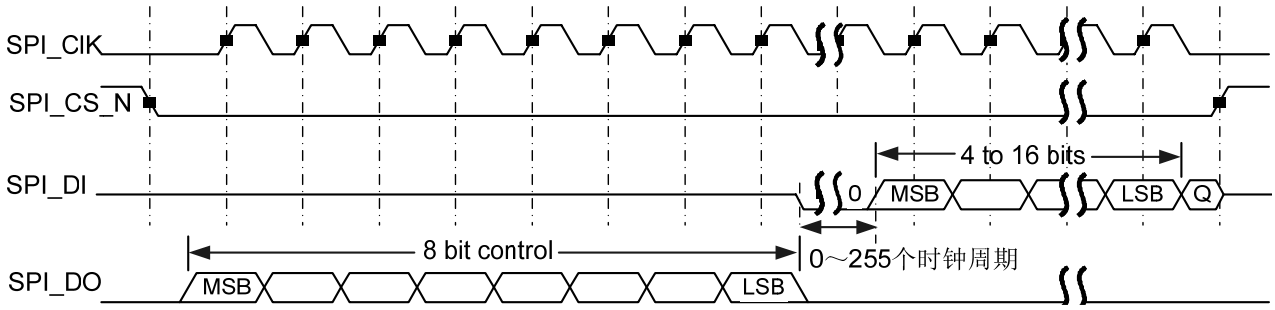
一旦发送 FIFO 有数据，SPICSN 就会产生一个 SPICK 时钟周期的高电平脉冲，将被发送的数据就会从发送 FIFO 传送到发送逻辑串行移位寄存器。在 SPICK 时钟的下一个上升沿，4bit～16bit 数据帧的 MSB 就会从 SPIDO 移位输出。同样，从外部串行 slave 设备接收数据的 MSB 会从 SPIDI 管脚移位输入。

SPI 和片外串行设备在 SPICK 时钟的下降沿将数据存入串行移位寄存器。接收串行寄存器在接收到 LSB 之后的第一个 SPICK 时钟上升沿将数据送给接收 FIFO。

National Semiconductor Microwire 接口

National Semiconductor Microwire 单帧帧格式如图 14-16 所示。

图14-16 National Semiconductor Microwire 单帧帧格式

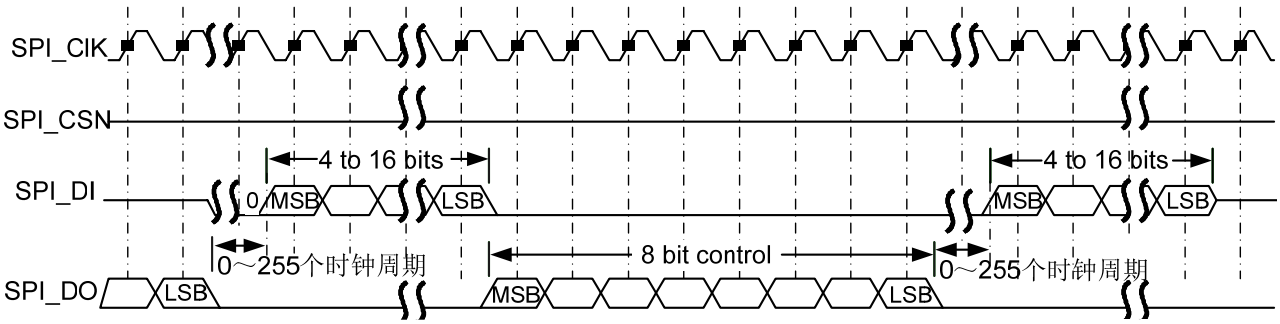


在 SPIDO LSB 结束和 SPIDI MSB 开始之间可以延迟 0～255 个时钟周期。

National Semiconductor Microwire 连续帧帧格式如图 14-17 所示。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

图14-17 National Semiconductor Microwire 连续帧帧格式



在 SPI_DO LSB 结束和 SPI_DI MSB 开始之间可以延迟 0～255 个时钟周期。

Microwire 的格式与 SPI 的格式非常相近，使用 master-slave 信息的传输技术，只不过 SPI 是全双工通信，而 Microwire 半双工通信。在 SPI 向外部芯片发送串行数据的时候，都要先加 8bit 控制字。在这个过程中，SPI 没有接收到任何数据。传输完毕之后，片外芯片对接收到的数据进行解码，在与 8bit 控制信息间隔一个时钟周期之后，slave 开始响应所需求的数据。返回的数据长度为 4bit～16bit，使得整个帧的长度为 13bit～25bit。

在该模式下，当 SPI 处于空闲状态时：

- SPI_CLK 信号设置为低电平。
- SPI_CS_N 设置为高电平。
- 发送数据线 SPI_DO 强制为低电平。

向发送 FIFO 内部写进一个控制字节开始一次传送。SPI_CS_N 的下降沿引发数据的传输，发送 FIFO 的数据被发送到串行移位寄存器，8bit 控制帧的 MSB 被发送到发送管脚 SPIDO。在帧的传送过程中，SPI_CS_N 保持为低。SPI_DI 在这个传送过程中保持为高阻。

片外的串行从设备在 SPI_CLK 时钟的每一个上升沿将数据锁存到串行移位寄存器中。当从设备锁存完最后 1 个 bit 的数据之后，在接下来的 1 个时钟周期的等待时间里，对接收到的数据开始解码，然后从设备反馈给 SPI 所要求的数据。每 1 个 bit 都是在 SPICK 时钟的下降沿写到 SPI_DI 的。对单个数据传送来说，在帧的结尾，SPI_CS_N 在最后 1 个 bit 写到接收串行寄存器之后的 1 个时钟周期后拉高，这样就使接收到的数据传送到接收 FIFO。

对于连续的传送来说，数据传送的开始和结束都和单个数据的传送方式相同。在这个传送过程中，信号 SPI_CS_N 时一直保持为低的，传送的数据也是连续的。下一帧的控制字直接和上一帧的 LSB 相邻。当帧的 LSB 锁存到 SPI 之后，接收到的每一个数值都是在 SPI_CLK 时钟的下降沿取自接收移位寄存器。

14.2.4 工作方式

工作模式

SPI 的工作模式分为中断或查询方式下的数据传输和 DMA 方式下的数据传输。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

时钟与复位

输出 SPI 时钟频率计算方式如下，

Fsspclkout = Fsspclk/（CPSDVRx（1+SCR））

Fsspclk：SPI 的工作参考时钟，1/2 总线时钟。

CPSDVR、SCR 请查询相应寄存器。

Hi3521 中 SPI 支持独立软复位，由寄存器 PERI_CRG57 bit[12]控制。相应位写“ 0 ”，SPI 退出软复位；相应位写“ 1 ”，SPI 进入软复位。上电缺省值为 0。

中断处理

SPI 有 5 个中断，其中前 4 个是独立中断源、可屏蔽、高电平有效。

- SPIRXINTR

  接收 FIFO 中断请求。当接收 FIFO 中有 4 个或更多的有效数据时，该中断置位。
- SPITXINTR

  发送 FIFO 中断请求。当发送 FIFO 中有 4 个或更少的有效数据时，该中断置位。
- SPIRORINTR

  接收 overrun 中断请求。当 FIFO 已满，且又有新的数据需要写入 FIFO 时，会引起 FIFO overrun，该中断置位。此时数据被写入接收移位寄存器，而不是 FIFO。
- SPIRTINTR

  接收 time out 中断请求。当接收 FIFO 非空，且 SPI 处于 idle 态超过一个固定的 32bit 周期，该中断置位。

  此时表明接收 FIFO 中仍有数据需要传输。如果接收 FIFO 被读空或者当有新的数据被接收到 SPIRXD 中，该中断解除置位。也可以通过写寄存器 SPIICR[RTIC]清除该中断。
- SPIINTR

  组合中断，为以上 4 个中断经过“或”运算后的结果。如果上述 4 个独立中断中任意一个置位且使能，该中断置位。

SPI 的中断 SPIINTR 请参见中断处理章节。

初始化

初始化步骤如下：

步骤 1. 向寄存器 SPICR1[sse]写“0”，禁止 SPI。

步骤 2. 写寄存器 SPICR0，配置帧格式及传输数据位宽等参数。

步骤 3. 配置寄存器 SPICPSR，设定时钟分频因子。

步骤 4. 中断方式下，设置寄存器 SPIIMSC，使能相应中断信号；查询、DMA 方式下，应禁止产生相应中断信号。

步骤 5. 中断或 DMA 方式，设置 SPITXFIFOCR 和 SPIRXFIFOCR。

步骤 6. DMA 方式下，配置寄存器 SPIDMACR，使能 SPI 的 DMA 功能。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

----结束

查询方式下的数据传输

因为发送/接收 FIFO 深度 512，一般不需考虑 FIFO 满。

具体步骤如下：

步骤 1. 如果用到多个片选，配置系统控制寄存器 PERIPHCTRL4 [14:12]，选择当前进行操作的片选。

步骤 2. 向寄存器 SPICR1[sse]写“1”，使能 SPI。

步骤 3. 将需发送的数据连续写到寄存器 SPIDR。

步骤 4. 轮询寄存器 SPISR，直到[BSY]=0（表示总线不忙）、[TFE]=1（表示发送 FIFO 已空）、[RNE]=1（表示接收 FIFO 非空），进入步骤 5。

步骤 5. 读出数据，需保证读空接收 FIFO（可通过查询 SPISR[RNE]得到）。

注意

SPI/Microwire 的全双工特性，每发一个数据就接收一个数据，即使只需发送数据，也需要清空接收 FIFO。

步骤 6. 向寄存器 SPICR1[sse]写“0”，禁止 SPI。

----结束

中断方式下的数据传输

具体步骤如下：

步骤 1. 如果用到多个片选，配置系统控制寄存器 PERIPHCTRL4 [14:12]，选择当前进行操作的片选。

步骤 2. 向寄存器 SPICR1[sse]写“1”，使能 SPI。

步骤 3. 将需发送的数据连续写到寄存器 SPIDR。

步骤 4. 等待中断 SPIRXINTR，读出数据。循环直到读出所有数据。

注意

SPI/Microwire 的全双工特性，每发一个数据就接收一个数据，即使只需发送数据，也需要清空接收 FIFO。

步骤 5. 向寄存器 SPICR1[sse]写“0”，禁止 SPI。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

----结束

DMA 方式下的数据传输

具体步骤如下：

步骤 1. 获取一个 DMAC 通道。

步骤 2. 如果用到 SPI0 两个片选，配置系统控制寄存器 PERIPHCTRL4 [14:12]，选择当前进行操作的片选。

步骤 3. 向寄存器 SPICR1[sse]写“1”，使能 SPI。

步骤 4. 发送数据

a. 配置该 DMAC 通道的配置寄存器和控制寄存器中的相关参数。

b. 启动 DMAC，响应 SPI 发送 FIFO 的 DMA 请求进行数据传输。

c. 通过 DMA 中断上报，判断数据是否发送完成，如果完成则关闭 SPI 的 DMA 功能。

步骤 5. 接收数据

a. 配置该 DMAC 通道的配置寄存器和控制寄存器中的相关参数。

b. 启动 DMAC，响应 SPI 接收 FIFO 的 DMA 请求进行数据传输。

c. 通过 DMA 中断上报，判断数据是否接收完成，如果完成则关闭 SPI 的 DMA 功能。

步骤 6. 向寄存器 SPICR1[sse]写“0”，禁止 SPI。

----结束

14.2.5 寄存器概览

SPI 寄存器概览如表 14-3 所示。

表14-3 SPI 寄存器概览（基址是 200C_0000）

偏移地址	名称	描述	页码
0x000	SPICR0	控制寄存器 0	14-24
0x004	SPICR1	控制寄存器 1	14-25
0x008	SPIDR	数据寄存器	14-26
0x00C	SPISR	状态寄存器	14-26
0x010	SPICPSR	时钟分频寄存器	14-27
0x014	SPIIMSC	中断屏蔽寄存器	14-28
0x018	SPIRIS	原始中断状态寄存器	14-29

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

偏移地址	名称	描述	页码
0x01C	SPIMIS	屏蔽后中断状态寄存器	14-29
0x020	SPIICR	中断清除寄存器	14-30
0x024	SPIDMACR	DMA 控制寄存器	14-30
0x028	SPITXFIFOCR	发送 FIFO 控制寄存器	14-31
0x02C	SPIRXFIFOCR	接收 FIFO 控制寄存器	14-32

14.2.6 寄存器描述

SPICR0

SPICR0 为控制寄存器 0。

Offset Address	Register Name	Total Reset Value
0x000	SPICR0	0x0000

Bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	SCR								SPH	SPO	FRF		DSS			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[15:8]	RW	SCR	串行时钟率，取值范围 0～255。SCR 的值用来产生 SPI 发送和接收的比特率，公式为 FSPICLK/(CPSDVSR/(1+SCR))。 CPSDVSR 是一个 2～254 之间的偶数，由寄存器 SPICPSR 配置。
[7]	RW	SPH	SPICLKOUT 相位，具体含义请参见“14.2.4 三种外设总线时序”的 SPI 帧格式。
[6]	RW	SPO	SPICLKOUT 极性，具体含义请参见“14.2.4 三种外设总线时序”的 SPI 帧格式。
[5:4]	RW	FRF	帧格式选择。 00：Motorola SPI 帧格式； 01：TI 同步串行帧格式； 10：National Microwire 帧格式； 11：保留。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

[3:0]	RW	DSS	设置数据位宽。 0011：4bit； 1000：9bit； 1101：14bit； 0100：5bit； 1001：10bit； 1110：15bit； 0101：6bit； 1010：11bit； 1111：16bit； 0110：7bit； 1011：12bit； 0111：8bit； 1100：13bit； 其他：保留。

SPICR1

SPICR1 为控制寄存器 1。

Offset Address	Register Name	Total Reset Value
0x004	SPICR1	0x7F00

Bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	WaitEn	WaitVal							reserved		BigEnd		reserved		MS	SSE	LBM
Reset	0	1	1	1	1	1	1	1	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[15]	RW	WaitEn	等待使能，当 SPICR0 寄存器的 FRF 配置为 National Microwire 帧格式时有效。 0：不使能； 1：使能。
[14:8]	RW	WaitVal	National Microwire 帧格式时，写和读之间的等待拍数。当 WaitEn 为 1 并且帧格式为 National Microwire 时有效。
[7:5]	RW	reserved	保留。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

[4]	RW	BigEnd	设置数据大小端模式。 0：小端结束； 1：大端结束。
[3]	RW	reserved	保留。
[2]	RW	MS	设置 Master 或者 Slave 模式，此位只能在 SPI 被禁止时改变。 0：Master 模式（默认）； 1：Slave 模式。
[1]	RW	SSE	设置 SPI 使能。 0：不使能； 1：使能。
[0]	RW	LBM	设置环回模式。 0：正常的串行接口操作使能； 1：发送串行移位寄存器的输出在内部连接到接收串行移位寄存器的输入上。

SPIDR

SPIDR 为数据寄存器。

Offset Address	Register Name	Total Reset Value
0x008	SPIDR	0x0000

Bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	DATA															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[15:0]	RW	DATA	发送/接收 FIFO。 读：接收 FIFO； 写：发送 FIFO。 如果数据比特数少于 16 则必须右对齐。发送逻辑将忽略高位未使用的比特位，接收逻辑则自动将数据右对齐。

SPISR

SPISR 为状态寄存器。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x00C	SPISR	0x0003

Bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved											BSY	RFF	RNE	TNF	TFE
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1

Bits	Access	Name	Description
[15:5]	RW	reserved	保留。
[4]	RW	BSY	SPI 忙标记。 0：空闲； 1：忙。
[3]	RW	RFF	接收 FIFO 是否已满。 0：未满； 1：已满。
[2]	RW	RNE	接收 FIFO 是否未空。 0：已空； 1：未空。
[1]	RW	TNF	发送 FIFO 是否未满。 0：已满； 1：未满。
[0]	RW	TFE	发送 FIFO 是否已空。 0：未空； 1：已空。

SPICPSR

SPICPSR 为时钟分频寄存器。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x010	SPICPSR	0x0000

Bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved								CPSDVSR							
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[15:8]	RW	reserved	保留。
[7:0]	RW	CPSDVSR	时钟分频因子。此值必须是 2～254 之间的偶数，取决于输入时钟 SPICLK 的频率。最低位读作“0”。

SPIIMSC

SPIIMSC 为中断屏蔽寄存器。

Offset Address	Register Name	Total Reset Value
0x014	SPIIMSC	0x0000

Bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved												TXIM	RXIM	RTIM	RORIM
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[15:4]	RW	reserved	保留。
[3]	RW	TXIM	发送 FIFO 中断屏蔽。 0：半空或更少情况下中断被屏蔽； 1：半空或更少情况下中断未被屏蔽。
[2]	RW	RXIM	接收 FIFO 中断屏蔽。 0：半空或更少情况下中断被屏蔽； 1：半空或更少情况下中断未被屏蔽。
[1]	RW	RTIM	接收超时中断。 0：接收超时中断屏蔽； 1：接收超时中断不屏蔽。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

[0]	RW	RORIM	接收溢出中断屏蔽。 0：接收 FIFO 溢出中断屏蔽； 1：接收 FIFO 溢出中断不屏蔽。 值为“1”时使能硬件流控功能，即接收 FIFO 满后 SPI 停止发送数据。

SPIRIS

SPIRIS 为原始中断状态寄存器。值“0”表示无中断，值“1”表示有中断。

Offset Address	Register Name	Total Reset Value
0x018	SPIRIS	0x0008

Bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved												TXRIS	RXRIS	RTRIS	RORRIS
Reset	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0

Bits	Access	Name	Description
[15:4]	RO	reserved	保留。
[3]	RO	TXRIS	发送 FIFO 中断的原始中断状态。
[2]	RO	RXRIS	接收 FIFO 中断的原始中断状态。
[1]	RO	RTRIS	接收超时中断的原始中断状态。
[0]	RO	RORRIS	接收溢出中断的原始中断状态。

SPIMIS

SPIMIS 为屏蔽后中断状态寄存器。值“0”表示无中断，值“1”表示有中断。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x01C	SPIMIS	0x0000

Bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved												TXMIS	RXMIS	RTMIS	RORMIS
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[15:4]	RO	reserved	保留。
[3]	RO	TXMIS	发送 FIFO 中断屏蔽后的状态。
[2]	RO	RXMIS	接收 FIFO 中断屏蔽后的状态。
[1]	RO	RTMIS	接收超时中断屏蔽后的状态。
[0]	RO	RORMIS	接收溢出中断屏蔽后的状态。

SPIICR

SPIICR 为中断清除寄存器。写“1”清除中断，写“0”无影响。

Offset Address	Register Name	Total Reset Value
0x020	SPIICR	0x0000

Bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved														RTIC	RORIC
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[15:2]	RO	reserved	保留。
[1]	RO	RTIC	清除接收超时中断。
[0]	RO	RORIC	清除接收溢出中断。

SPIDMACR

SPIDMACR 为 DMA 控制寄存器。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x024	SPIDMACR	0x0000

Bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved														TXDMAE	RXDMAE
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[15:2]	WO	reserved	保留位。
[1]	WO	TXDMAE	DMA 发送 FIFO 使能寄存器。 0：禁止； 1：使能。
[0]	WO	RXDMAE	DMA 接收 FIFO 使能寄存器。 0：禁止； 1：使能。

SPITXFIFOCR

SPITXFIFOCR 为发送 FIFO 控制寄存器。

Offset Address	Register Name	Total Reset Value
0x028	SPITXFIFOCR	0x0001

Bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved										TXINTSize		DMATXBRSize			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1

Bits	Access	Name	Description
[15:6]	RW	reserved	保留。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

[5:3]	RW	TXINTSize	配置发送 FIFO 请求中断的水线。即，发送 FIFO 中数据数目小于或等于 TXINTSize 所配置的字数时，TXRIS 有效。 000：1； 001：4； 010：8； 011：16； 100：32； 101：64； 110：64； 111：64。
[2:0]	RW	DMATXBRSize	配置发送 FIFO 请求 DMA 进行 burst 传输的水线。即，发送 FIFO 中数据数目小于或等于（256-DMATXBRSize）所配置的字数时，DMATXBREQ 有效，此处字长是 16 位。 000：1； 001：4； 010：8； 011：16； 100：32； 101：64； 110：128； 111：128。

SPIRXFIFOCR

SPIRXFIFOCR 为接收 FIFO 控制寄存器。

Offset Address	Register Name	Total Reset Value
0x02C	SPIRXFIFOCR	0x0001

Bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved										RXINTSize		DMARXBRSize			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1

Bits	Access	Name	Description
[15:6]	RW	reserved	保留。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

[5:3]	RW	RXINTSize	配置接收 FIFO 请求中断的水线。即，接收 FIFO 中数据数目大于或等于（256-RXINTSize）所配置的字数时，RXRIS 有效，此处字长是 16 位。 000：1； 001：4； 010：8； 011：16； 100：32； 101：64； 110：64； 111：64。
[2:0]	RW	DMARXBRSize	配置接收 FIFO 请求 DMA 进行 burst 传输的水线。即，接收 FIFO 中数据数目大于或等于 DMARXBRSize 所配置的字数时，DMARXBREQ 有效。 000：1； 001：4； 010：8； 011：16； 100：32； 101：64； 110：128； 111：224。

14.3 通用异步收发器

14.3.1 概述

通用异步收发器 UART（Universal Asynchronous Receiver Transmitter）是一个异步串行的通信接口，主要功能是将来自外围设备的数据进行串并转换之后传入内部总线，以及将数据进行并串转换之后输出到外部设备。UART 的主要功能是和外部芯片的 UART 进行对接，从而实现两芯片间的通信。

Hi3521 提供 4 个 UART 单元：

- UART0：2 线 UART，主要用于调试。
- UART1：4 线 UART，主要用于连接外部 Moderm。
- UART2/3：2 线 UART，可用于与通用的 UART 设备对接。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

14.3.2 特点

UART 模块有以下特点：

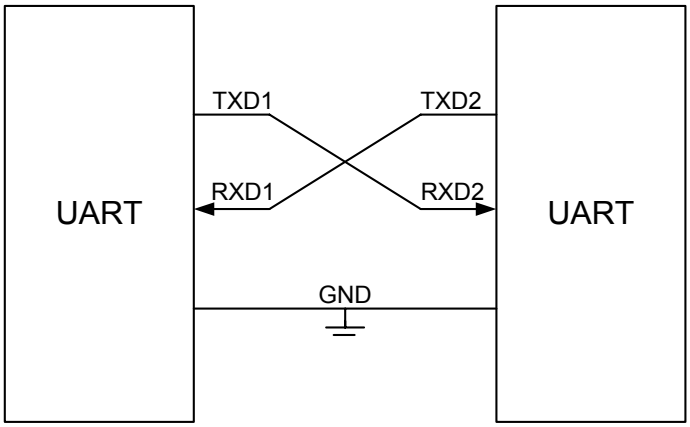
- 支持 16 x 8bit 的发送 FIFO 和 16 x 12bit 的接收 FIFO。
- 支持数据位和停止位的位宽可编程。数据位可通过编程设定为 5/6/7/8 比特；停止位可通过编程设定为 1bit 或 2bit。
- 支持奇、偶校验方式或者无校验。
- 支持传输速率可编程。
- 支持接收 FIFO 中断、发送 FIFO 中断、接收超时中断、错误中断。
- 支持初始中断状态查询和屏蔽后中断状态查询。
- 支持通过编程禁止 UART 模块或者 UART 发送/接收功能以降低功耗。
- 支持关断 UART 时钟以节省功耗。
- 支持 DMA 操作。

14.3.3 功能描述

应用框图

UART 的典型应用框图如图 14-18 所示。

图14-18 UART 的典型应用框图一



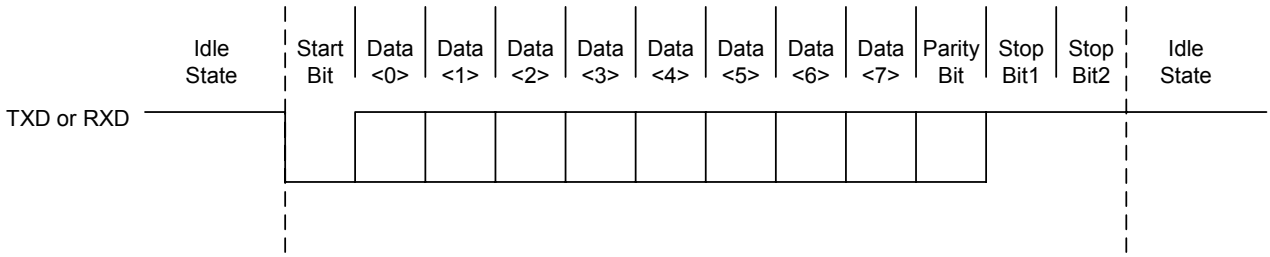
UART 是一种异步双向串行总线，它提供了一种简单有效的数据传输方式，只需要两根数据线互相对接。

功能原理

UART 的一次帧传输主要包括起始信号、数据、校验位和结束信号，如图 14-19 所示。数据帧从某一 UART 的 TXD 端输出，从另一个 UART 的 RXD 端输入。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

图14-19 UART 帧格式



起始信号、数据、校验位和结束信号的含义如下：

- 起始信号（start bit）

  一个数据帧开始的标志，UART 协议规定 TXD 信号出现一个低电平就表示一个数据帧的开始。在 UART 不传输数据时，应该保持高电平。

- 数据信号（data bit）

  数据位宽可以根据不同的应用要求进行调整，可以配置成 5bit/6bit/7bit/8bit 数据位宽。

- 校验位（parity bit）

  校验位是 1 比特纠错信号，UART 的校验位有奇校验、偶校验和固定校验位，同时支持校验位的使能和禁止，详细描述请见 UART_LCR_H 寄存器。

- 结束信号（stop bit）

  结束信号即数据帧的停止位，支持 1 比特和 2 比特停止位两种配置。数据帧的结束信号就是把 TXD 拉成高电平。

14.3.4 工作方式

14.3.4.1 波特率配置

通过配置寄存器 UART_IBRD 和 UART_FBRD 可以设置 UART 工作的波特率，波特率计算公式为：

当前波特率=UART 参考时钟频率（1/2 总线时钟频率）/（16 x 分频系数）

分频系数有整数和小数两部分组成，分别对应寄存器 UART_IBRD 和 UART_FBRD。

例如：UART 参考时钟频率为 60MHz，如果配置 UART_IBRD 为 0x1E，UART_FBRD 为 0x00，按照波特率计算公式，则当前的波特率为 60/（16 x 30）=0.125Mbit/s。

UART 波特率配置的典型值为：9,600bit/s、14,400bit/s、19,200bit/s、38,400bit/s、57,600bit/s、76,800bit/s、115,200bit/s、230,400bit/s、460,800bit/s。

分频系数值的计算以及分频系数寄存器的配置举例如下：

如果要求波特率为 230400bit/s，并且 UART 参考时钟频率为 100MHz，那么分频系数为（100 x 10^6）/（16 x 230400）=27.1267，因此 IBRD（整数部分）为 27，FBRD（小数部分）为 0.1267。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

计算 6bit UART_FBRD 寄存器中的数值：根据 m=integer（FBRDx2^n+0.5）（n=UART_FBRD 寄存器的宽度），计算出 m=integer（0.1267x2^6+0.5）=8，在 UART_IBRD 寄存器中配置 0x001B，UART_FBRD 寄存器中配置 0x08。

当分频系数小数部分配置成 8 时，波特率除数的实际数值为 27+8/64=27.125，产生的波特率为（100 x 10^6）/（16 x 27.125）=230414.75，误差率为（230414.75–230400）/230400x100=0.006%。

使用 6bit UART_FBRD 寄存器最大的误差率为 1/64 x 100=1.56%，当 m=1 时会出现，误差率累计超过 64 个时钟周期。

14.3.4.2 软复位

通过配置 CRG 寄存器可实现对 UART 控制器的单独软复位。

- 通过配置 CRG 寄存器 PERI_CRG57[7]为 1，可实现对 UART0 控制器的单独软复位。
- 通过配置 CRG 寄存器 PERI_CRG57[8]为 1，可实现对 UART1 控制器的单独软复位。
- 通过配置 CRG 寄存器 PERI_CRG57[9]为 1，可实现对 UART2 控制器的单独软复位。
- 通过配置 CRG 寄存器 PERI_CRG57[10]为 1，可实现对 UART3 控制器的单独软复位。

复位后各配置寄存器的值均为默认值，因此复位后需要重新对这些寄存器进行初始化配置。

14.3.4.3 中断或查询方式下的数据传输

初始化

初始化步骤如下：

步骤 1. 向 UART_CR bit[0]写 0，使 UART 处于禁止状态。

步骤 2. 写相应的配置值到 UART_IBRD、UART_FBRD 寄存器，配置传输速率。

步骤 3. 配置 UART_CR、UART_LCR_H，设定相应的 UART 工作模式。

步骤 4. 配置 UART_IFLS 设定相应的发送及接收 FIFO 阈值。

步骤 5. 如果驱动程序采用中断方式则需设定 UART_IMSC，使能相应中断信号；采用查询方式时应禁止产生相应中断信号。

步骤 6. 向 UART_CR bit[0]写 1，使能 UART，完成初始化配置。

----结束

数据发送

数据发送步骤如下：

步骤 1. 将发送数据写入 UART_DR，启动数据发送。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

步骤 2. 查询方式下，进行连续数据发送时通过读取 UART_FR bit[5]检测 TX_FIFO 状态，根据 TX_FIFO 的状态决定是否向 TX_FIFO 中发送数据；中断方式下，则根据相应中断状态位检测；决定是否向 TX_FIFO 中发送数据。

步骤 3. 通过检测 UART_FR bit[7]是否为 1，判断 UART 是否完成全部数据发送。

----结束

数据接收

数据接收的处理方式如下：

- 查询方式下，进行数据接收时通过读取 UART_FR[rxfe]检测 RX_FIFO 状态，根据 RX_FIFO 的状态决定是否读取 RX_FIFO 中的数据。
- 中断方式下，则根据相应中断状态位检测决定是否读取 RX_FIFO 中的数据。

14.3.4.4 DMA 方式下的数据传输

初始化

初始化步骤如下：

步骤 1. 向 UART_CR[uarten]写 0，使 UART 处于禁止状态。

步骤 2. 写相应的配置值到 UART_IBRD、UART_FBRD 寄存器，配置传输速率。

步骤 3. 配置 UART_CR、UART_LCR_H，设定相应的 UART 工作模式。

步骤 4. 配置 UART_IFLS 设定相应的发送及接收 FIFO 阈值。

步骤 5. 如果驱动程序采用中断方式则需设定 UART_IMSC，使能相应中断信号；采用查询方式时应禁止产生相应中断信号。

步骤 6. 向 UART_CR[uarten]写 1，使能 UART，完成初始化配置。

----结束

数据发送

数据发送（以 DMA 模式为例）步骤如下：

步骤 1. 配置 DMA 数据通道，包括数据传输源和目的地址、数据传输个数、传输类型等参数。具体配置时请参见“直接存储器存取控制器”的相关描述。

步骤 2. 配置 UART_DMACR 为 0x2，使能 UART 的 DMA 发送功能。

步骤 3. 通过 DMA 中断上报，判断数据是否发送完成，如果完成则关闭 UART 的 DMA 发送功能。

----结束

数据接收

数据接收（以 DMA 模式为例）步骤如下：

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

步骤 1. 配置 DMA 数据通道，包括数据传输源和目的地址、数据接收区地址、数据传输个数、传输类型等参数。

步骤 2. 配置 UART_DMACR 为 0x1，使能 UART 的 DMA 接收功能。

步骤 3. 通过 DMA 状态查询，判断数据是否接收完成，如果完成则关闭 UART 的 DMA 接收功能。

----结束

14.3.5 寄存器概览

Hi3521 提供 4 个 UART 单元，基址分别如下：

- UART0 寄存器基地址为 0x2008_0000。
- UART1 寄存器基地址为 0x2009_0000。
- UART2 寄存器基地址为 0x200A_0000。
- UART3 寄存器基地址为 0x200B_0000。

UART 寄存器概览如表 14-4 所示。

表14-4 UART 寄存器概览

偏移地址	名称	描述	页码
0x000	UART_DR	数据寄存器	14-39
0x004	UART_RSR	接收状态寄存器/错误清除寄存器	14-39
0x008～0x014	RESERVED	保留	-
0x018	UART_FR	标志寄存器	14-40
0x01C～0x020	RESERVED	保留	-
0x024	UART_IBRD	整数波特率寄存器	14-42
0x028	UART_FBRD	小数波特率寄存器	14-42
0x02C	UART_LCR_H	线控寄存器	14-43
0x030	UART_CR	控制寄存器	14-44
0x034	UART_IFLS	中断 FIFO 阈值选择寄存器	14-46
0x038	UART_IMSC	中断屏蔽寄存器	14-46
0x03C	UART_RIS	原始中断状态寄存器	14-47
0x040	UART_MIS	屏蔽后中断状态寄存器	14-48
0x044	UART_ICR	中断清除寄存器	14-49
0x048	UART_DMACR	DMA 控制寄存器	14-50

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

14.3.6 寄存器描述

UART_DR

UART_DR 为 UART 数据寄存器，存放接收数据和发送数据，同时可以从该寄存器中读出接收状态。

Offset Address	Register Name	Total Reset Value
0x000	UART_DR	0x00

Bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				oe	be	pe	fe	data							
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[15:12]	-	reserved	保留。
[11]	RO	oe	溢出错误。 0：无溢出错误； 1：有溢出错误，接收 FIFO 满且接收了一个数据。
[10]	RO	be	Break 错误。 0：无 break 错误； 1：有 break 错误，即接收数据的输入保持低的时间比一个全字传输（包括 start、data、parity、stop bit）还要长。
[9]	RO	pe	校验错误。 0：无校验错误； 1：有校验错误。
[8]	RO	fe	帧错误。 0：无帧错误； 1：有帧错误（错误的停止位）。
[7:0]	RW	data	接收数据和发送数据。

UART_RSR

UART_RSR 为接收状态寄存器/错误清除寄存器。

- 寄存器读时作为接收状态寄存器。
- 寄存器写时作为错误清除寄存器。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

接收状态也可以从 UART_DR 中读出。从 UART_DR 中读出的 break、frame、parity 的状态信息要比从 UART_RSR 读出的信息优先级高（即 UART_DR 中的状态变化比 UART_RSR 更快）。

对 UART_RSR 寄存器的任何写操作都会对 UART_RSR 寄存器进行复位。

Offset Address	Register Name	Total Reset Value
0x004	UART_RSR	0x00

Bit	7	6	5	4	3	2	1	0
Name	reserved				oe	be	pe	fe
Reset	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[7:4]	-	reserved	保留。
[3]	RW	oe	溢出错误。 0：无溢出错误； 1：溢出错误。 当 FIFO 满时，FIFO 中的内容保持有效，因为不会有下一个数据写到 FIFO 中，只是移位寄存器会溢出。CPU 必须立刻读数据以腾空 FIFO。
[2]	RW	be	Break 错误。 0：无 break 错误； 1：break 错误。 Break 的条件：接收数据的输入保持低的时间比一个全字传输（定义了 start、data、parity、stop bit）还要长。
[1]	RW	pe	校验错误。 0：无校验错误； 1：接收数据的校验错误。 FIFO 模式下，该错误与 FIFO 顶部的数据相关联。
[0]	RW	fe	帧错误。 0：无帧错误； 1：接收到的数据的停止位错误（有效的停止位为 1）。

UART_FR

UART_FR 为 UART 标志寄存器。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x018	UART_FR	0x0012

Bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved								txfe	rxff	txff	rxfe	busy	reserved		
Reset	0	0	0	0	0	0	0	0	0	0	0	1	0	0	1	0

Bits	Access	Name	Description
[15:8]	-	reserved	保留。
[7]	RO	txfe	该位的含义由 UART_LCR_H[fen]的状态决定。 如果 UART_LCR_H[fen]为 0，则当发送 holding register 空时该位置 1； 如果 UART_LCR_H[fen]为 1，则当发送 FIFO 为空时该位置 1。
[6]	RO	rxff	该位的含义由 UART_LCR_H[FEN]的状态决定。 如果 UART_LCR_H[fen]为 0，则当接收 holding register 满时该位置 1； 如果 UART_LCR_H[fen]为 1，则当接收 FIFO 为满时该位置 1。
[5]	RO	txff	该位的含义由 UART_LCR_H[FEN]的状态决定。 如果 UART_LCR_H[fen]为 0，则当发送 holding register 满时该位置 1； 如果 UART_LCR_H[fen]为 1，当发送 FIFO 为满时该位置 1。
[4]	RO	rxfe	该位的含义由 UART_LCR_H[FEN]的状态决定。 如果 UART_LCR_H[fen]为 0，则当接收 holding register 空时该 bit 置 1； 如果 UART_LCR_H[fen]为 1，则当接收 FIFO 为空时该位就置 1。
[3]	RO	busy	UART 忙闲状态位。 0：UART 空闲或者完成发送数据； 1：UART 正忙于发送数据。 该位一旦置位，该状态一直保持到整个字节（包括所有的停止位）完全从移位寄存器中发送出去。 一旦发送 FIFO 非空该位就置位，不管 UART 使能与否。
[2:0]	-	reserved	保留。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

UART_IBRD

UART_IBRD 为整数波特率寄存器。

Offset Address	Register Name	Total Reset Value
0x024	UART_IBRD	0x0000

Bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	baud divint															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[15:0]	RW	baud divint	整数波特率分频值。复位时全部清 0。

UART_FBRD

UART_FBRD 为小数波特率寄存器。

注意

- 整数波特率寄存器和小数波特率寄存器的值必须等到当前数据发送和接收完毕才能更新。
- 最小的分频值为 1，最大的分频值为 65535（2^{16}–1）。即 UART_IBRD=0 是无效的，而此时 UART_FBRD 将被忽略。同样，如果 UART_IBRD=65535（0xFFFF），UART_FBRD 就只能是 0，如果比 0 大，则会导致发送和接收的失败。
- 假设 UART_FBRD=0x1E、UART_IBRD=0x01，这就表示分频系数的整数部分为 30，小数部分为 0.015625，整个分频系数为 30.015625。
- UART 的波特率=内部总线频率/（16 x 分频系数）=内部总线频率/（16 x 30.015625）。

Offset Address	Register Name	Total Reset Value
0x028	UART_FBRD	0x00

Bit	7	6	5	4	3	2	1	0
Name	reserved		baud divfrac					
Reset	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[7:6]	-	reserved	保留。
[5:0]	RW	band divfrac	小数波特率分频值。复位时全部清 0。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

UART_LCR_H

UART_LCR_H 为传输模式控制寄存器，UART_LCR_H、UART_IBRD、UART_FBRD 组成一个 30bit 宽的寄存器。如果更新 UART_IBRD 和 UART_FBRD 的内容，必须同时更新 UART_LCR_H。

Offset Address	Register Name	Total Reset Value
0x02C	UART_LCR_H	0x0000

Bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved								sps	wlen		fen	stp2	eps	pen	brk
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[15:8]	-	reserved	保留。
[7]	RW	sps	校验选择。 当本寄存器的 bit[1]、bit[2]、bit[7]被置位时，校验位就会作为 0 发送和检测； 当本寄存器的 bit[1]、bit[7]被置位，bit[2]为 0 时，校验位就会作为 1 发送和检测。 当 bit[1]、bit[2]、bit[7]都清 0，则 stick parity 禁止。
[6:5]	RW	wlen	指示发送和接收一个帧里数据比特的数目。 00：5bit； 01：6bit； 10：7bit； 11：8bit。
[4]	RW	fen	发送和接收 FIFO 使能控制。 0：发送和接收 FIFO 禁止； 1：发送和接收 FIFO 使能。
[3]	RW	stp2	发送帧尾 2bit 停止位判断。 0：发送的帧尾没有 2bit 停止位； 1：发送的帧尾有 2bit 停止位。 接收逻辑在接收时不检查 2bit 的停止位。
[2]	RW	eps	发送和接收过程中的奇偶校验选择。 0：在发送和接收过程中生成奇校验或检查奇校验； 1：在发送和接收过程中生成偶校验或检查偶校验。 当 UART_LCR_H[fen]为 0 时，该位不起作用。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

[1]	RW	pen	校验选择位。 0：不作校验； 1：发送方向产生校验，接收方向作校验检查。
[0]	RW	brk	发送 break。 0：无效； 1：在完成当前数据的发送后，UTXD 连续输出低电平。 **注意：要正确的执行 break 命令，软件将该位置 1 的时间必须超过 2 个完整帧；在正常使用中，该位必须清 0。**

UART_CR

UART_CR 为 UART 控制寄存器。

配置 UART_CR 遵循以下步骤：

步骤 1. 向 UART_CR[uarten]写 0，禁止 UART。

步骤 2. 等待当前数据发送或接收结束。

步骤 3. 将 UART_LCR_H[fen]清 0。

步骤 4. 配置 UART_CR。

步骤 5. 向 UART_CR[uarten]写 1，使能 UART。

----结束

Offset Address	Register Name	Total Reset Value
0x030	UART_CR	0x0300

Bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	ctsen	rtsen	reserved		rts	dtr	rxe	txe	lbe	reserved						uarten
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[15]	RW	ctsen	CTS 硬件流控使能。 0：不使能 CTS 硬件流控； 1：使能 CTS 硬件流控，只有当 nUARTCTS 信号有效时才发送数据。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

[14]	RW	rtsen	RTS 硬件流控使能。 0：不使能 RTS 硬件流控； 1：使能 RTS 硬件流控，只有当接收 FIFO 有空间时才请求接收数据。
[13:12]	-	reserved	保留。
[11]	RW	rts	请求发送。 该 bit 为 UART modem 状态输出信号 nUARTRTS 的取反。 0：输出信号不变； 1：即该 bit 配置为 1，则输出信号为 0。
[10]	RW	dtr	数据发送准备。 该 bit 为 UART modem 状态输出信号 nUARTDTR 的取反。 0：输出信号不变； 1：即该 bit 配置为 1，则输出信号为 0。
[9]	RW	rxe	UART 接收使能。 0：禁止； 1：使能。 在接收的过程中如果 UART 被禁止，则当前数据的接收就会在正常停止之前结束。
[8]	RW	txe	UART 发送使能。 0：禁止； 1：使能。 在发送的过程中如果 UART 被禁止，则当前数据的发送就会在正常停止之前结束。
[7]	RW	lbe	环回使能。 0：禁止； 1：UARTTXD 输出环回到 UARTRXD。
[6:1]	-	reserved	保留。
[0]	RW	uarten	UART 使能。 0：禁止； 1：使能。 如果在发送和接收过程中将 UART 禁止，则会在正常停止之前结束当前数据的传送。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

UART_IFLS

UART_IFLS 为中断 FIFO 阈值选择寄存器，用于设置 FIFO 的中断（UART_TXINTR 或 UART_RXINTR）触发线。

Offset Address	Register Name	Total Reset Value
0x034	UART_IFLS	0x0012

Bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved										rxiflsel			txiflsel		
Reset	0	0	0	0	0	0	0	0	0	0	0	1	0	0	1	0

Bits	Access	Name	Description
[15:6]	-	reserved	保留。
[5:3]	RW	rxiflsel	接收中断 FIFO 的阈值选择，接收中断的触发点如下。 000：接收 FIFO≥1/8full； 001：接收 FIFO≥1/4full； 010：接收 FIFO≥1/2full； 011：接收 FIFO≥3/4full； 100：接收 FIFO≥7/8full； 101～111：保留。
[2:0]	RW	txiflsel	发送中断 FIFO 的阈值选择，发送中断的触发点如下。 000：发送 FIFO≤1/8full； 001：发送 FIFO≤1/4full； 011：发送 FIFO≤3/4full； 010：发送 FIFO≤1/2full； 100：发送 FIFO≤7/8full； 101～111：保留。

UART_IMSC

UART_IMSC 为中断屏蔽寄存器，用于屏蔽中断。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x038	UART_IMSC	0x0000

Bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved					oeim	beim	peim	feim	rtim	txim	rxim	reserved			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[15:11]	-	reserved	保留。
[10]	RW	oeim	溢出错误中断的屏蔽状态。 0：屏蔽该中断； 1：不屏蔽该中断。
[9]	RW	beim	break 错误中断的屏蔽状态。 0：屏蔽该中断； 1：不屏蔽该中断。
[8]	RW	peim	校验中断的屏蔽状态。 0：屏蔽该中断； 1：不屏蔽该中断。
[7]	RW	feim	帧错误中断的屏蔽状态。 0：屏蔽该中断； 1：不屏蔽该中断。
[6]	RW	rtim	接收超时中断的屏蔽状态。 0：屏蔽该中断； 1：不屏蔽该中断。
[5]	RW	txim	发送中断的屏蔽状态。 0：屏蔽该中断； 1：不屏蔽该中断。
[4]	RW	rxim	接收中断的屏蔽状态。 0：屏蔽该中断； 1：不屏蔽该中断。
[3:0]	-	reserved	保留。

UART_RIS

UART_RIS 为原始中断状态寄存器，其内容不受中断屏蔽寄存器的影响。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x03C	UART_RIS	0x0000

Bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved					oeris	beris	peris	feris	rtris	txris	rxris	reserved			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[15:11]	-	reserved	保留。
[10]	RO	oeris	原始的溢出错误中断状态。 0：未产生中断； 1：已产生中断。
[9]	RO	beris	原始的 break 错误中断状态。 0：未产生中断； 1：已产生中断。
[8]	RO	peris	原始的校验中断状态。 0：未产生中断； 1：已产生中断。
[7]	RO	feris	原始的错误中断状态。 0：未产生中断； 1：已产生中断。
[6]	RO	rtris	原始的接收超时中断状态。 0：未产生中断； 1：已产生中断。
[5]	RO	txris	原始的发送中断状态。 0：未产生中断； 1：已产生中断。
[4]	RO	rxris	原始的接收中断状态。 0：未产生中断； 1：已产生中断。
[3:0]	-	reserved	保留。

UART_MIS

UART_MIS 为屏蔽后中断状态寄存器，其内容为原始中断状态和中断屏蔽进行“与”操作后的结果。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x040	UART_MIS	0x0000

Bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved					oemis	bemis	pemis	femis	rtmis	txmis	rxmis	reserved			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[15:11]	-	reserved	保留。
[10]	RO	oemis	屏蔽后的溢出错误中断状态。 0：未产生中断； 1：已产生中断。
[9]	RO	bemis	屏蔽后的 break 错误中断状态。 0：未产生中断； 1：已产生中断。
[8]	RO	pemis	屏蔽后的校验中断状态。 0：未产生中断； 1：已产生中断。
[7]	RO	femis	屏蔽后的错误中断状态。 0：未产生中断； 1：已产生中断。
[6]	RO	rtmis	屏蔽后的接收超时中断状态。 0：未产生中断； 1：已产生中断。
[5]	RO	txmis	屏蔽后的发送中断状态。 0：未产生中断； 1：已产生中断。
[4]	RO	rxmis	屏蔽后的接收中断状态。 0：未产生中断； 1：已产生中断。
[3:0]	-	reserved	保留。

UART_ICR

UART_ICR 为中断清除寄存器，写 1 时相应的中断被清除，写 0 则不起作用。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x044	UART_ICR	0x0000

Bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved					oeic	beic	peic	feic	rtic	txic	rxic	reserved			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[15:11]	-	reserved	保留。
[10]	WO	oeic	清除溢出错误中断。 0：无效； 1：清除中断。
[9]	WO	beic	清除 break 错误中断。 0：无效； 1：清除中断。
[8]	WO	peic	清除校验中断。 0：无效； 1：清除中断。
[7]	WO	feic	清除错误中断。 0：无效； 1：清除中断。
[6]	WO	rtic	清除接收超时中断。 0：无效； 1：清除中断。
[5]	WO	txic	清除发送中断。 0：无效； 1：清除中断。
[4]	WO	rxic	清除接收中断。 0：无效； 1：清除中断。
[3:0]	-	reserved	保留。

UART_DMACR

UART_DMACR 为 DMA 控制寄存器，用于配置发送 FIFO 和接收 FIFO 的 DMA 使能。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x048	UART_DMACR	0x0000

Bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved													dmaonerr	txdmae	rxdmae
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[15:3]	-	reserved	保留。
[2]	RW	dmaonerr	UART 错误中断（UARTEINTR）出现时的接收通道 DMA 使能控制。 0：当 UART 错误中断（UARTEINTR）有效时，接收通道 DMA 的请求输出（UARTRXDMASREQ 或 UARRTXDMABREQ）有效； 1：当 UART 错误中断（UARTEINTR）有效时，接收通道 DMA 的请求输出（UARTRXDMASREQ 或 UARRTXDMABREQ）无效。
[1]	RW	txdmae	发送 FIFO 的 DMA 使能控制。 0：禁止； 1：使能。
[0]	RW	rxdmae	接收 FIFO 的 DMA 使能控制。 0：禁止； 1：使能。

14.4 红外接口

14.4.1 概述

红外遥控接收单元 IR（Infrared Remoter）通过红外接口接收红外数据。

14.4.2 特点

IR 模块具有以下特点：

- 软件可配置关闭红外遥控接收模块。
- 支持 2 种工作模式：
  - 模式 0：支持 NEC with simple repeat code、NEC with full repeat code、SONY 和 TC9012 四种数据格式解码，及接收数据错误检测和红外遥控唤醒等功能。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

  - 模式 1：支持任意数据格式的 symbol 电平宽度检测。
- 模式 0 时，支持接收数据帧溢出中断、接收数据帧格式错误中断、接收数据帧中断、按键释放的中断、各种中断构成的组合中断。
- 模式 1 时，支持接收 symbol 溢出中断、接收到 symbol 中断、symbol 超时中断、各种中断构成的组合中断。
- 支持初始中断状态查询和屏蔽后中断状态查询。
- 支持中断清除和屏蔽（写清）。
- 支持红外遥控唤醒。
- 支持参考时钟频率 1MHz～128MHz 可选，软件可编程控制分频因子使工作时钟预分频到 1MHz。

14.4.3 功能描述

当 IR 模块接收到红外遥控器发射的红外信号时，便对其进行解码，然后传送给 ARM 系统。ARM 系统再根据接收到的码的不同进行相应的操作，实现期望的功能。IR 模块连接在 ARM 子系统内的 APB 总线上，当芯片处于低功耗状态时（CPU 处于低频模式），IR 模块会在接收一个完整的帧数据后，产生中断信号送给 CPU，实现红外遥控唤醒功能。

通过对多种红外遥控器发出的信号进行分析，发现在不同的遥控器发出的红外指令中，引导码各不相同，而且后面的控制指令也有较大差别，甚至指令码的位数也不相同，这是因为这些红外遥控器的设计没有遵循统一的红外遥控标准。尽管遵循的标准不同，但是基本的编码思想是相同的，都是采用不同的周期和不同占空比的脉冲分别表示 0 和 1。不同遥控器占空比可能不同，且脉冲周期也不相同。根据这些不同，对一些码型类似的红外数据进行分类：NEC with simple repeat code 的数据格式、NEC with full repeat code 的数据格式、TC9012 的数据格式和 SONY 的数据格式。

红外接收数据码型统计情况如表 14-5～表 14-7 所示。

表14-5 红外接收数据码型的统计表（NEC with simple repeat code）

数据格式		NEC with simple repeat code			
		uPD6121G	D6121/BU5777/D1913	LC7461M-C13	AEHA
引导码（10μs）	LEAD_S	900	900	900	337.6
	LEAD_E	450	450	450	168.8
bit0（10μs）	B0_L	56	56	56	42.2
	B0_H	56	56	56	42.2
bit1（10μs）	B1_L	56	56	56	42.2
	B1_H	169	169	169	126.6
simple repeat code（10μs）	SLEAD_S	900	900	900	337.6
	SLEAD_E	225	225	225	337.6
burst（10μs）		55	55	55	42.2

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

数据格式	NEC with simple repeat code			
	uPD6121G	D6121/BU5777/D1913	LC7461M-C13	AEHA
帧长（10μs）	10800	10800	10800	8777.6～12828.8
有效数据位	32	32	42	48

表14-6 红外接收数据码型的统计表（NEC with full repeat code）

数据格式		NEC with full repeat code						
		uPD6121G	LC7461M-C13	MN6024-C5D6	MN6014-C6D6	MATNEW	MN6030	PANASONIC
引导码（10μs）	LEAD_S	900	900	337.6	349.2	348.8	349	352
	LEAD_E	450	450	337.6	349.2	374.4	349	352
bit0（10μs）	B0_L	56	56	84.4	87.3	43.6	87.3	88
	B0_H	56	56	84.4	87.3	43.6	87.3	88
bit1（10μs）	B1_L	56	56	84.4	87.3	43.6	87.3	88
	B1_H	169	169	253.2	174.6	130.8	261.9	264
simple repeat code（10μs）	SLEAD_S	无	无	无	无	无	无	无
	SLEAD_E							
burst（10μs）		55	55	84.4	87.3	43.6	87.3	88
帧长（10μs）		10800	10800	10130	10470	12413.6～16594.4	10500	10400
有效数据位		32	42	22	24	48	22	22

表14-7 红外接收数据码型的统计表（TC9012 和 SONY 码）

数据格式		TC9012	SONY			
		TC9012F/9243	SONY-D7C5	SONY-D7C6	SONY-D7C8	SONY-D7C13
引导码（10μs）	LEAD_S	450	240	240	240	240
	LEAD_E	450	60	60	60	60
bit0（10μs）	B0_L	56	60	60	60	60
	B0_H	56	60	60	60	60

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

数据格式		TC9012	SONY			
		TC9012F/9243	SONY-D7C5	SONY-D7C6	SONY-D7C8	SONY-D7C13
bit1（10μs）	B1_L	56	120	120	120	120
	B1_H	169	60	60	60	60
simple repeat code（10μs）	SLEAD_S	无	无	无	无	无
	SLEAD_E					
burst（10μs）		56	无	无	无	无
帧长（10μs）		10800	4500	4500	4500	4500
有效数据位		32	12	13	15	20

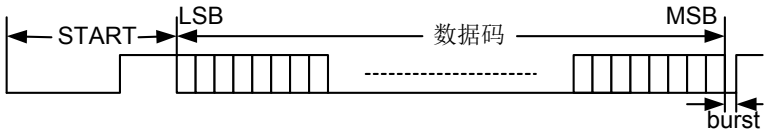
14.4.3.1 NEC with simple repeat code 数据格式

帧格式

NEC with simple repeat code 数据格式是由 START（引导码）、数据码和 burst 三部分组成，其中 START 是由一个起始码（低电平），一个结束码（高电平）组成；数据码的有效位数以及某位表示的含义由具体的码型而定，它是按照 LSB first 的顺序接收的；burst 信号用于接收最后一个数据码位。

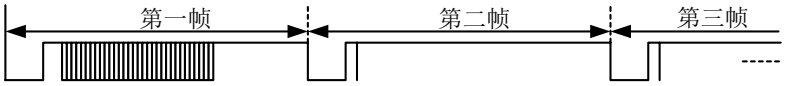
发送单个 NEC with simple repeat code 的帧格式如图 14-20 所示。

图14-20 发送单个 NEC with simple repeat code 码的帧格式



如果按键时间持续超过一帧的时间，则再收到完整数据帧后，接下来收到的数据帧仅由简化的引导码和 burst 信号组成。引导码也是由起始码（低电平）和结束码（高电平）组成，持续按键连续发送 NEC with simple repeat code 码的帧格式如图 14-21 所示。

图14-21 持续按键连续发送 NEC with simple repeat code 码的帧格式

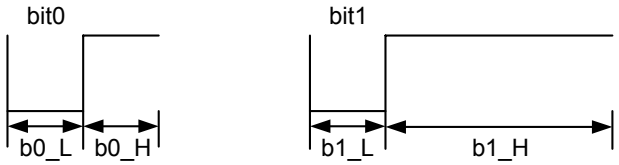


海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

码格式

NEC with simple repeat code 的 bit0 或 bit1 定义如图 14-22 所示。

图14-22 NEC with simple repeat code 码 bit0 和 bit1 定义



NEC simple repeat code 单发代码格式和连发代码格式分别如图 14-23 和图 14-24 所示。

图14-23 NEC with simple repeat code 码单发代码格式

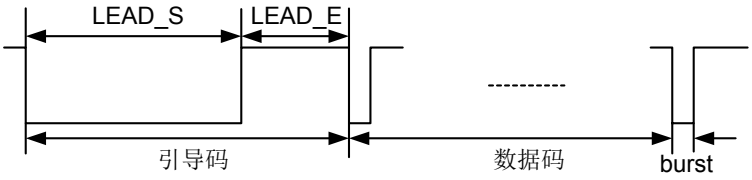
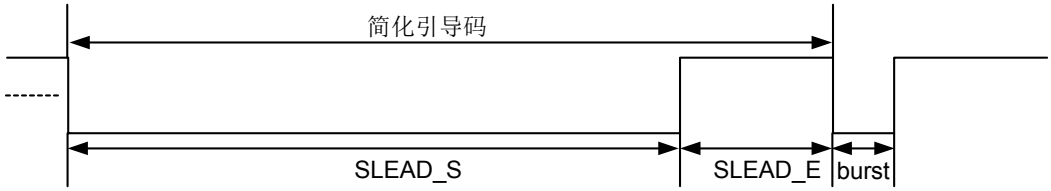


图14-24 NEC with simple repeat code 码连发代码格式



注 1：图中高低电平脉宽的宽度以及帧长均有各个具体码型决定，请参见表 14-5～表 14-7。

注 2：帧长不能大于 160ms，否则无法识别简化引导码。

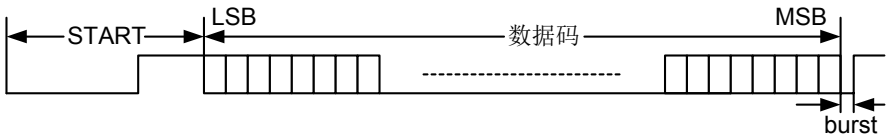
14.4.3.2 NEC with full repeat code 数据格式

帧格式

NEC with full repeat code 的数据格式是由 START（引导码）、数据码和 burst 三部分组成。START 是由一个起始码（低电平）和一个结束码（高电平）组成；数据码的有效位数以及某位表示的含义由具体的码型而定，它是按照 LSB first 的顺序接收的；burst 信号用于接收最后一个数据码位。发送单个 NEC with full repeat code 帧格式如图 14-25 所示。

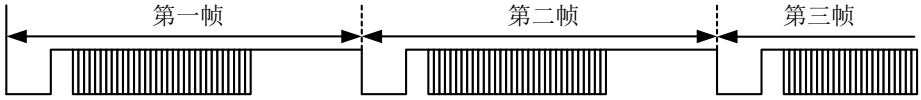
海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

图14-25 发送单个 NEC with full repeat code 码的帧格式



如果按键时间持续超过一帧的时间，则在收到完整数据帧（第一帧）后，接下来收到的数据帧还是一个完整的数据帧格式（即按照帧间隔重复发送第一帧数据），持续按键连续发送 NEC with full repeat code 码的帧格式如图 14-26 所示。

图14-26 持续按键连续发送 NEC with full repeat code 码的帧格式

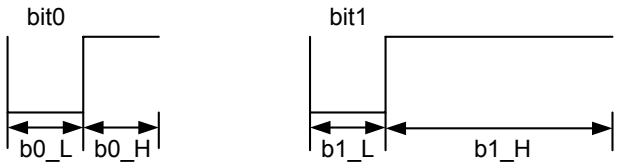


通过图 14-25 和图 14-26 可以看出：NEC with simple repeat code 与 NEC with full repeat code 唯一不同之处就是重复帧的格式，NEC with simple repeat code 发送的是简化的引导码，而 NEC with full repeat code 发送的是完整帧格式，第一帧和重复帧完全相同。

码格式

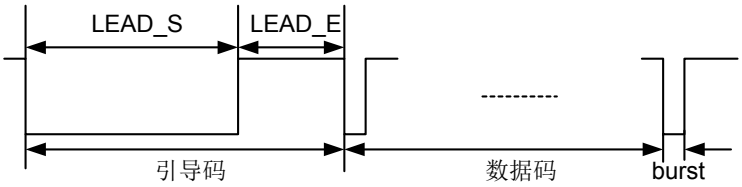
NEC with full repeat code 码 bit0 或 bit1 定义如图 14-27 所示。

图14-27 NEC with full repeat code 码 bit0 和 bit1 定义



NEC with full repeat code 码单发代码格式如图 14-28 所示。

图14-28 NEC with full repeat code 码单发代码格式



注：图中高低电平的脉宽宽度以及帧长均有各个具体码型决定，请参见表 14-5～表 14-7。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

14.4.3.3 TC9012 数据格式

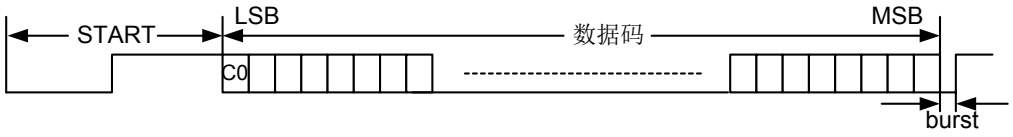
帧格式

注意

根据 TC9012 码的数据格式特点，所有按键编码的第一位都必须全是 1 或者全是 0，否则会产生不需要的持续按键帧。

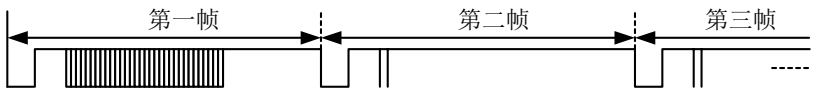
TC9012 的数据格式是由 START（引导码）、数据码和 burst 三部分组成，其中 START 是由一个起始码（低电平），一个结束码（高电平）组成；数据码的有效位数以及某位表示的含义由具体的码型而定，其是按照 LSB first 的顺序接收的；burst 信号用于接收最后一个数据码位。发送单个 TC9012 码的帧格式如图 14-29 所示。

图14-29 发送单个 TC9012 码的帧格式



如果按键时间持续超过一帧的时间，则在收到完整数据帧后，接下来收到的数据帧由引导码、一个数据位和 burst 信号三部分组成。引导码也是由起始码（低电平）和结束码（高电平）组成；该数据位是上一帧接收的第一个数据位（C0）的反码。发送连续 TC9012 码的帧格式如图 14-30 所示。

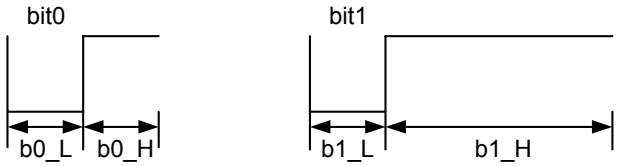
图14-30 持续按键连续发送 TC9012 码的帧格式



码格式

TC9012 码 bit0 或 bit1 定义如图 14-31 所示。

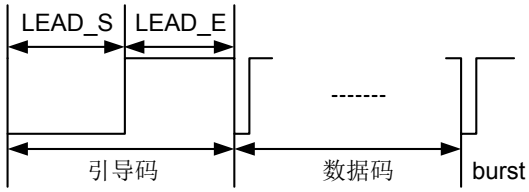
图14-31 TC9012 码 bit0 和 bit1 定义



海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

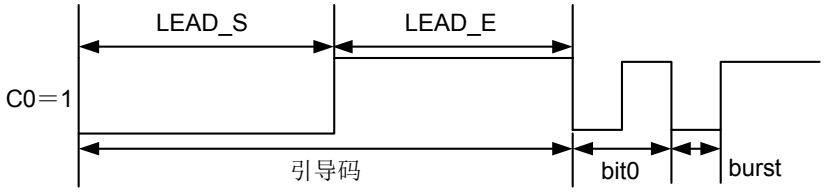
TC9012 码单发代码格式如图 14-32 所示。

图14-32 TC9012 码单发代码格式



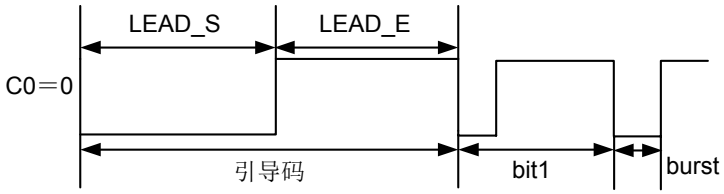
C0=1 时，TC9012 码连发代码格式如图 14-33 所示。

图14-33 TC9012 码连发代码格式（C0＝1）



C0=0 时，TC9012 码连发代码格式如图 14-34 所示。

图14-34 TC9012 码连发代码格式（C0＝0）



注：图中高低电平的脉宽宽度以及帧长均有各个具体码型决定。请参见表 14-5～表 14-7。另外值得注意的是帧长不能大于 160ms，否则无法识别重复帧。

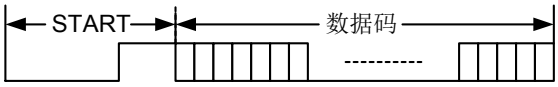
14.4.3.4 SONY 的数据格式

帧格式

SONY 码数据格式是由 START（引导码）和数据码两部分组成。其中 START 由一个起始码（低电平），一个结束码（高电平）组成；数据码的有效位数以及某位表示的含义由具体的码型而定，其是按照 LSB first 的顺序接收的。发送单个 SONY 码帧格式如图 14-35 所示。

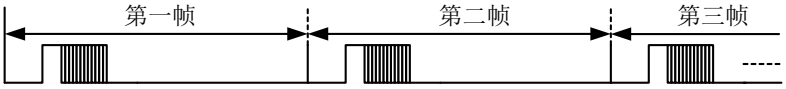
海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

图14-35 发送单个 SONY 帧格式



如果按键时间持续超过一帧的时间，则再收到完整数据帧后，接下来收到的数据帧还是一个完整的数据帧格式。持续按键连续发送 SONY 码帧格式如图 14-36 所示。

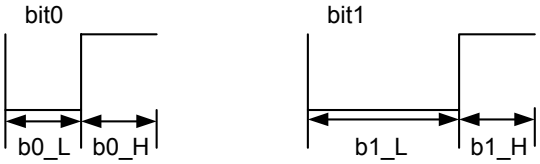
图14-36 持续按键连续发送 SONY 码帧格式



码格式

SONY 码 bit0 或 bit1 定义如图 14-37 所示。

图14-37 bit0 和 bit1 定义



注：图中高低电平的脉宽宽度以及帧长均有各个具体码型决定。请参见表 14-5～表 14-7。

14.4.4 工作方式

软复位

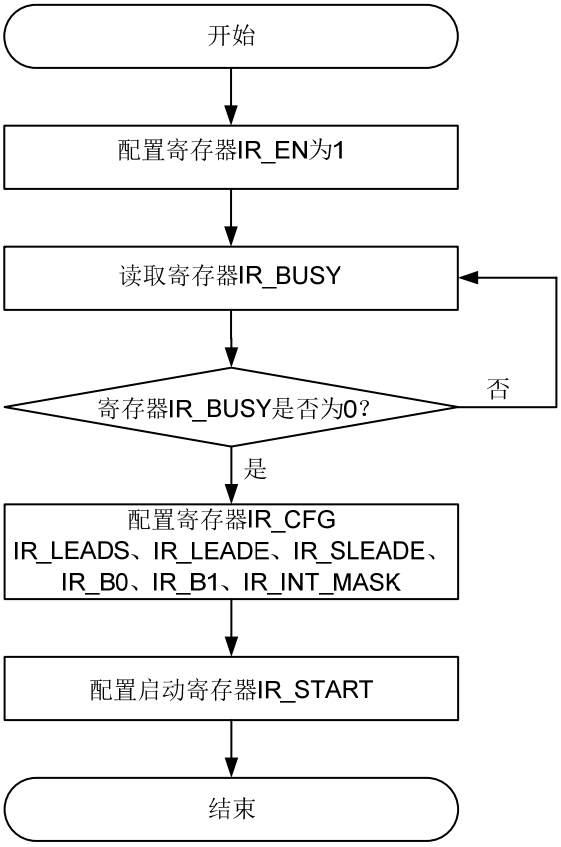
配置 CRG 寄存器 CRG_PERCTRL57[ir_srst_req]为 1，对 IR 模块单独软复位。复位后各配置寄存器的值均复位为默认值，因此复位后需要重新对这些寄存器进行初始化配置。

寄存器配置实例

IR 模块初始化操作流程如图 14-38 所示。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

图14-38 IR 模块初始化操作流程



IR 模块初始化操作流程如下：

步骤 1. 选中 IR 模块地址空间，开始 IR 初始化配置操作。

步骤 2. 配置 IR_EN bit[0]为 1，打开 IR 接收模块。

步骤 3. 读 IR_BUSY，判断 IR 模块配置的当前状态。

- 若读取的值为 1，表明 IR 模块处于配置忙状态，则继续查询 IR_BUSY（**注意：此时软件不要对 IR 模块的其他控制寄存器进行配置，否则配置无效**）。
- 若读取的值为 0，表明 IR 模块处于配置空闲状态，则执行 4。

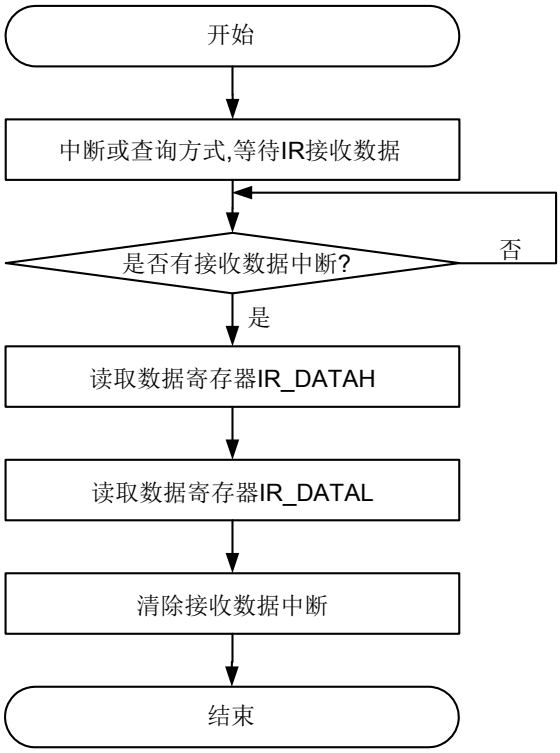
步骤 4. 配置 IR_CFG、IR_LEADS、IR_LEADE、IR_SLEADE、IR_B0、IR_B1、IR_INT_MASK。**注意：用户可以根据需要更新相应寄存器，如果不更新，则寄存器保持原值。**

步骤 5. 配置 IR_START。必须要等所有的 IR 控制寄存器都配置完成后，才能配置 IR_START，因为它被用来产生启动信号，只要对其进行配置，IR 模块就会根据控制寄存器的值进行红外数据接收。

----结束

图14-39 读取解码数据的操作流程

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司



读取解码数据的操作流程如下：

步骤 1. 选中 IR 模块地址空间。

步骤 2. 中断或查询方式等待接收数据帧。

- 中断方式下，当 CPU 接收到 IR 模块的中断请求信号时，查询 IR_INT_STATUS[intms_rcv]的值。若读取的值为 1 表明 IR 模块接收到一个数据帧，执行 3；若读取的值为 0，重新执行 2，继续等待中断。
- 查询方式下，软件不停（或每间隔一定时间）读取 IR_INT_STATUS[intrs_rcv]的值，若读取的值为 1 表明 IR 模块接收到一个数据帧，执行 3；若读取的值为 0 时，表明 IR 模块尚未接收到数据帧，重新执行 2，继续查询。

步骤 3. 读取数据寄存器 IR_DATAH。（如果一帧内的数据位数不大于 32 位，可以省略此步骤）

步骤 4. 读取数据寄存器 IR_DATAL。

步骤 5. 清除接收数据中断。

----结束

14.4.5 寄存器概览

IR 寄存器概览如表 14-8 所示。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

表14-8 IR 寄存器概览（基址是 0x2007_0000）

偏移地址	名称	描述	页码
0x000	IR_EN	IR 接收使能控制寄存器	14-62
0x004	IR_CFG	IR 配置寄存器	14-63
0x008	IR_LEADS	引导码起始位裕量配置寄存器	14-65
0x00C	IR_LEADE	引导码结束位裕量配置寄存器	14-65
0x010	IR_SLEADE	简化引导码结束位裕量配置寄存器	14-66
0x014	IR_B0	数据 0 的判断电平裕量配置寄存器	14-67
0x018	IR_B1	数据 1 的判断电平裕量配置寄存器	14-68
0x01C	IR_BUSY	配置忙标志寄存器	14-69
0x020	IR_DATAH	IR 接收解码数据的高 16 位寄存器（当 IR_CFG[ir_mode]=0 时）或 symbol FIFO 中的 symbol 个数寄存器（当 IR_CFG[ir_mode]=1 时）	14-70
0x024	IR_DATAL	IR 接收解码数据的低 32 位寄存器（当 IR_CFG[ir_mode]=0 时）或 IR 模块接收到的 symbol 宽度寄存器（当 IR_CFG[ir_mode]=1 时）	14-71
0x028	IR_INT_MASK	IR 中断屏蔽寄存器	14-72
0x02C	IR_INT_STATUS	IR 中断状态寄存器	14-74
0x030	IR_INT_CLR	IR 中断清除寄存器	14-76
0x034	IR_START	IR 启动配置寄存器	14-78

14.4.6 寄存器描述

IR_EN

IR_EN 为 IR 接收使能控制寄存器。

注意

软件必须先配置寄存器 IR_EN[ir_en]=1，才能配置其他寄存器，否则配置无效。当寄存器 IR_EN[ir_en]=0 时，其他寄存器只可读不可写，且读出值为寄存器的复位值。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x000	IR_EN	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																															ir_en
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:1]	-	reserved	保留。
[0]	RW	ir_en	IR 接收模块的使能。 0：关闭 IR 接收模块； 1：打开 IR 接收模块。

IR_CFG

IR_CFG 为 IR 配置寄存器。

注意

必须在确保 IR_BUSY[ir_busy]=0 并且 IR_EN[ir_en]=1 时，才能配置此寄存器，否则配置无效，寄存器保持原值。

IR 支持的参考时钟频率为 1MHz～128MHz，其与分频因子 ir_freq 的对应关系是：

- 当参考时钟频率为 1MHz 时，分频因子 ir_freq 需配置为 0x00。
- 当参考时钟频率为 128MHz 时，分频因子 ir_freq 需配置为 0x7F。

当 IR 的参考时钟为 1MHz～128MHz 内的非整数倍频率时，选用四舍五入的方法选择相应的分频因子。举例：参考时钟为 12.1MHz，选用分频因子为 0x0B；参考时钟为 12.8MHz，选用分频因子为 0x0C。

对于频偏和计数偏差的关系：基频 f，频率变化 Df，则频偏率 ratio=Df/f；计数器计数偏差 Dcnt；判断电平宽度 s（μs 为单位），则计数偏差：$Dcnt = \lceil 0.1 \times s \times ratio \rceil$。所以在时钟有频偏的情况下，参数值的有效范围要移位，如果频率上升，相应的裕量值应改为：[min+Dcnt, max+Dcnt]，其中 min 和 max 为无偏移时的裕量值；如果频率下降，相应的裕量值应改为：[min-Dcnt, max-Dcnt]。以引导码的起始位裕量举例来说：假如基频为 100MHz，频率上漂 0.1MHz，那么 ratio=0.1/100=0.001，设 s=9000 μs，则 $Dcnt = \lceil 0.1 \times 9000 \times 0.001 \rceil = 1$，则 ir_leads 的裕量值应改为[0x033D，0x3CD]。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x004	IR_CFG	0x3E80_1F0B

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	ir_max_level_width																ir_format		ir_bits						ir_mode	ir_freq						
Reset	0	0	1	1	1	1	1	0	1	0	0	0	0	0	0	0	0	0	0	1	1	1	1	1	0	0	0	0	1	0	1	1

Bits	Access	Name	Description
[31:16]	RW	ir_max_level_width	当 IR_CFG[ir_mode]=0 时，无效； 当 IR_CFG[ir_mode]=1 时，表示 symbol 的最大电平宽度（单位 10 μs），用以确定一个 symbol stream 结束。
[15:14]	RW	ir_format	当 IR_CFG[ir_mode]=0 时，表示数据码型。 00：NEC with simple repeat code 的数据格式； 01：TC9012 的数据格式； 10：NEC with full repeat code 的数据格式； 11：SONY 的数据格式。 关于具体码型属于哪类码族，请参见表 14-5～表 14-7。 当 IR_CFG[ir_mode]=1 时，表示 symbol 格式。 bit[15]：保留； bit[14]的含义如下： 0：symbol 的格式为先低后高，symbol stream 结束在高电平； 1：symbol 的格式为先高后低，symbol stream 结束在低电平。
[13:8]	RW	ir_bits	当 IR_CFG[ir_mode]=0 时，表示一帧内的数据位数。 0x00～0x2F：分别对应一帧内包含 1～48 个数据位； 0x30～0x3F：保留。 如果软件对该域配置 0x30～0x3F 范围内的值，则配置无效，ir_bits 保持原值不变。 当 IR_CFG[ir_mode]=1 时，表示接收到 symbol 的中断水线。 bit[13]：保留； bit[12:8]：0x0～0x1F：分别对应 FIFO 中至少有 1～32 个 symbol 时报中断。
[7]	RW	ir_mode	IR 工作模式。 0：输出解码后的完整数据帧； 1：只输出 symbol 宽度。
[6:0]	RW	ir_freq	工作时钟分频因子。 0x00～0x7F 分别对应工作时钟分频因子 1～128。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

IR_LEADS

IR_LEADS 为引导码起始位裕量配置寄存器（只在 IR_CFG[ir_mode]=0 时使用）。

注意

必须在确保 IR_BUSY[ir_busy]=0 并且 IR_EN[ir_en]=1 时，才能配置此寄存器，否则配置无效，寄存器保持原值；另外寄存器保留值配置无效，仍然保持原值不变。

为了准确判断引导码的起始位，需要在具体码型的典型值左右考虑一定的裕量，具体码型的典型值请参见表 14-5～表 14-7 中 LEAD_S 的值。

- 对于典型值不小于 400（其精度为 10μs）的脉宽，建议裕量范围设为典型值的 8%。举例说明：D6121 码型，其 LEAD_S 的典型值为 900，那么相应的 cnt_leads_min=900 x 92%＝828＝0x33C，cnt_leads_max=900 x 108%=972=0x3CC。
- 对于典型值小于 400（其精度为 10μs）的脉宽，建议裕量范围设为典型值的 20%。举例说明：SONY-D7C5 码型，其 LEAD_S 的典型值为 240，那么相应的 cnt_leads_min=240 x 80%＝192＝0xC0，cnt_leads_max=240 x 120%=288=0x120。

基本的配置原则：cnt_leads_max 不小于 cnt_leads_min，并且 cnt_leads_min 大于 cnt0_b_max 和 cnt1_b_max

Offset Address	Register Name	Total Reset Value
0x008	IR_LEADS	0x033C_03CC

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved								cnt_leads_min								reserved								cnt_leads_max							
Reset	0	0	0	0	0	0	1	1	0	0	1	1	1	1	0	0	0	0	0	0	0	0	1	1	1	1	0	0	1	1	0	0

Bits	Access	Name	Description
[31:26]	-	reserved	保留。
[25:16]	RW	cnt_leads_min	引导码起始位的最小脉宽。 0x000～0x007：保留。
[15:10]	-	reserved	保留。
[9:0]	RW	cnt_leads_max	引导码起始位的最大脉宽。 0x000～0x007：保留。

IR_LEADE

IR_LEADE 为引导码结束位裕量配置寄存器（只在 IR_CFG[ir_mode]=0 时使用）。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

注意

- 必须在确保 IR_BUSY[ir_busy]=0 并且 IR_EN[ir_en]=1 时，才能配置此寄存器，否则配置无效，寄存器保持原值；另外寄存器保留值配置无效，仍然保持原值不变。
- 对于 NEC with simple repeat code 的码族，其 cnt_sleade 的裕量范围和 cnt_leade 的裕量范围设置不能重合，否则当实际计数值落入重合范围内时，无法识别简化引导码，会导致帧格式错误。

为了准确判断引导码的结束位，需要在具体码型的典型值左右考虑一定的裕量，裕量范围约为典型值的 8%。具体码型的典型值请参见表 14-5～表 14-7 中 LEAD_E 的值。

- 对于典型值不小于 400（其精度为 10μs）的脉宽，建议裕量范围设为典型值的 8%。举例说明：D6121 码型，其 LEAD_E 的典型值为 450，那么相应的 cnt_leade_min=450 x 92%＝414＝0x19E，cnt_leade_max=450 x 108%=486=0x1E6。
- 对于典型值小于 400（其精度为 10μs）的脉宽，建议裕量范围设为典型值的 20%。举例说明：SONY-D7C5 码型，其 LEAD_E 的典型值为 60，那么相应的 cnt_leade_min=60 x 80%＝48＝0x030，cnt_leade_max=60 x 120%=72=0x048。

基本的配置原则是：cnt_leade_max 不小于 cnt_leade_min 的值。

Offset Address	Register Name	Total Reset Value
0x00C	IR_LEADE	0x019E_01E6

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved		cnt_leade_min		reserved		cnt_leade_max	
Reset	0 0 0 0	0 0 0 1	1 0 0 1	1 1 1 0	0 0 0 0	0 0 0 1	1 1 1 0	0 1 1 0

Bits	Access	Name	Description
[31:25]	-	reserved	保留。
[24:16]	RW	cnt_leade_min	引导码结束位的最小脉宽。 0x000～0x007：保留。
[15:9]	-	reserved	保留。
[8:0]	RW	cnt_leade_max	引导码结束位的最大脉宽。 0x000～0x007：保留。

IR_SLEADE

IR_SLEADE 为简化引导码结束位裕量配置寄存器（只在 IR_CFG[ir_mode]=0 时使用）。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

注意

- 必须在确保 IR_BUSY[ir_busy]=0 并且 IR_EN[ir_en]=1 时，才能配置此寄存器，否则配置无效，寄存器保持原值；另外寄存器保留值配置无效，仍然保持原值不变。
- 对于 NEC with simple repeat code 的码族，cnt_sleade 的裕量范围和 cnt_leade 的裕量范围设置不能重合，否则当实际计数值落入重合范围内时，无法识别简化引导码，会导致帧格式错误。
- 对于 NEC with simple repeat code 的数据格式，才需配置此寄存器；对于其他格式，无需配置此寄存器。

为了准确判断简化引导码的结束位，需要在具体码型的典型值左右考虑一定的裕量。具体码型的典型值请参见表 14-5～表 14-7 中 SLEAD_E 的值。

- 对于典型值不小于 225（其精度为 10μs）的脉宽，建议裕量范围设为典型值的 8%。举例说明：D6121 码型，其 SLEAD_E 的典型值为 225，那么相应的 cnt_sleade_min=225 x 92%＝207＝0xCF，cnt_sleade_max=225 x 108%=243=0xF3。
- 对于典型值小于 225（其精度为 10μs）的脉宽，建议裕量范围设为典型值的 20%。举例说明：比如某种码型其 SLEAD_E 的典型值为 60，那么相应的 cnt_sleade_min=60 x 80%＝48＝0x30，cnt_sleade_max=60 x 120%=72=0x48。

基本的配置原则是：cnt_sleade_max 不小于 cnt_sleade_min 的值。

Offset Address	Register Name	Total Reset Value
0x010	IR_SLEADE	0x00CF_00F3

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved								cnt_sleade_min								reserved								cnt_sleade_max							
Reset	0	0	0	0	0	0	0	0	1	1	0	0	1	1	1	1	0	0	0	0	0	0	0	0	1	1	1	1	0	0	1	1

Bits	Access	Name	Description
[31:25]	-	reserved	保留。
[24:16]	RW	cnt_sleade_min	简化引导码结束位的最小脉宽。 0x000～0x007：保留。
[15:9]	-	reserved	保留。
[8:0]	RW	cnt_sleade_max	简化引导码起始位的最大脉宽。 0x000～0x007：保留。

IR_B0

IR_B0 为数据 0 的判断电平裕量配置寄存器（只在 IR_CFG[ir_mode]=0 时使用）。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

注意

- 必须在确保 IR_BUSY[ir_busy]=0 并且 IR_EN[ir_en]=1 时，才能配置此寄存器，否则配置无效，寄存器保持原值；另外寄存器保留值配置无效，仍然保持原值不变。
- 对于四类码型，bit0 判断电平裕量范围和 bit1 判断电平范围设置不能重合，否则当实际计数值落入重合范围内时，无法识别 bit1，只能被误解接收到 bit0。

为了准确判断 bit0，需要在具体码型的典型值左右考虑一定的裕量，裕量范围约为典型值的 20%。

- 对于 NEC with simple repeat code、NEC with full repeat code 和 TC9012 这三类码型，其包含的具体码型的典型值请参见表 14-5～表 14-7 中 B0_H 的值。举例说明：D6121 码型，其 B0_H 的典型值为 56（其精度为 10μs），那么相应的 cnt0_b_min=56 x 80%＝45＝0x2D，cnt0_b_max=56 x 120%=67=0x43。
- 对于 SONY 的数据格式，其包含的具体码型的典型值请参见表 14-5～表 14-7 中 B0_L 的值。举例说明：SONY-D7C5 码型，其 B0_L 的典型值为 60（其精度为 10μs），那么相应的 cnt0_b_min=60 x 80%＝48＝0x30，cnt0_b_max=60 x 120%=72=0x48。

基本的配置原则是：cnt0_b_max 不小于 cnt0_b_min 的值。

Offset Address	Register Name	Total Reset Value
0x018	IR_B1	0x0087_00CB

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved								cnt0_b_min								reserved								cnt0_b_max							
Reset	0	0	0	0	0	0	0	0	1	0	0	0	0	1	1	1	0	0	0	0	0	0	0	0	1	1	0	0	1	0	1	1

Bits	Access	Name	Description
[31:25]	-	reserved	保留。
[24:16]	RW	cnt0_b_min	bit0 判断电平的最小脉宽。 0x000～0x007：保留。
[15:9]	-	reserved	保留。
[8:0]	RW	cnt0_b_max	bit0 判断电平的最大脉宽。 0x000～0x007：保留。

IR_B1

IR_B1 为数据 1 的判断电平裕量配置寄存器（只在 IR_CFG[ir_mode]=0 时使用）。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

注意

- 必须在确保 IR_BUSY[0]=0 并且 IR_EN[0]=1 时，才能配置此寄存器，否则配置无效，寄存器保持原值；另外寄存器保留值配置无效，仍然保持原值不变。
- 对于四类码型，bit0 判断电平裕量范围和 bit1 判断电平范围设置不能重合，否则当实际计数值落入重合范围内时，无法识别 bit1，只能被误解接收到 bit0。

为了准确判断 bit1，需要在具体码型的典型值左右考虑一定的裕量，裕量范围约为典型值的 20%。

- 对于 NEC with simple repeat code、NEC with full repeat code 和 TC9012 这三类码族，其包含的具体码型的典型值请参见表 14-5～表 14-7 中 B1_H 的值。举例说明：D6121 码型，其 B1_H 的典型值为 169（其精度为 10μs），那么相应的 cnt1_b_min=169　x 80%＝135＝0x87，cnt1_b_max=169 x 120%=203=0xCB。
- 对于 SONY 的数据格式，其包含的具体码型的典型值请参见表 14-5～表 14-7 中 B1_L 的值。举例说明：SONY-D7C5 码型，其 B1_L 的典型值为 120（其精度为 10μs），那么相应的 cnt1_b_min=120 x 80%=96=0x60，cnt1_b_max=120 x 120%=144=0x90。

基本的配置原则是：cnt1_b_max 不小于 cnt1_b_min 的值。

Offset Address	Register Name	Total Reset Value
0x018	IR_B1	0x0087_00CB

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved								cnt1_b_min								reserved								cnt1_b_max							
Reset	0	0	0	0	0	0	0	0	1	0	0	0	0	1	1	1	0	0	0	0	0	0	0	0	1	1	0	0	1	0	1	1

Bits	Access	Name	Description
[31:25]	-	reserved	保留。
[24:16]	RW	cnt1_b_min	bit1 判断电平的最小脉宽。 0x000～0x007：保留。
[15:9]	-	reserved	保留。
[8:0]	RW	cnt1_b_max	bit1 判断电平的最大脉宽。 0x000～0x007：保留。

IR_BUSY

IR_BUSY 为配置忙标志寄存器。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x01C	IR_BUSY	0x0000_0000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1	0
Name	reserved								ir_busy
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0	0

Bits	Access	Name	Description
[31:1]	-	reserved	保留。
[0]	RO	ir_busy	忙状态标志。 0：空闲状态，软件可以配置数据； 1：忙状态，软件不可以配置数据。

IR_DATAH

IR_DATAH 为 IR 接收解码数据的高 16 位寄存器（当 IR_CFG[ir_mode]=0 时）或 symbol FIFO 中的 symbol 个数寄存器（当 IR_CFG[ir_mode]=1 时）。

IR_DATAH 是接收到的解码数据的高 16 位，IR_DATAL 是接收到的解码数据的低 32 位。具体哪些数据位有效取决于具体码型一帧内包含的有效数据位数，请参见表 14-5～表 14-7 的有效数据位。

数据存储原则：按照由高到低的顺序存储在 IR_DATAH 和 IR_DATAL 中（MSB……LSB），先存满 IR_DATAL，然后再存放 IR_DATAH，未用到的高位作为保留位。软件读取数据的顺序必须是：先读 IR_DATAH，然后再读 IR_DATAL。

对于具体每个数据位表示的含义，硬件不做判断，仅负责接收所有数据位，最终由软件统一处理。

Offset Address	Register Name	Total Reset Value
0x020	IR_DATAH	0x0000_0000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved				ir_datah			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[31:16]	-	reserved	保留。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

[15:0]	RO	ir_datah	当 IR_CFG[ir_mode]=0 时，表示接收到的解码数据的高 16 位数据。 当 IR_CFG[ir_mode]=1 时，表示 symbol FIFO 中的 symbol 个数。 bit[15:6]：保留； bit[5:0]：symbol FIFO 中的 symbol 个数。

IR_DATAL

IR_DATAL 为 IR 接收解码数据的低 32 位寄存器（当 IR_CFG[ir_mode]=0 时）或，IR 模块接收到的 symbol 宽度寄存器（当 IR_CFG[ir_mode]=1 时）。

Offset Address	Register Name	Total Reset Value
0x024	IR_DATAL	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	ir_datal																															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:0]	RO	ir_datal	当 IR_CFG[ir_mode]=0 时，表示接收到的解码数据的低 32 位数据。 当 IR_CFG[ir_mode]=1 时，表示 IR 模块接收到的 symbol 宽度。 bit[31:16]的含义如下： symbol 的格式为先低后高时，表示接收到的 symbol 的高电平宽度（单位是 10μs）； symbol 的格式为先高后低时，表示接收到的 symbol 的低电平宽度（单位是 10μs）。 bit[15:0]的含义如下： symbol 的格式为先低后高时，表示接收到的 symbol 的低电平宽度（单位是 10μs）； symbol 的格式为先高后低时，表示接收到的 symbol 的高电平宽度（单位是 10μs）。

IR_INT_MASK

IR_INT_MASK 为 IR 中断屏蔽寄存器。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

注意

- **必须在确保 IR_EN[ir_en]=1 时，才能配置此寄存器，否则配置无效，寄存器保持原值。**
- **如果中断全部屏蔽后，无法支持红外遥控唤醒功能。**
- **IR_CFG[ir_mode]=0 时，IR_INT_MASK bit[3:0]有效；IR_CFG[ir_mode]=1 时，IR_INT_MASK bit[18:16]有效。**

涉及到的中断定义如下：

- 接收数据溢出中断

  如果 CPU 没有及时响应取走当前帧的数据，而下一帧数据也已经收到的情况，下一帧数据将会覆盖当前帧数据，同时上报屏蔽前接收数据溢出错中断请求。

- 接收数据帧格式错误中断

  如果接收到的数据帧不完整以及数据脉宽不满足裕量范围，则会上报屏蔽前的接收帧格式错误中断请求。

- 接收到数据帧中断

  当接收到一个完整的帧数据后，则会上报屏蔽前接收到数据帧中断请求。

- 支持按键释放的检测中断

  对于 NEC with simple repeat code 和 TC9012 码族的数据格式，在检测到一个有效起始同步码之后的 160ms 内，如果没有再次检测到起始同步码，或者检测到非简化引导码而是有效数据帧时，则会上报屏蔽前遥控器按键释放中断。对于 NEC with full repeat code 和 SONY 两种码制不支持按键释放中断。

- 接收 symbol 溢出中断

  如果 CPU 没有及时响应取走数据，导致 symbol FIFO 满，而下一个 symbol 已经收到，则会上报屏蔽前接收 symbol 溢出错中断请求。

- 接收到 symbol 中断

  当接收到一个完整的 symbol 后，且 symbol FIFO 中的 symbol 个数超过 IR_CFG[ir_bits]设置的水线，则会上报屏蔽前接收到 symbol 中断请求。

- symbol 超时中断

  在接收到一个有效的 symbol 后，IR_CFG[ir_max_level_width]设置的时间内没有再接收到新的 symbol 的中断请求，则会上报屏蔽前 symbol 超时中断请求。

硬件没有中断优先级仲裁，任何一个或多个屏蔽后的中断源有效，都会产生中断。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x028	IR_INT_MASK	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved													intm_overrun	intm_time_out	intm_symb_rcv	reserved												intm_release	intm_overflow	intm_framerr	intm_rcv
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:19]	-	reserved	保留。
[18]	RW	intm_overrun	当 IR_CFG[ir_mode]=1 时，symbol 溢出中断屏蔽。 0：不屏蔽； 1：屏蔽。
[17]	RW	intm_time_out	当 IR_CFG[ir_mode]=1 时，symbol 超时中断屏蔽。 0：不屏蔽； 1：屏蔽。
[16]	RW	intm_symb_rcv	当 IR_CFG[ir_mode]=1 时，接收到 N 个 symbol 中断屏蔽。 0：不屏蔽； 1：屏蔽。
[15:4]	-	reserved	保留。
[3]	RW	intm_release	当 IR_CFG[ir_mode]=0 时，按键释放中断屏蔽。 0：不屏蔽； 1：屏蔽。
[2]	RW	intm_overflow	当 IR_CFG[ir_mode]=0 时，接收数据溢出中断屏蔽。 0：不屏蔽； 1：屏蔽。
[1]	RW	intm_framerr	当 IR_CFG[ir_mode]=0 时，接收数据帧格式错误中断屏蔽。 0：不屏蔽； 1：屏蔽。
[0]	RW	intm_rcv	当 IR_CFG[ir_mode]=0 时，接收到数据帧中断屏蔽。 0：不屏蔽； 1：屏蔽。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

IR_INT_STATUS

IR_INT_STATUS 为 IR 中断状态寄存器。

注意

- IR_CFG[ir_mode]=0 时，IR_INT_STATUS bit[3:0]和 IR_INT_STATUS bit[19:16]有效；
- IR_CFG[ir_mode]=1 时，IR_INT_STATUS bit[10:8]和 IR_INT_STATUS bit[26:24]有效。

Offset Address	Register Name	Total Reset Value
0x02C	IR_INT_STATUS	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved					intms_overrun	intms_time_out	intms_symb_rcv	reserved				intms_release	intms_overflow	intms_framerr	intms_rcv	reserved					intrs_overrun	intrs_time_out	intrs_symb_rcv	reserved				intrs_release	intrs_overflow	intrs_framerr	intrs_rcv
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:27]	-	reserved	保留。
[26]	RO	intms_overrun	当 IR_CFG[ir_mode]=1 时，屏蔽后的 symbol 溢出中断状态。 0：无中断； 1：有中断。
[25]	RO	intms_time_out	当 IR_CFG[ir_mode]=1 时，屏蔽后的 symbol 超时中断状态。 0：无中断； 1：有中断。
[24]	RO	intms_symb_rcv	当 IR_CFG[ir_mode]=1 时，屏蔽后的接收到 symbol 的中断状态。 0：无中断； 1：有中断。
[23:20]	-	reserved	保留。
[19]	RO	intms_release	当 IR_CFG[ir_mode]=0 时，屏蔽后的按键释放的中断状态。 0：无中断； 1：有中断。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

[18]	RO	intms_overflow	当 IR_CFG[ir_mode]=0 时，屏蔽后的接收数据溢出错中断状态。 0：无中断； 1：有中断。
[17]	RO	intms_framerr	当 IR_CFG[ir_mode]=0 时，屏蔽后的接收数据帧格式错误中断状态。 0：无中断； 1：有中断。
[16]	RO	intms_rcv	当 IR_CFG[ir_mode]=0 时，屏蔽后的接收到数据帧中断状态。 0：无中断； 1：有中断。
[15:11]	-	reserved	保留。
[10]	RO	intrs_overrun	当 IR_CFG[ir_mode]=1 时，屏蔽前的 symbol 溢出中断状态。 0：无中断； 1：有中断。
[9]	RO	intrs_time_out	当 IR_CFG[ir_mode]=1 时，屏蔽前的 symbol 超时中断状态。 0：无中断； 1：有中断。
[8]	RO	intrs_symb_rcv	当 IR_CFG[ir_mode]=1 时，屏蔽前的接收到 symbol 的中断状态。 0：无中断； 1：有中断。
[7:4]	-	reserved	保留。
[3]	RO	intrs_release	当 IR_CFG[ir_mode]=0 时，屏蔽前的按键释放的中断状态。 0：无中断； 1：有中断。
[2]	RO	intrs_overflow	当 IR_CFG[ir_mode]=0 时，屏蔽前的接收数据溢出错中断状态。 0：无中断； 1：有中断。
[1]	RO	intrs_framerr	当 IR_CFG[ir_mode]=0 时，屏蔽前的接收数据帧格式错误中断状态。 0：无中断； 1：有中断。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

[0]	RO	intrs_rcv	当 IR_CFG[ir_mode]=0 时，屏蔽前的接收到数据帧中断状态。 0：无中断； 1：有中断。

IR_INT_CLR

IR_INT_CLR 为 IR 中断清除寄存器。

注意

- IR_CFG[ir_mode]=0 时，IR_INT_CLR bit[3:0]有效；
- IR_CFG[ir_mode]=1 时，IR_INT_CLR bit[18:16]有效。

Offset Address	Register Name	Total Reset Value
0x030	IR_INT_CLR	0x0000_0000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved			intc_overrun / intc_time_out / intc_symb_rcv	reserved			intc_release / intc_overflow / intc_framerr / intc_rcv
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[31:19]	-	reserved	保留。
[18]	WC	intc_overrun	IR_CFG[ir_mode]=1 时，清除 symbol 溢出中断请求。 0：无影响； 1：清除。
[17]	WC	intc_time_out	IR_CFG[ir_mode]=1 时，清除 symbol 超时中断请求。 0：无影响； 1：清除。
[16]	WC	intc_symb_rcv	IR_CFG[ir_mode]=1 时，清除接收到 symbol 中断请求。 0：无影响； 1：清除。
[15:4]	-	reserved	保留。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

[3]	WC	intc_release	IR_CFG[ir_mode]=0 时，清除遥控器按键释放中断请求。 0：无影响； 1：清除。
[2]	WC	intc_overflow	IR_CFG[ir_mode]=0 时，清除接收数据溢出错中断请求。 0：无影响； 1：清除。
[1]	WC	intc_framerr	IR_CFG[ir_mode]=0 时，清除接收数据帧格式错误中断请求。 0：无影响； 1：清除。
[0]	WC	intc_rcv	IR_CFG[ir_mode]=0 时，清除接收到数据帧中断请求。 0：无影响； 1：清除。 如果接收数据帧中断请求产生后，软件未读走 IR_DATAL 中的数据就直接对本位进行写 1 操作，无法清除该中断请求。

IR_START

IR_START 为 IR 启动配置寄存器。

在其他寄存器的值配置完成后，启动 IR 模块时，只要往该地址进行一次写操作（写操作数可以为任意值），就可以启动配置寄存器。

Offset Address	Register Name	Total Reset Value
0x034	IR_START	0x0000_0000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1	0
Name	reserved								ir_start
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0	0

Bits	Access	Name	Description
[31:1]	-	reserved	保留。
[0]	WO	ir_start	IR 启动配置寄存器。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

14.5 GPIO

14.5.1 概述

注意

GPIO 具体管脚个数、管脚与其他管脚复用的说明请参见 “02 硬件”，相关的控制请参见 “2.3 IO config 寄存器”。

对于默认是输出信号的管脚上复用的 GPIO，请注意一定注意对接芯片和器件的管脚必须是输入。

Hi3521 支持 15 组 GPIO（General Purpose Input/Output），每组 GPIO 提供 8 个可编程的输入输出管脚（除第 15 组外。第 15 组提供 5 个）。每个管脚可以配置为输入或者输出。这些管脚用于生成特定应用的输出信号或采集特定应用的输入信号。作为输入管脚时，GPIO 可作为中断源；作为输出管脚时，每个 GPIO 都可以独立地清 0 或置 1。

14.5.2 特点

GPIO 模块具有以下特点：

- 每个 GPIO 管脚均可配置为输入、输出。
  - 作为输入管脚时，可作为中断源，每个 GPIO 管脚都具有独立的中断控制。
  - 作为输出管脚时，每个 GPIO 管脚都可以独立地清 0 或置 1。
- GPIO 的中断通过 GPIO_IS 等 7 个寄存器进行控制。通过这些寄存器可以选择中断源、极性以及边沿特性。GPIO 对应的中断寄存器请参见“3.3 中断系统”。
  - 当有多个中断同时发生时，将会统一汇集成一个中断进行上报，GPIO 的中断映射关系请参见“3.3 中断系统”。
  - GPIO_IS、GPIO_IBE、GPIO_IEV 三个寄存器共同决定了中断源的特性和中断触发类别。

  通过 GPIO_RIS 和 GPIO_MIS 分别读取中断的原始状态和屏蔽后的状态。通过 GPIO_IE 可以控制中断的最终上报情况。此外还提供了单独的 GPIO_IC 用于对中断状态进行清除控制。

14.5.3 功能描述

每组 GPIO 提供 8 个可编程的输入输出管脚。每个管脚可以配置为输入或者输出。这些管脚用于生成或采集特定应用的输出或输入信号。

GPIO 可以根据电平或跳变值产生可屏蔽的中断。GPIOINTR（General Purpose Input Output Interrupt）信号给中断控制器一个指示，表示有中断发生。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

14.5.4 工作方式

接口复位

上电复位时，所有的寄存器都被清 0，因此管脚默认为输入。

复位信号有效时，GPIO 有如下状态：

- 通过清除 GPIO_IE 中相应的比特位使中断无效。
- 所有的寄存器被清 0。
- 所有的管脚都被配置为输入。
- 原始中断寄存器都被清 0。
- 中断被设为边沿触发的中断。

通用输入输出

每个管脚可以配置为输入或者输出，具体步骤如下：

步骤 1. 参考“IO_CONFIG”配置管脚的相应位，使能需要使用的 GPIO 管脚功能。

步骤 2. 配置寄存器 GPIO_DIR，选择 GPIO 是作为输入还是输出。

- GPIO 用于输入：外部信号通过 GPIO 管脚送进来，此时可通过 GPIO_DATA 寄存器查看输入信号值。

  注意：输入的信号会同时送到和 GPIO 复用的管脚上。

- GPIO 用于输出：先向 GPIO_DATA 寄存器写入相应值后，再通过 GPIO 输出写入值。

  注意：此时若已使能 GPIO 中断功能，则当输出信号满足触发条件时，也会产生中断。

----结束

中断操作

如果要产生中断，且避免假中断，则必须按照下面的初始化顺序：

步骤 1. 配置 GPIO_IS，选择边沿触发或电平触发。

步骤 2. 配置 GPIO_IEV，选择下降沿/上升沿触发和高电平/低电平触发。

步骤 3. 如果选择边沿触发，需配置 GPIO_IBE，选择单沿或双沿触发方式。

步骤 4. 保证 GPIO 数据线在以上操作过程中保持稳定。

步骤 5. 向寄存器 GPIO_IC 写 0xFF，清中断。

步骤 6. 配置 GPIO_IE 为 1，使能中断。

----结束

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

GPIO 的中断设置由 7 个寄存器控制。当有一个或多个 GPIO 管脚产生中断，一个组合中断输出会送到中断控制器。边沿触发和电平触发有以下不同：

- 边沿触发的中断：软件必需清除该中断以使能更深的中断。
- 电平触发的中断：外部中断源应该保持该电平直到处理器识别到该中断。

14.5.5 寄存器概览

15 组 GPIO 寄存器的基地址如表 14-9 所示。

表14-9 15 组 GPIO 寄存器对应的基地址

寄存器	基地址
GPIO14	0x2023_0000
GPIO13	0x2022_0000
GPIO12	0x2021_0000
GPIO11	0x2020_0000
GPIO10	0x201F_0000
GPIO9	0x201E_0000
GPIO8	0x201D_0000
GPIO7	0x201C_0000
GPIO6	0x201B_0000
GPIO5	0x201A_0000
GPIO4	0x2019_0000
GPIO3	0x2018_0000
GPIO2	0x2017_0000
GPIO1	0x2016_0000
GPIO0	0x2015_0000

表 14-10 是单组 GPIO 内部寄存器的偏移地址以及定义，GPIO0～GPIO14 具有相同的寄存器组。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

说明

- GPIOn 对应的寄存器地址为：GPIOn 基地址+该寄存器偏移地址。
- n 的取值范围：[0, 18]

表14-10 GPIO 寄存器概览

偏移地址	名称	描述	页码
0x000～0x3FC	GPIO_DATA	GPIO 数据寄存器	14-82
0x400	GPIO_DIR	GPIO 方向控制寄存器	14-82
0x404	GPIO_IS	GPIO 中断触发寄存器	14-83
0x408	GPIO_IBE	GPIO 双沿触发中断寄存器	14-83
0x40C	GPIO_IEV	GPIO 触发中断条件寄存器	14-84
0x410	GPIO_IE	GPIO 中断屏蔽寄存器	14-84
0x414	GPIO_RIS	GPIO 原始中断状态寄存器	14-85
0x418	GPIO_MIS	GPIO 屏蔽状态中断寄存器	14-85
0x41C	GPIO_IC	GPIO 中断清除寄存器	14-86

14.5.6 寄存器描述

GPIO_DATA

GPIO_DATA 为 GPIO 数据寄存器。用来对输入或输出数据进行缓存。

当配置 GPIO_DIR 中对应位为输出时，写入 GPIO_DATA 寄存器的值将会输出到相应的管脚（注意需要配置正确的管脚复用）；如果配置为输入时，将会读取相应输入管脚的值。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

注意

当 GPIO_DIR 相应的比特配置为输入时，有效读取的结果将返回管脚的值；当配置为输出的时候，有效读取的结果将返回写入的值。

GPIO_DATA 寄存器利用 PADDR[9:2]实现了读写寄存器比特的屏蔽操作。该寄存器对应 256 个地址空间。PADDR[9:2]分别对应 GPIO_DATA[7:0]，当相应的 bit 为高时，则可以对相应的位进行读写操作；反之，若对应 bit 为低则不能进行操作。例如：

- 若地址为 0x3FC（0b11_1111_1100），则对 GPIO_DATA[7:0]这 8bit 操作全部有效。
- 若地址为 0x200（0b10_0000_0000），则仅对 GPIO_DATA[7]的操作有效。

Offset Address	Register Name	Total Reset Value
0x000～0x3FC	GPIO_DATA	0x00

Bit	7	6	5	4	3	2	1	0
Name	gpio_data							
Reset	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[7:0]	RW	gpio_data	当 GPIO 配置为输入模式时，为 GPIO 输入数据；当 GPIO 配置为输出模式时，为输出数据。各比特均可独立控制。与 GPIO_DIR 配合使用。

GPIO_DIR

GPIO_DIR 为 GPIO 方向控制寄存器。用来配置 GPIO 管脚方向。

Offset Address	Register Name	Total Reset Value
0x400	GPIO_DIR	0x00

Bit	7	6	5	4	3	2	1	0
Name	gpio_dir							
Reset	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[7:0]	RW	gpio_dir	GPIO 方向控制寄存器。bit[7:0]分别对应 GPIO_DATA[7:0]，各比特可独立控制。 0：输入； 1：输出。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

GPIO_IS

GPIO_IS 为 GPIO 中断触发寄存器。用来配置 GPIO 管脚触发电平方式。

Offset Address	Register Name	Total Reset Value
0x404	GPIO_IS	0x00

Bit	7	6	5	4	3	2	1	0
Name	gpio_is							
Reset	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[7:0]	RW	gpio_is	GPIO 中断触发控制寄存器，bit[7:0]分别对应 GPIO_DATA[7:0]，各比特独立控制。 0：边沿触发中断； 1：电平触发中断。

GPIO_IBE

GPIO_IBE 为 GPIO 双沿触发中断寄存器。用来配置 GPIO 管脚沿触发方式。

Offset Address	Register Name	Total Reset Value
0x408	GPIO_IBE	0x00

Bit	7	6	5	4	3	2	1	0
Name	gpio_ibe							
Reset	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[7:0]	RW	gpio_ibe	GPIO 中断沿触发控制寄存器，bit[7:0]分别对应 GPIO_DATA[7:0]，各比特独立控制。 0：单边沿触发中断，具体是上升沿还是下降沿触发由 GPIO_IEV 控制； 1：双边触发中断。

GPIO_IEV

GPIO_IEV 为 GPIO 触发中断条件寄存器。用来配置 GPIO 管脚触发中断条件。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x40C	GPIO_IEV	0x00

Bit	7	6	5	4	3	2	1	0
Name	gpio_iev							
Reset	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[7:0]	RW	gpio_iev	GPIO 触发中断条件寄存器，bit[7:0]分别对应GPIO_DATA[7:0]，各比特独立控制。 0：下降沿或低电平触发中断； 1：上升沿或高电平触发中断。

GPIO_IE

GPIO_IE 为 GPIO 中断屏蔽寄存器。用来屏蔽 GPIO 管脚中断。

Offset Address	Register Name	Total Reset Value
0x410	GPIO_IE	0x00

Bit	7	6	5	4	3	2	1	0
Name	gpio_ie							
Reset	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[7:0]	RW	gpio_ie	GPIO 中断屏蔽寄存器，bit[7:0]分别对应GPIO_DATA[7:0]，各比特独立控制。 0：屏蔽中断； 1：不屏蔽中断。

GPIO_RIS

GPIO_RIS 为 GPIO 原始中断状态寄存器。用来查询 GPIO 管脚原始中断状态。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x414	GPIO_RIS	0x00

Bit	7	6	5	4	3	2	1	0
Name	gpio_ris							
Reset	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[7:0]	RO	gpio_ris	GPIO 原始中断寄存器，bit[7:0]分别对应 GPIO_DATA[7:0]，指示未屏蔽的中断状态。该状态不受 GPIO_IE 寄存器屏蔽控制。 0：已发生中断； 1：未发生中断。

GPIO_MIS

GPIO_MIS 为 GPIO 屏蔽状态中断寄存器。用来查询 GPIO 管脚屏蔽后的中断状态。

Offset Address	Register Name	Total Reset Value
0x418	GPIO_MIS	0x00

Bit	7	6	5	4	3	2	1	0
Name	gpio_mis							
Reset	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[7:0]	RO	gpio_mis	GPIO 屏蔽后中断寄存器，bit[7:0]分别对应 GPIO_DATA[7:0]，指示经屏蔽后的中断状态。该状态受 GPIO_IE 寄存器屏蔽控制。 0：中断无效； 1：中断有效。

GPIO_IC

GPIO_IC 为 GPIO 中断清除寄存器。用来清除 GPIO 管脚产生的中断，同时清除 GPIO_RIS 寄存器和 GPIO_MIS 寄存器。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x41C	GPIO_IC	0x00

Bit	7	6	5	4	3	2	1	0
Name	gpio_ic							
Reset	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[7:0]	WC	gpio_ic	GPIO 中断清除寄存器，bit[7:0]分别对应 GPIO_DATA[7:0]，各比特可独立控制。 0：无影响； 1：清除中断。

14.6 USB 2.0 Host

14.6.1 概述

USB 2.0 Host 控制器支持 High-speed（480Mbit/s）、Full-speed（12Mbit/s）和 Low-speed（1.5Mbit/s）三种数据传输。USB 2.0 Host 控制器完全支持 USB 2.0、OHCI Rev 1.0a 和 EHCI Rev 1.0 协议。USB 2.0 Host 控制器中包含一个 Root Hub（USB 系统中的一部分，通过 Hub 可以扩展 USB 接口）。USB 2.0 Host 控制器的大部分硬件逻辑可以：

- 完成对传输的控制和处理
- 对数据包的解析和打包
- 对 USB 传输信号的编码和解码
- 为驱动程序提供了中断向量等接口

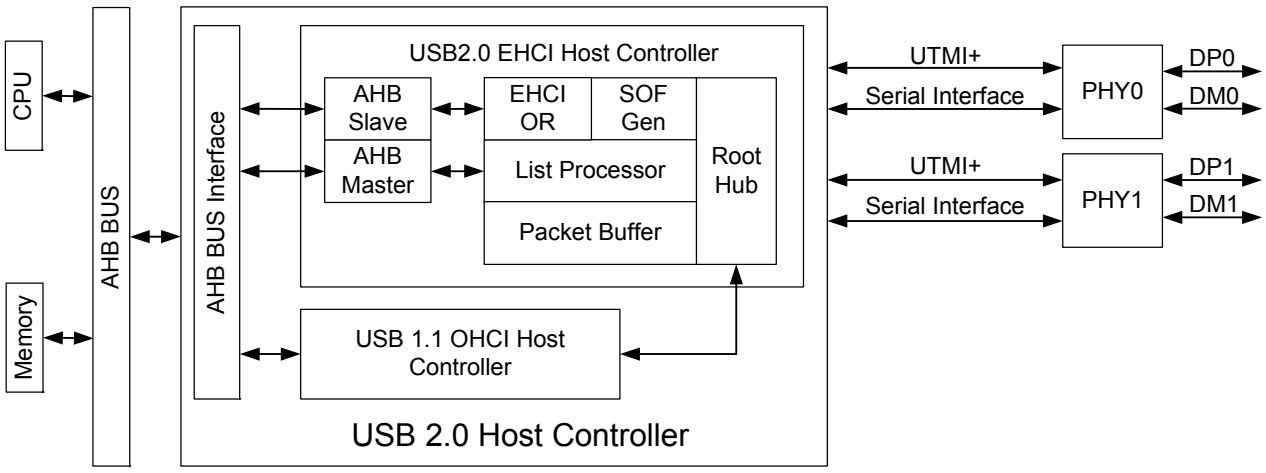
14.6.2 功能描述

逻辑框图

USB 2.0 Host 逻辑框图如图 14-40 所示。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

图14-40 USB 2.0 Host 逻辑框图



UTMI：USB2.0 Transceiver Macrocell Interface
EHCI：Enhanced Host Controller Interface
OHCI：Open Host Controller Interface

典型应用

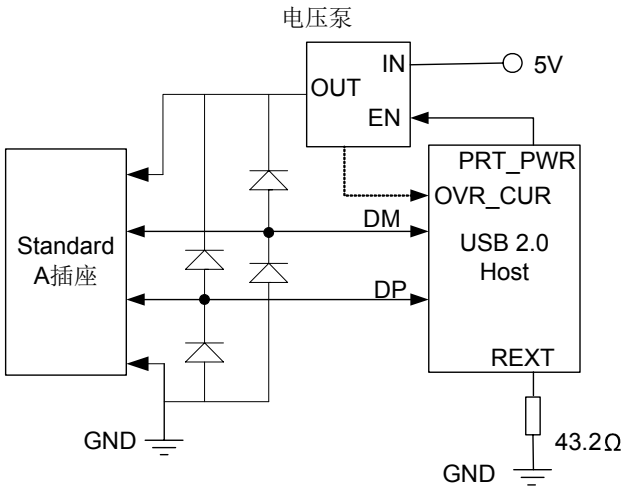
USB 2.0 Host 的参考设计如图 14-41 所示。

注意

- DP 和 DM 的单端阻抗为 45Ω±1%，所以 DP 和 DM 无需外接任何的匹配电阻。
- REXT 电阻的精度是±1%。
- 需要使用高速的 ESD 器件，电容值推荐为 1pF 左右。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

图14-41 USB 2.0 Host 参考设计



功能特点

USB 2.0 Host 具有以下功能特点：

- 完全兼容 USB 2.0。
- 完全符合 OHCI Rev 1.0a、EHCI Rev 1.0。
- 可以支持 High-speed、Full-speed、Low-speed 三种设备。
- 支持低功耗的解决方案。
- 支持 Control Transfer、Bulk Transfer、Isochronous Transfer、Interrupt Transfer 四种基本数据传输类型。
- 可以通过连接 USB Hub，连接最多 127 个设备。

工作原理

USB 2.0 Host 支持以下 4 种标准的传输方式：

- Control Transfer（控制传输）

  主要用于 USB Host 与 USB Device 端点 0 之间的传输，某些特定型号的 USB 设备的控制传输可能用到其他的端点。控制传输是双向传输，数据量通常较小，可以传输 8byte、16byte、32byte 或 64byte 的数据，依赖于设备和传输速度。

- Bulk Transfer（批量传输）

  主要用于没有带宽和间隔时间要求的情况下发送和接收大量的数据，这种类型的设备适合于传输非常慢和大量被延迟的传输，可以等到所有其他类型的数据的传送完成之后再传送和接收数据。它的特点是以错误检测和重传的方式保证 USB Host 与 USB Device 的数据被无差错地发送。

- Isochronous Transfer（同步传输）

  主要用于时间严格并具有较强容错性的流数据传输，或者用于数据传输速率恒定的即时应用中。同步传输提供了确定的带宽和间隔时间。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

- Interrupt Transfer（中断传输）

  主要用于少量、分散、不可预测的数据的传输。中断传输方式下，定时查询设备是否有中断数据要发送。设备的端点模式器的结构决定了它的查询频率为 1ms～255ms。典型的中断方式传输是单向的，并且对于 USB Host 来说只有输入的方式。

14.6.3 工作方式

管脚极性控制

通过设置系统控制寄存器 PERIPHCTRL20 [usbpwr_p_ctrl]可以设置 USB0_PWREN、USB1_PWREN 的有效极性；通过设置系统控制寄存器 PERIPHCTRL20 [usbovr_p_ctrl]可以设置 USB0_OVRCUR、USB1_OVRCUR 的有效极性。

时钟门控

在不使用 USB 2.0 Host 时，可关断 USB 2.0 Host 的时钟，以降低功耗。

关断时钟的步骤如下：

步骤 1. 分别向 PERI_CRG46 [usbphy_port0_treq]、PERI_CRG46[usbphy_port1_treq]、PERI_CRG46[usbphy_req]、PERI_CRG46[usb_ctrl_utmi0_req]、PERI_CRG46[usb_ctrl_utmi1_req]、PERI_CRG46[usb_ctrl_hub_req]、PERI_CRG46[usb_ahb_srst_req]写 1，对 USB 控制器和 PHY 进行复位。

步骤 2. 将系统寄存器 PERI_CRG46 [usb_cken]置 0，关断 USB 2.0 Host 相关时钟。

----结束

打开时钟的步骤如下：

步骤 1. 将系统控制器的 PERI_CRG46 [usb_cken]置 1，打开 USB 2.0 Host 相关时钟。

步骤 2. 撤消 USB 控制器和 PHY 的复位，详细信息请参见“撤消复位”。

----结束

撤消复位

USB 控制器和 PHY 在上电后默认处于复位状态，撤消复位的步骤如下：

步骤 1. 至少延时 10us。

步骤 2. 向 PERI_CRG46[usbphy_port0_treq]写 0，撤消 USB PHY port0 的端口软复位；PERI_CRG46[usbphy_port1_treq]写 0，撤消 USB PHY port1 的端口软复位。

步骤 3. 向 PERI_CRG46[usbphy_req]写 0，撤消 USB PHY 的总复位；

步骤 4. 延时 250us 后，向 PERI_CRG46[usb_ctrl_utmi0_req]写 0，撤消 USB 控制器的 port0 接口软复位；向 PERI_CRG46[usb_ctrl_utmi1_req]写 0，撤消 USB 控制器的 port1 接口软复位；向 PERI_CRG46[usb_ctrl_hub_req]写 0，撤消 USB 控制器的 hub 软复位。

步骤 5. 向 PERI_CRG46[usb_ahb_srst_req]写 0，撤消 USB 总线侧软复位。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

----结束

工作过程中单独复位 port0 或 port1

工作过程中单独复位 port0 的步骤如下：

步骤 1. 向 PERI_CRG46[usb_ctrl_utmi0_req]写 1，对 USB 控制器的 port0 进行软复位。

步骤 2. 向 PERI_CRG46[usbphy_port0_treq]写 1，对 USB PHY 的 port0 的端口进行软复位。

延时 200us 后，向 PERI_CRG46[usbphy_port0_treq]写 0，撤消 USB PHY 的 port0 的端口复位。

步骤 3. 向 PERI_CRG46[usb_ctrl_utmi0_req]写 0，撤消 USB 控制器的 port0 复位。

----结束

工作过程中单独复位 port1 的步骤如下：

步骤 1. 向 PERI_CRG46[usb_ctrl_utmi1_req]写 1，对 USB 控制器的 port1 接口进行软复位。

步骤 2. 向 PERI_CRG46[usbphy_port1_treq]写 1，对 USB PHY 的 port1 的端口进行软复位。

步骤 3. 延时 200us 后，向 PERI_CRG46[usbphy_port1_treq]写 0，撤消 USB PHY 的 port1 的端口复位。

步骤 4. 向 PERI_CRG46[usb_ctrl_utmi1_req]写 0，撤消 USB 控制器的 port1 复位。

----结束

挂起和重启

挂起 port0（即 SUSPEND）：软件通过 EHCI/OHCI 寄存器设置挂起模式后，port0 就进入了挂起模式。

重启 port0（即 RESUME）：软件通过 EHCI/OHCI 寄存器设置退出 SUSPEND 模式后，如果 PERIPHCTRL21 [commononn]为 1，需要至少延时 225us 后，软件才能发起 USB 操作；如果 PERIPHCTRL21 [commononn]为 0，需要至少延时 5us 后，软件才能发起 USB 操作。

说明
挂起 port1 的操作与挂起 port0 的操作类似，重启 port1 的操作与重启 port0 的操作类似。

USB TX 信号质量调节

如果测试发现单板上的 USB 眼图无法通过模板时，可以通过如下步骤调节 USB TX 的信号质量。

以 USB port0 为例。

步骤 1. 向 periphctrl21[phy0_txpreemphasistune]写 1，使能 USB port0 的预加重功能。

步骤 2. 向 periphctrl21[phy0_txrisetune]写 1，减小高速信号的上升/下降时间。

步骤 3. 向 periphctrl21[phy0_txverftune]写 0x1111，加大 DC 电平。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

---结束

说明

如果发现 USB 眼图无法通过模板，请确认已经配置了如上寄存器。

14.6.4 寄存器概览

说明

由于该 USB 模块是一个标准的 USB 2.0 Host，内部寄存器也是标准的 EHCI 及 OHCI 寄存器，在 EHCI 协议及 OHCI 协议中有详细的描述，请参照协议。下面仅对几个厂家特别定义的寄存器进行描述。

USB 寄存器概览如表 14-11 所示。

表14-11 USB 寄存器概览（基地址：0x100B_0000）

偏移地址	名称	描述	页码
0x90	INTNREG00	配置微帧长度寄存器	14-91
0x94	RESERVED	保留	-
0x98	RESERVED	保留	-
0x9C	RESERVED	保留	-
0xA0	INTNREG04	DEBUG 寄存器	14-92
0xA4	INTNREG05	控制及状态寄存器	14-93
0xA8	INTNREG06	AHB 错误状态寄存器	14-94
0xAC	INTNREG07	AHB 错误地址寄存器	14-94

注：EHCI 寄存器基地址是 0x100B_0000，OHCI 寄存器基地址是 0x100A_0000，表 14-11 中寄存器基地址是 EHCI 寄存器基地址。

14.6.5 寄存器描述

INTNREG00

INTNREG00 为配置微帧长度寄存器。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x90	INTNREG00	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																								val							en
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:14]	-	reserved	保留。
[13:1]	RW	val	微帧计数器值。该寄存器仅用于仿真。正常工作时，微帧长度是协议规定的 125μs；仿真时，为了缩短仿真时间，根据需要可以配置该寄存器改变微帧长度。
[0]	RW	en	使能该寄存器。 0：禁止； 1：使能。

INTNREG04

INTNREG04 为 DEBUG 寄存器。

Offset Address	Register Name	Total Reset Value
0xA0	INTNREG04	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																										auto_en	nak_reldfix_en	reserved	scaledwn_enum_time	hccparam_en	hcsparam_en
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:6]	-	reserved	保留。
[5]	RW	auto_en	自动规格使能。 0：使能（当软件复位 run/stop，但 hchalted 位还未设置时挂起信号有效）； 1：禁止（即软件清除 run/stop 位时端口不挂起）。 默认为 0。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

[4]	RW	nak_reldfix_en	NAK 重载使能。 0：使能； 1：禁止。
[3]	-	reserved	保留。
[2]	RW	scaledwn_enum_time	减少端口枚举时间。 0：禁止； 1：使能。
[1]	RW	hccparam_en	HCCPARAMS 寄存器可写使能。 0：禁止； 1：使能。
[0]	RW	hcsparam_en	HCSPARAMS 寄存器可写使能。 0：禁止； 1：使能。

INTNREG05

INTNREG05 为控制及状态寄存器。用于读写 PHY 寄存器。

Offset Address	Register Name	Total Reset Value
0xA4	INTNREG05	0x0000_1000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18	17	16	15 14 13	12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved				vbusy	vport		vcontrol_loadm	vcontrol	vstatus	
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0	0	0	0 0 0	1	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[31:18]	-	reserved	保留。
[17]	RO	vbusy	“1”表明硬件现在正在执行数据写操作，只有当进程结束时，该位清零。
[16:13]	RW	vport	端口号，不能超过支持的端口数。
[12]	RW	vcontrol_loadm	装载使能。 0：使能； 1：禁止。
[11:8]	RW	vcontrol	端口控制信号。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

[7:0]	RO	vstatus	端口状态信号。

INTNREG06

INTNREG06 为 AHB 错误状态寄存器。

Offset Address	Register Name	Total Reset Value
0xA8	INTNREG06	0x0000_0000

Bit	31	30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	err_capture	reserved					hbusrt_err	num_beat_err	num_beat_ok
Reset	0	0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[31]	RW	err_capture	发生了 AHB 错误。
[30:12]	-	reserved	保留。
[11:9]	RO	hbusrt_err	发生 AHB 错误时控制传输阶段 hburst 值。
[8:4]	RO	num_beat_err	发生 AHB 错误时该次 burst 传输的拍数。最大拍数为 16。 0x00～0x10：有效； 0x11～0x1F：保留。
[3:0]	RO	num_beat_ok	发生 AHB 错误时该次 burst 传输中已经成功完成的拍数。

INTNREG07

INTNREG07 为 AHB 错误地址寄存器。

Offset Address	Register Name	Total Reset Value
0xAC	INTNREG07	0x0000_0000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	err_addr							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[31:0]	RO	err_addr	发生 AHB 错误时控制传输阶段的地址。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

14.7 MMC/SD/SDIO 控制器

14.7.1 功能描述

功能框图

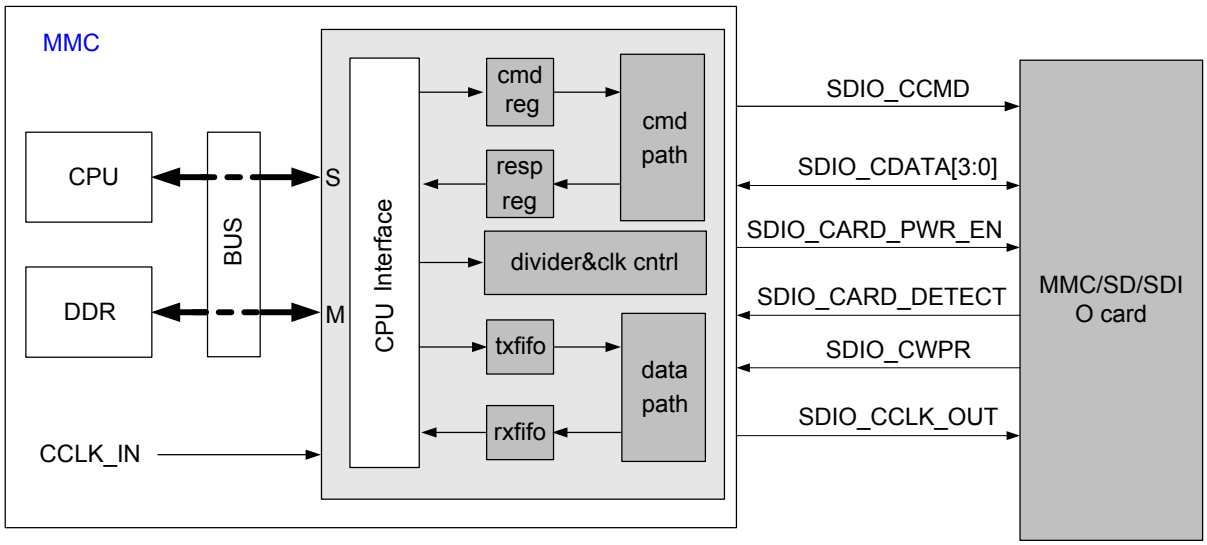
MMC/SD/SDIO 控制器（以下简称 MMC）用于处理对 SD/MMC 卡的读写等操作，并通过 SDIO 协议实现对扩展外设（如蓝牙、WiFi 等）的支持。提供 1 个 MMC 控制器，可用于控制 SD/MMC 卡、SDIO 设备。Hi3521 提供 1 个 MMC/SD/SDIO 控制器 。

MMC 支持符合以下协议的设备：

- Secure Digital Memory（SD mem-version 2.00）
- Secure Digital I/O（SDIO-version 2.0）
- MultiMediaCard（MMC-version 4.3）

MMC 的功能框图如图 14-42 所示。

图14-42 MMC 功能框图



注：S：slave 接口；M：master 接口。

MMC 通过内部总线与系统连接，由以下单元构成：

- 命令通道
  完成指令的发送与响应的接收。
- 数据通道

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

配合命令通道完成数据读写操作。

- 接口时钟控制单元

  根据需求改变接口时钟频率，控制接口时钟的关闭与开启。SDIO_CCLK_OUT 可以是 CCLK_IN 的分频。

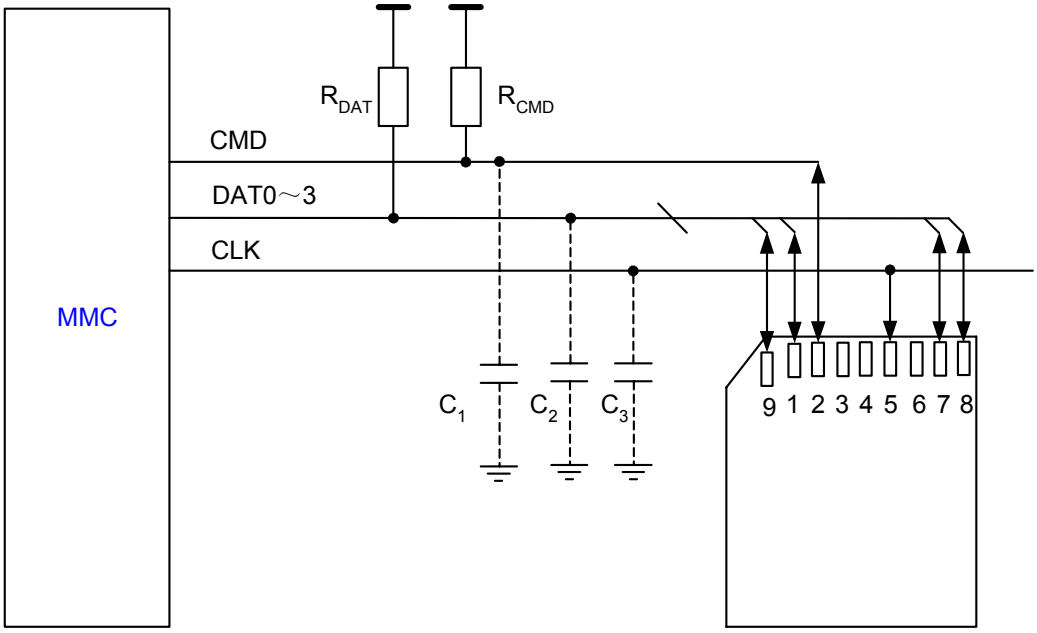
MMC 的功能特点有：

- 支持内部 DMA 数据传输方式。
- 包含数据发送方向与接收方向的 2 个 FIFO，FIFO 深度为 256word
- 支持 FIFO 阈值可配，DMA 传输时 Burst 大小可配。
- 支持 FIFO 上溢出与下溢出中断告警，防止数据传输错误。
- 支持命令与数据的 CRC 生成与校验。
- 接口时钟频率可编程。
- 支持低功耗模式关闭 MMC 时钟和接口时钟。
- 数据位宽支持 1、4、8bit，可根据对接器件选择。
- 支持 1byte～65535byte 的块数据读写操作。
- 支持 MMC 卡流数据读写方式。
- 支持 SDIO 的 suspend 操作、resume 操作和 read wait 操作。

典型应用

MMC 的典型应用电路如图 14-43 所示。

图14-43 MMC 典型应用电路图



海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

MMC 通过 1 根时钟信号线、1 根双向指令信号线和 4 根双向数据信号线与卡设备对接来完成命令与数据的交互。指令信号、数据信号均工作在上拉模式。上拉电阻参数及各信号线负载电容限制如表 14-12 所示。

表14-12 信号线负载参数

参数	最小值	最大值	描述
R_{DAT}、R_{CMD}	10kΩ	100kΩ	上拉电阻。
负载容抗 C_x	-	30pF	负载电容 $C_x=C_{mmchost}+C_{bus}+C_{card}$。每张卡最大负载电容 C_{card} 为 10pF，所以 $C_{mmchost}+C_{bus}$ 应该小于 30pF。
信号线感抗	-	16nH	Fpp≤20MHz。

注意

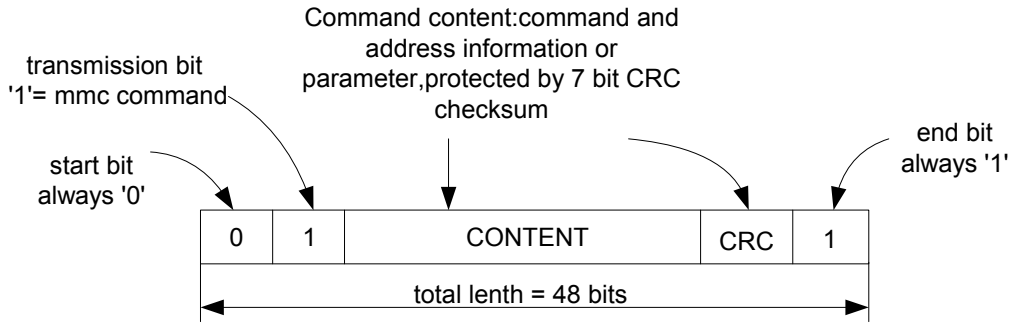
除图 14-43 中信号线外，卡槽一般还提供机械写保护信号和卡检测信号。芯片提供了这些接口，示意图中未给出。

指令与响应

MMC 与卡设备之间的所有交互操作均通过指令完成，包括卡初始化、寄存器读写、状态查询、数据传输等。

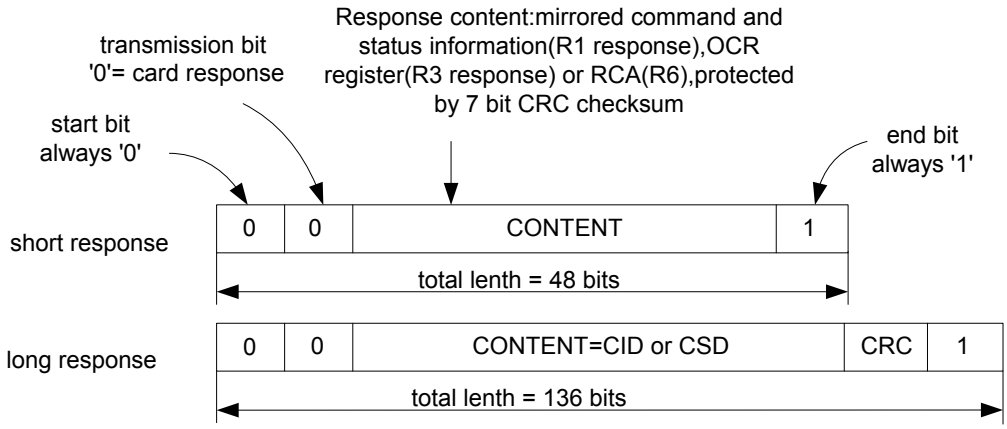
MMC 指令为 48bit 的串行数据，由起始位、传输位、指令序号、指令参数、CRC 校验位和终止位组成。卡收到指令后，会根据指令类型返回 48bit 或 136bit 的响应。

图14-44 MMC 指令格式



海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

图14-45 MMC 指令响应格式



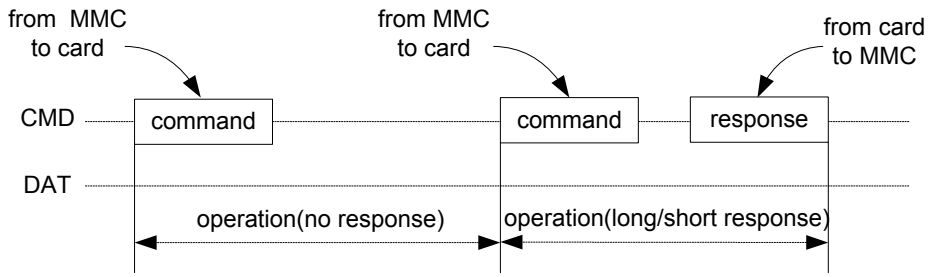
根据是否有数据传输，指令分为以下 2 种：

- 非数据传输指令
  基于指令信号线 CMD，MMC 与卡采用串行方式进行指令发送与响应接收。
- 数据传输指令
  除指令线上的交互外，还有数据线 DAT0～DAT7 上的数据传输。

（1）非数据传输指令

MMC 与卡设备之间的非数据传输指令操作如图 14-46 所示。

图14-46 MMC 非数据指令操作



（2）数据传输指令

MMC 卡支持以下数据传输指令：

- 流数据读写指令
  仅 MMC 卡支持，只使用 1 根数据线（即 DAT0）进行数据传输，无 CRC 校验。
- 单块数据读写指令
  一次传输完成一个块大小的数据，不需要使用停止命令结束一次数据传输。
- 多块数据读写指令
  - predefined block count 方式

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

在多块读写指令前，发送块数量指令指定待传输的数据量。

- open ended 方式

  发送读写指令后，在数据传输末尾，需使用停止指令来结束一次数据传输。

两种方式的差别在于 MMC 通知卡结束一次传输的方式不同。SD 卡仅支持 open ended 方式，MMC 卡两种方式均支持。

SDIO 设备的多块读写指令，不同于上述 2 种方式，在发送读写指令时，指令参数中包含待传输的数据量。

根据响应的类型，指令分为以下 3 种：

- 无响应指令

  如卡复位指令。

- 短响应指令

  数据传输指令、卡状态查询等均属于这类指令。

- 长响应指令

  仅用于读取卡的寄存器 CID 和 CSD 信息。

数据传输

单块读写指令和多块读写指令为较常用的数据传输方式。通常 SD/MMC 卡数据传输的一个块大小为 512byte，而 SDIO 设备可根据应用自定义。

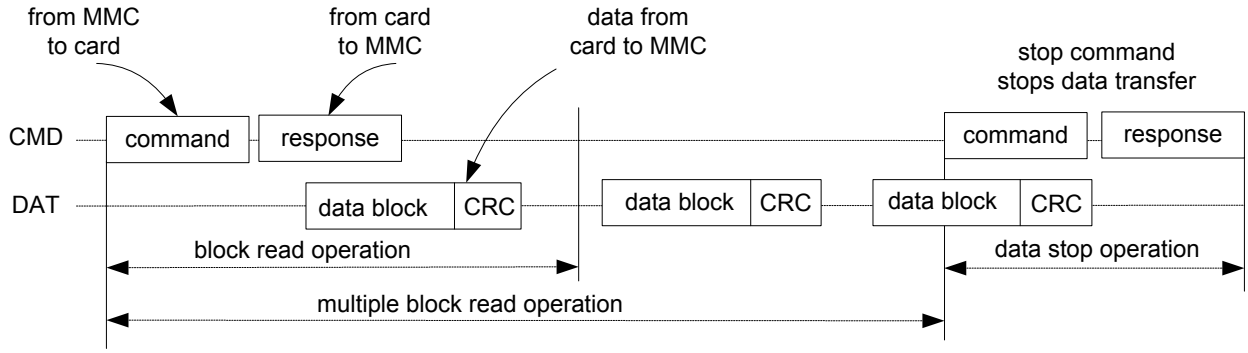
说明

以块读写指令方式进行数据传输时，传输数据总量必须为块大小的整数倍。

数据传输指令均为短响应指令，并伴随着数据线上的数据传输。指令、响应及数据线上的时序配合关系如图 14-47 和图 14-48 所示。

（1）单块与多块读操作

图14-47 单块与多块读操作



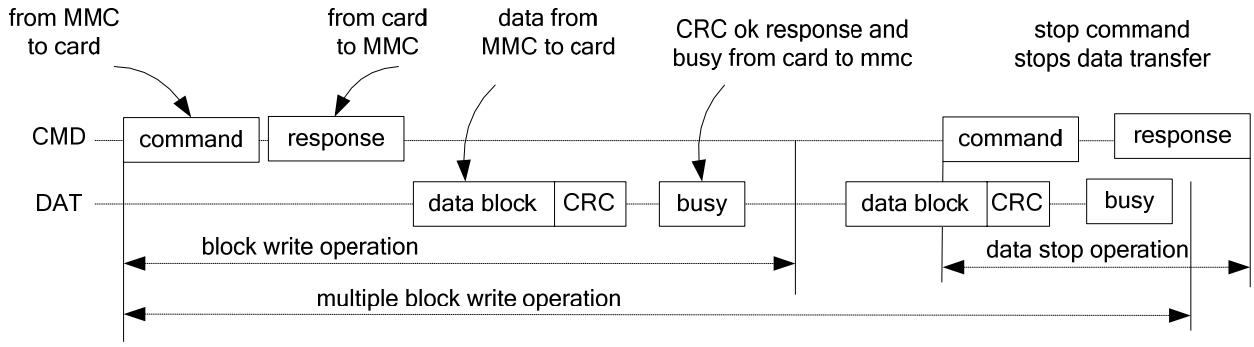
MMC 向卡发送单块或多块读指令。在接收响应的过程中，接收以块为单位的数据，其中每块数据中均包含有 CRC 校验位，以保证数据传输的完整性。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

单块读指令操作时，MMC 在接收一块数据后完成一次数据传输；多块读指令操作时，MMC 在接收多块数据后，需发送一条停止指令结束本次数据传输（仅 open ended 多块读指令）。

（2）单块与多块写操作

图14-48 单块与多块写操作



MMC 往卡发送单块或多块写指令。在接收到响应后，往卡发送以块为单位的数据，其中每块数据中均包含有 CRC 校验位，卡会对每块数据进行 CRC 校验，并反馈 CRC 状态以确认数据传输的正确性。

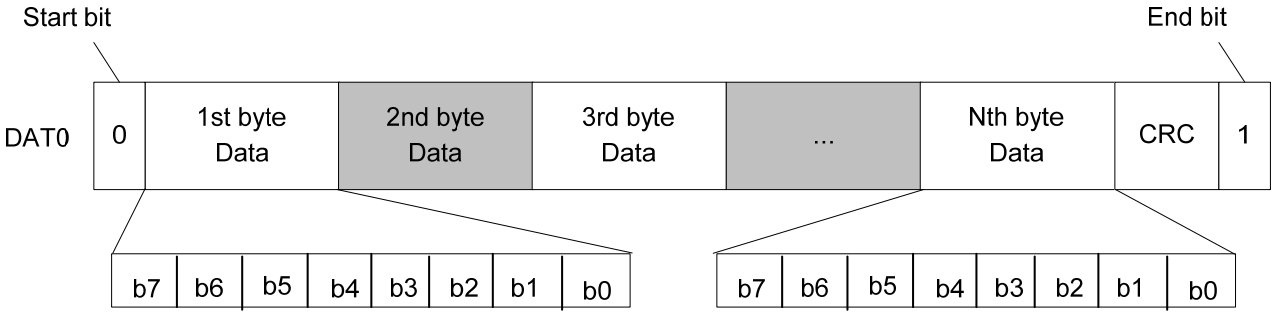
单块写指令操作时，MMC 在发送一块数据后完成一次数据传输；多块写指令操作时，MMC 在发送多块数据后，需发送一条停止指令完成本次数据传输（仅 open ended 多块读指令）。写操作结束后，卡可能会因为编程 Flash 而处于繁忙状态，MMC 需查询 DAT0 状态，以确认卡脱离繁忙状态后才能对卡进行下一步操作。

（3）数据传输格式

块方式读写中，MMC 与卡之间可采用 1bit 或 4bit 数据线方式进行数据传输。在发送数据传输指令之前，应分别设置 MMC 与卡的数据传输位宽模式（1bit 或 4bit），使它们保持一致。MMC 的数据位宽通过寄存器 MMC_CTYPE 设置，卡的数据位宽则通过发送相应的指令进行设置。

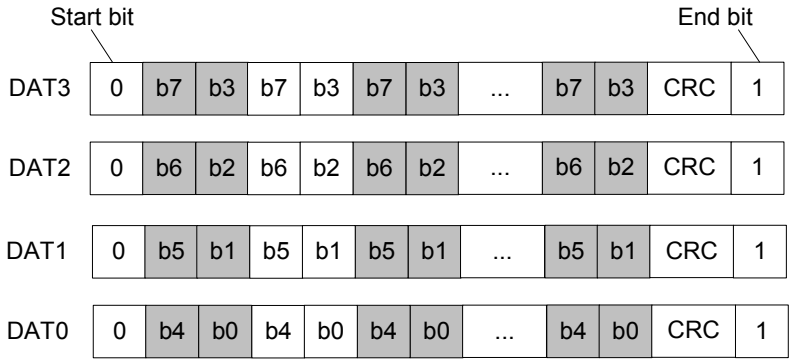
1bit 和 4bit 模式下的数据传输格式如图 14-49 和图 14-50 所示。

图14-49 1bit 数据线传输模式下的块数据格式



海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

图14-50 4bit 数据线传输模式下的块数据格式



14.7.2 时序与参数

14.7.2.1 时序参数

MMC 接口时序参数如表 14-13 所示。

表14-13 MMC 接口时序参数

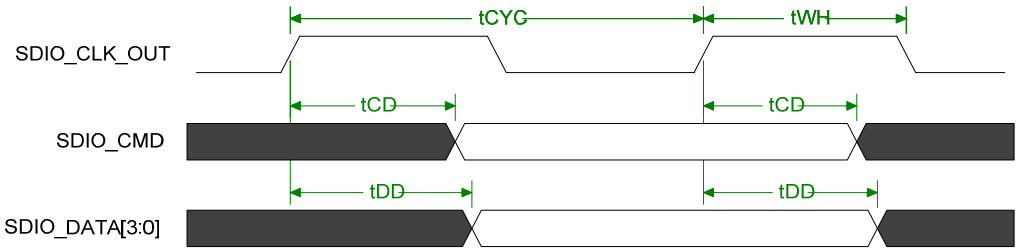
参数	描述	最小值	最大值	单位
tCYC	卡时钟周期	20	-	ns
tWH	卡时钟高电平时间	0.5tCYC	0.5tCYC	ns
tCCLK_IN	MMC 模块工作时钟周期	20 或者 41.67		ns
tCD	SDIO_CMD 输出延时	0.6tCCLK_IN-5.0	0.6tCCLK_IN+1.2	ns
tDD	SDIO_DATA 输出延时	0.6tCCLK_IN-4.7	0.6tCCLK_IN+2.1	ns
tCS	SDIO_CMD 输入建立时间	5.0	-	ns
tCH	SDIO_CMD 输入保持时间	0.7	-	ns
tDS	SDIO_DATA 输入建立时间	5.3	-	ns
tDH	SDIO_DATA 输入保持时间	0.7	-	ns

14.7.2.2 接口时序

输出方向时序如图 14-51 所示。

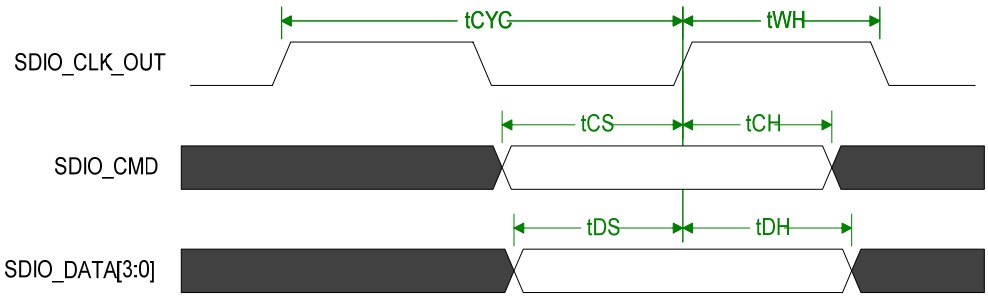
海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

图14-51 输出方向时序图



输入方向时序如图 14-52 所示。

图14-52 输入方向时序图



14.7.3 应用说明

时钟门控

在软件完成当前命令或数据传输，并且未启动新传输时可关闭 SDIO_CCLK_OUT 时钟，但需要确保 MMC 已处于空闲状态。

具体步骤如下：

步骤 1. 读寄存器 MMC_STATUS。

步骤 2. 若 MMC_STATUS[Command fsm states]和 MMC_STATUS[data_state_mc_busy]均为 0，则向 MMC_CTRL 写“0”，屏蔽 MMC 中断、DMA 请求使能等，进入步骤 3。若其中有一个为非 0，则延时等待，返回步骤 1。

步骤 3. 向 CRG 寄存器 PERI_CRG49 bit[1] 写“0”，关闭 SDIO 时钟。

步骤 4. 如果需要重新开启工作时钟，则向 CRG 寄存器 PERI_CRG49 bit[1]写“1”。

----结束

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

软复位

在数据传输出现异常而导致 MMC 无法回到空闲状态时，配置 CRG 寄存器 PERI_CRG49 bit[0]写“1”对 SDIO 模块进行软复位。查询寄存器 MMC_STATUS[Data_busy]确认控制器是否处于空闲状态。

建议在使用 MMC 之前和热插拔卡后，软复位 MMC。

工作时钟配置

在使用 MMC 前，需为其配置合适的工作时钟频率。MMC 的工作时钟可选择 24MHz 或者 50MHz，通过 CRG 寄存器 PERI_CRG49 bit[2]配置。

接口时钟配置

遵从不同协议版本的 MMC 卡，以及 MMC 卡处于不同的状态时，均使用不同的时钟频率。MMC 内部提供一个偶数分频器以便于将工作时钟分频至合适的接口时钟。控制器工作时钟 CCLK_IN 与接口时钟 SDIO_CCLK_OUT 的频率关系为：

$F_{SDIO_CCLK_OUT}=F_{CCLK_IN}/（2 \times clk_divider）$

其中，分频因子 clk_divider 为寄存器 MMC_CLKDIV[clk_divider]的值。不同卡类型支持的时钟频率不同，卡侧 $F_{SDIO_CCLK_OUT}$ 最高不超过 50MHz。

在改变 MMC 卡的时钟频率之前，必须保证没有数据或指令正在传输。为了避免输出到 MMC 卡的时钟产生毛刺，在改变 MMC 卡的时钟频率时应该遵照以下步骤：

步骤 1. 关闭接口时钟。

将寄存器 MMC_CLKNA 配置为 0x0000_0000，并将寄存器 MMC_CMD[Start_cmd]、MMC_CMD[Update_clk_regs_only]和 MMC_CMD[Wait_prvdata_complete]置“1”，等待寄存器 MMC_CMD[Start_cmd]被自动清零。

步骤 2. 设置分频因子。

根据所需要的时钟频率设置寄存器 MMC_CLKDIV，并将寄存器 MMC_CMD[Start_cmd]和 MMC_CMD[Update_clk_regs_only]置“1”，等待寄存器 MMC_CMD[Start_cmd]被自动清零。

步骤 3. 重新使能接口时钟。

将寄存器 MMC_CLKENA 配置为 0x0000_0001，并将寄存器 MMC_CMD[Start_cmd]和 MMC_CMD[Update_clk_regs_only]置“1”，等待寄存器 MMC_CMD[Start_cmd]被自动清零。

----结束

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

注意

只有当寄存器 MMC_CMD[Start_cmd]和 MMC_CMD[Update_clk_only]置“1”时，寄存器 MMC_CLKDIV、MMC_CLKENA 的值才会被载入。当载入成功以后，MMC 会自动清零寄存器 MMC_CMD[Start_cmd]。如果此时有其他指令正在执行，则会产生 HLE（Hardware Locked Error）中断。若产生 HLE 中断，清除中断后重新发命令即可。

当有指令执行和数据传输时，不能改变卡的时钟参数。

初始化

与卡进行命令和数据的交互前，需要初始化 MMC，步骤如下：

步骤 1. 配置 MMC 工作时钟频率。请参见“14.7.3 应用说明”中的“工作时钟配置”。

步骤 2. 当卡上电，指令和数据信号线上拉稳定后，软复位 MMC。请参见“14.7.3 应用说明”中的“软复位”。

步骤 3. 清中断。将寄存器 MMC_RINTSTS bit[15:0]所有位置“1”，清除原始中断状态位。

步骤 4. 设置寄存器 MMC_INTMASK。将寄存器 MMC_INTMASK bit[15:0]所有位置“1”，使能各中断源。

若使用 DMA 方式进行数据传输，应将 MMC_INTMASK bit[4]、MMC_INTMASK bit[5]置“0”，以屏蔽接收/发送 FIFO 数据请求中断。

步骤 5. 将寄存器 MMC_CTRL[Int_enable]置“1”，使能 MMC 中断。

步骤 6. 配置超时参数寄存器 MMC_TMOUT。

步骤 7. 配置 FIFO 参数寄存器 MMC_FIFOTH。

----结束

完成以上步骤后，就可以配置接口时钟，往卡发送指令了。

非数据传输指令

MMC 在指令发送后，一旦收到响应（无论对错或超时），就会将寄存器 MMC_RINTSTS bit[2]置位。短响应保存到寄存器 MMC_RESP0 中，长响应保存到寄存器 MMC_RESP0～MMC_RESP3 中，寄存器 MMC_RESP3 bit[31]为最高位，MMC_RESP0 bit[0]为最低位。当指令发出以后，其错误是由指令响应以及寄存器 MMC_RINTSTS 的错误位反映。

发送非数据传输指令的步骤如下：

步骤 1. 在寄存器 MMC_CMDARG 中设置相应的指令参数。

步骤 2. 根据表 14-14 设置指令寄存器 MMC_CMD。

步骤 3. 等待指令被 MMC 执行。如果指令已执行，MMC 自动清零寄存器 MMC_CMD[Start_cmd]。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

步骤 4. 检查寄存器 MMC_RINTSTS bit[12]是否产生 HLE 中断。

步骤 5. 等待指令执行完毕。MMC 收到响应（无论对错或超时）时将寄存器 MMC_RINTSTS bit[2]置“1”，表示 Command Done。

步骤 6. 检查是否有响应异常，必要时可读取响应值。

读取寄存器 MMC_RINTSTS bit[8]、MMC_RINTSTS bit[6]和 MMC_RINTSTS bit[1]，检查响应超时、响应 CRC 错误和响应错误。

----结束

注意

只有当寄存器 MMC_CMD[Start_cmd]置“1”、MMC_CMD[Update_clock_registes_only]置“0”时，寄存器 MMC_BYTCNT、MMC_BLKSIZ、MMC_CMDARG 和 MMC_CMD 的值才能被载入。载入成功后，MMC 自动清零 MMC_CMD[Start_cmd]。

如果有其他指令正在执行，会产生 HLE 中断，此时重新执行操作即可。在非数据传输指令执行时，寄存器 MMC_BYTCNT 和 MMC_BLKSIZ 的值被忽略。

表14-14 非数据传输指令时的寄存器 MMC_CMD 配置参考（默认值）

参数	取值	描述
Start_cmd	1	启动指令发送。
Update_clock_registes_only	0	非时钟参数更新指令。
data_transfer_expected	0	非数据传输指令。
card_number	0	-
cmd_index	Cmd index	指令序号。
send_initialization	0	当指令为卡复位时置“1”，如指令 CMD0。
stop_abort_cmd	0	当指令为停止数据传输时置“1”，如指令 CMD12。
rsponse_length	0	当响应为长响应类型时置“1”。
rsponse_expect	1	当指令无响应时置“0”，如：指令 CMD0、指令 CMD4、指令 CMD15。
Wait_prvdata_complete	1 or 0	在发送指令之前，MMC 必须等待正在处理的数据传输指令结束。建议此位一直置“1”，除非该指令是为了在数据传输时查询卡状态或停止当前数据的传输。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

参数	取值	描述
Check_response_crc	1 or 0	MMC 是否检查响应的 CRC 校验位。

单块或多块读数据

读取单块或多块数据的步骤如下：

步骤 1. 向寄存器 MMC_CTRL[fifo_reset]写“1”，复位 FIFO 指针，查询等待该位自动清零。

步骤 2. 向寄存器 MMC_BYTCNT 写入待传输数据的字节数。

步骤 3. 向寄存器 MMC_BLKSIZ 写入块的大小。

步骤 4. 向寄存器 MMC_CMDARG 写入读取数据的起始地址。

步骤 5. 根据表 14-15 设置寄存器 MMC_CMD。

对于 SD/MMC 卡，分别使用指令 CMD17/CMD18 进行单块/多块读操作；对于 SDIO 卡，使用指令 CMD53 进行单块/多块读操作。

一旦寄存器 MMC_CMD 被写入，MMC 就执行指令；当指令被送到总线上以后，产生 cmd_done 中断。

步骤 6. 检查寄存器 MMC_RINTSTS bit[5]和 MMC_RINTSTS bit[10]，如果其中之一为 1 或都为 1，则从寄存器 MMC_DATA 读取 FIFO 中的数据，以便 MMC 接收后面的数据；同时检查数据错误中断，即寄存器 MMC_RINTSTS bit[7]、MMC_RINTSTS bit[9]、MMC_RINTSTS bit[13]和 MMC_RINTSTS bit[15]。此时，程序可以发送一个停止指令中止数据的传输。

步骤 7. 当寄存器 MMC_RINTSTS bit[3]为 1 时，数据传输完成，从寄存器 MMC_DATA 中读取残留在 FIFO 中的数据。

步骤 8. 若执行指令时已将寄存器 MMC_CMD[Send_auto_stop]置“1”，MMC 自动发送停止指令结束一次数据传输，请参见“14.7.3 应用说明”中的“Auto-stop 使用配置”。

----结束

表14-15 单块或多块读数据时的寄存器 MMC_CMD 配置参考（默认值）

参数	取值	描述
Start_cmd	1	启动指令发送。
Update_clock_registes_only	0	非时钟参数更新指令。
card_number	0	-
send_initialization	0	当指令为卡复位时置“1”，如指令 CMD0。
stop_abort_cmd	0	当指令为停止数据传输时置“1”，如指令 CMD12。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

参数	取值	描述
send_auto_stop	0 or 1	请参见“14.7.3 应用说明”中的“Auto-stop 使用配置”。
transfer_mode	0	块传输。
read/write	0	从卡中读取数据。
rsponse_length	0	数据指令均为短响应。
data_transfer_expected	1	数据传输指令。
rsponse_expect	1	当指令无响应时置“0”，如：指令 CMD0、CMD4、CMD15。
cmd_index	Cmd index	命令序号。
Wait_prvdata_complete	1 or 0	在发送指令之前，主设备必须等待正在处理的数据传输指令结束。建议此位一直置 1，除非该指令是为了询问卡状态或停止当前数据的传输。
Check_response_crc	1 or 0	MMC 是否检查响应的 CRC 校验位。

单块与多块写数据

写入单块或多块数据的步骤如下：

步骤 1. 向寄存器 MMC_CTRL[fifo_reset]写“1”，复位 FIFO 指针，查询等待直至该位自动清零。

步骤 2. 向寄存器 MMC_BYTCNT 写入待传输数据的大小。

步骤 3. 向寄存器 MMC_BLKSIZ 写入块的大小。

步骤 4. 向寄存器 MMC_CMDARG 写入数据的起始地址。

步骤 5. 将数据写入 FIFO，即写寄存器 MMC_DATA，通常在开始时应写满 FIFO。

步骤 6. 根据表 14-16 设置寄存器 MMC_CMD。

对于 SD/MMC 卡，分别使用指令 CMD24/CMD25 进行单块/多块写操作；对于 SDIO 卡，使用指令 CMD53 进行单块/多块写操作。

步骤 7. 检查寄存器 MMC_RINTSTS bit[4]和 MMC_RINTSTS bit[10]，如果其中之一为 1 或都为 1，写寄存器 MMC_DATA 往 FIFO 填充数据；同时应检查数据错误中断，即检查寄存器 MMC_RINTSTS bit[7]、MMC_RINTSTS bit[9]、MMC_RINTSTS bit[13]和 MMC_RINTSTS bit[15]。如果有需要，程序可以发送一个停止指令以中止数据的传输。当寄存器 MMC_RINTSTS bit[3]为 1，数据传输结束。

步骤 8. 若执行指令时已将寄存器 MMC_CMD[Send_auto_stop]置“1”，MMC 自动发送停止指令结束一次数据传输。请参见“14.7.3 应用说明”中的“Auto-stop 使用配置”。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

步骤 9. 查询并等待寄存器 MMC_STATUS[data_busy]由 1 变为 0。

----结束

表14-16 单块或多块写数据时的寄存器 MMC_CMD 配置参考（默认值）

参数	取值	描述
Start_cmd	1	启动指令发送。
Update_clock_registes_only	0	非时钟参数更新指令。
card_number	0	-
send_initialization	0	当指令为卡复位时置“1”，如指令 CMD0。
stop_abort_cmd	0	当指令为停止数据传输时置“1”，如指令 CMD12。
send_auto_stop	0 or 1	请参见“14.7.3 应用说明”中的“Auto-stop 使用配置”。
transfer_mode	0	块传输。
read_write	1	往卡写入数据。
rsponse_length	0	数据指令均为短响应。
data_transfer_expected	1	数据传输指令。
rsponse_expect	1	当指令无响应时置“0”，如：指令 CMD0、CMD4、CMD15。
cmd_index	Cmd index	-
Wait_prvdata_complete	1 or 0	在发送指令之前，主设备必须等待直到正在处理的数据传输指令结束。建议此位一直置“1”，除非该指令是为了询问卡状态或停止当前数据的传输。
Check_response_crc	1 or 0	MMC 是否检查响应的 CRC 校验位。

流数据读写

流数据的读写方式，除了将寄存器 MMC_CMD[Transfer_mode]置“1”外，其他与块数据的读写方式一致。对于流数据的传输，通常需要使用 Auto-stop 功能。

内置 DMA 方式数据传输

MMC 控制器含有内置 DMA 控制器（IDMAC），IDMAC 可以根据指定的描述子把数据从原地址搬移到目的地址。

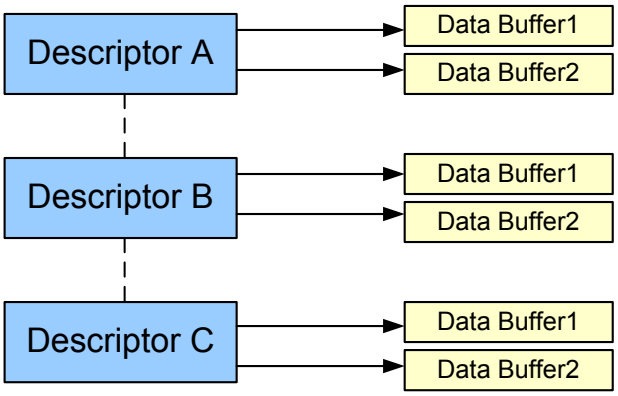
海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

描述子

IDMAC 可以使用如下两种类型的描述子：

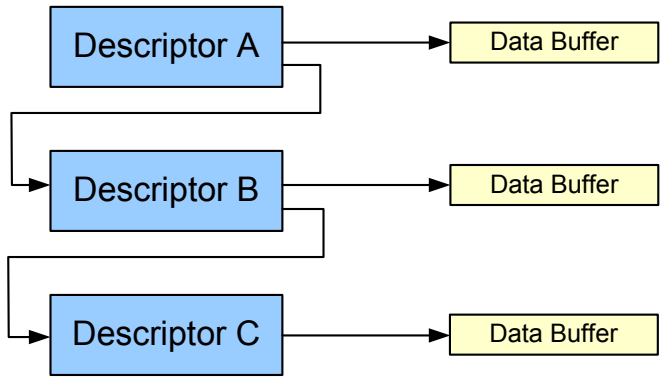
- 双 Buffer 结构：两个描述子之间的间隔根据 MMC_BMOD 寄存器的 DSL 位来指定。双 buffer 结构的示意图如图 14-53 所示。

图14-53 双 buffer 结构示意图



- 链结构：每个描述子指向唯一的 buffer 和下一个描述子。链结构的示意图如图 14-54 所示。

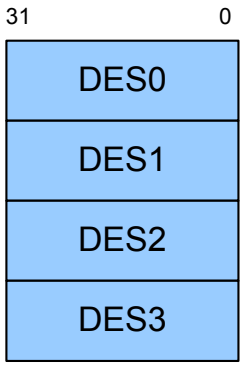
图14-54 链结构示意图



描述子必须以 word 对齐，每个描述子包含 16bytes 的控制和状态信息。描述子的内部结构如图 14-55 所示。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

图14-55 32bit 位宽的描述子的结构



DES0 保护控制和状态信息，具体含义如表 14-17 所示。

表14-17 DES0 各 bit 的含义

位	名称	说明
31	OWN	描述子属性指示。 0：表示该描述子属于 CPU； 1：表示该描述子属于 IDMAC。 使用内部 DMA 完成数据传输后，IDMAC 将该位清 0
30	CES	读写卡时出错的状态指示。 0：没有错； 1：出错。
29:6	RES	保留。
5	ER	描述子链路结束指示。 0：不是最后一个； 1：该链路最后一个描述子。 只对双 buffer 结构的描述子有意义。
4	CH	第二个地址（DES3 的地址）的含义。 0：DES3 中的第二个地址是指第二个 buffer 的地址； 1：DES3 中的第二个地址是指下一个描述子的地址。 但该位为 1 时， DES1[25:13]应该是 0。
3	FS	为 1 表示该描述子包含第一个数据 buffer，如果第 1 个数据 buffer 的大小为 0，那么下一个描述子包含起始数据。
2	LD	为 1 表示该描述子指向的 buffer 是最后一个数据 buffer。
1	DIC	为 1 时阻止数据传输结束上报中断。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

位	名称	说明
0	RES	保留。

DES1 指示 buffer 大小，具体含义如表 14-18 所示。

表14-18 DES1 各 bit 的含义

位	名称	说明
31：26	RES	保留。
25：13	BS2	第二个数据 buffer 的 byte 数，必须是 4 的整数倍。DES0[4]为 1 时该位无意义。
12：0	BS1	第一个数据 buffer 的 byte 数，必须是 4 的整数倍。

DES2 表示第一个数据 buffer 的地址指针，具体含义如表 14-19 所示。

表14-19 DES2 各 bit 的含义

位	名称	说明
31:0	BAP1	第一个数据 buffer 的物理地址，必须 word 对齐。

DES3 表示第二个地址，具体含义如表 14-20 所示。

表14-20 DES3 各 bit 的含义

位	名称	说明
31:0	BAP2	当使用的是双 buffer 结构时，表示第二个数据 buffer 的物理地址。如果 DES0[4]是 1，该地址表示下一个描述子的物理地址。

初始化

步骤 1. 配置 MMC_BMOD 寄存器，设置总线参数。

步骤 2. 配置 MMC_IDINTEN 寄存器，屏蔽不需要的寄存器。

步骤 3. 创建发送或接收描述子链表，然后配置 MMC_DBADDR 寄存器，设置起始地址。

步骤 4. IDMAC 尝试从描述子链表中获取描述子。

----结束

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

发送

步骤 1. CPU 创建描述子（DES0～DES3）并将 DES0[31]位 OWN 置为 1，同时准备好数据 buffer。

步骤 2. 把写数据命令写入 MMC_CMD 寄存器。

步骤 3. 通过 MMC_FIFOTH 寄存器设置 TX_Wmark。

步骤 4. IDMAC 获取描述子并判断 OWN 是否为 1，如果 OWN 不为 1 则需要等待 CPU 释放描述子，同时，IDMAC 会进入 suspend 状态，需要 CPU 配置 MMC_PLDMND 寄存器使 IDMAC 重新获取描述子。

步骤 5. OWN 为 1 时，IDMAC 从数据 buffer 中搬移数据到 MMC 内部 FIFO。

步骤 6. 如果中断已经使能，数据搬移完成后 IDMAC 状态寄存器 MMC_IDSTS 的相应为将被更新，同时 OWN 位被清零。

----结束

接收

步骤 1. CPU 创建描述子（DES0～DES3）并将 DES0[31]位 OWN 置为 1。

步骤 2. 把读数据命令写入 MMC_CMD 寄存器。

步骤 3. 通过 MMC_FIFOTH 寄存器设置 RX_WMark。

步骤 4. IDMAC 获取描述子并判断 OWN 是否为 1，如果 OWN 不为 1 则需要等待 CPU 释放描述子，同时，IDMAC 会进入 suspend 状态，需要 CPU 配置 MMC_PLDMND 寄存器使 IDMAC 重新获取描述子。

步骤 5. OWN 为 1 时，IDMAC 从 MMC 内部 FIFO 中搬移数据到外部的数据 buffer。

步骤 6. 如果中断已经使能，数据搬移完成后 IDMAC 状态寄存器 MMC_IDSTS 的相应为将被更新，同时 OWN 位被清零。

----结束

Auto-stop 使用配置

在多块读写指令操作中，需使用停止指令完成一次数据传输。停止指令的发送可以通过非数据传输指令的方式发送，也可以使用 Auto-stop 功能发送。

Auto-stop 功能的应用场合如下：

- SD 卡

  多块读写操作，如指令 CMD18 和指令 CMD25。
- MMC 卡
  - 流数据读写操作。
  - open-ended 方式多块读写操作，如指令 CMD18 和指令 CMD25。

建议使用控制器提供的 Auto-stop 功能，配置过程如下：

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

步骤 1. 在执行块数据传输指令操作中，将寄存器 MMC_CMD[Send_auto_stop]置“1”。

步骤 2. 在所有数据传输完成后，MMC 自动发送一次停止指令，以便卡能返回相应的状态。

步骤 3. 检查寄存器 MMC_RINTSTS[auto_cmd_done]，判断该停止指令是否完成。其响应保存在寄存器 MMC_RESP1 中。

----结束

停止或中止数据传输

停止指令用于打断 MMC 与卡之间的数据传输，中止指令用于打断 I/O 数据的传输（仅用于 SDIO_IOONLY 或 SDIO_COMBO）。

这两种指令的用法如下：

- 停止指令

  该指令可以在数据传送的任何阶段进行发送。因为该指令用于停止数据传输，所以需要将寄存器 MMC_CMD bit[5:0]设为指令 CMD12，将寄存器 MMC_CMD bit[14]设为 1，将寄存器 MMC_CMD bit[13]设为 0。

- 中止指令

  该指令仅用于 SDIO_IOONLY 或 SDIO_COMBO。为了中止数据的传输，需要通过指令 CMD52 设置 SDIO 卡的寄存器 CCCR[ASx]。

Suspend 和 Resume 操作

对于 SDIO 卡（内部最多可容纳 7 个功能设备），MMC 可通过 Suspend 操作暂停某一功能设备的数据传输，将 SD 接口总线出让给另一个有更高优先级的功能设备。高优先级的功能设备完成数据传输后，MMC 通过 Resume 操作恢复前一功能设备未完成的传输。

Suspend 与 Resume 操作通过设置 SDIO 卡的寄存器 CCCR 来实现。读写寄存器 CCCR，使用指令 CMD52。

Suspend 操作步骤如下：

步骤 1. 查询寄存器 CCCR[SBS]，判断 SDIO 卡是否支持 suspend/resume 操作。

步骤 2. 查询寄存器 CCCR[FSx]和[BS]，判断待暂停的功能设备是否正在进行数据传输。

如果[BS]为 1，则[FSx]位所指定的功能设备正在进行数据传输。

步骤 3. 将寄存器 CCCR[BR]置“1”，暂停当前数据传输。

步骤 4. 检测寄存器 CCCR[BS]和[BR]状态是否清零。

[BS]（Bus 状态）在数据总线正被使用时保持为 1。[BR]（Bus 释放）在总线完全释放之前保持为 1。当[BR]与[BS]都为 0 时，所选功能设备的数据传输被暂停。

步骤 5. 如果暂停正在进行的读操作，在 suspend 操作成功完成以后，必须置位寄存器 MMC_CTRL[Abort_read_data]来复位 MMC 的数据传输功能。复位完成后，寄存器 MMC_CTRL[Abort_read_data]自动清零。

步骤 6. 读寄存器 MMC_TCBCNT 获取已传输数据字节数。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

----结束

Resume 操作步骤如下：

步骤 1. 检查卡是否处于非传输状态，以确认总线处于空闲状态。

步骤 2. 如果卡处于 disconnect 状态，使用指令 CMD7 将它选中。卡的状态可以通过指令 CMD52/CMD53 获取。

步骤 3. 检查待恢复的功能设备是否准备好进行数据传输（查询寄存器 CCCR[RF]）。如果[RF]=1，则该功能设备已准备好进行数据传输。

步骤 4. 为了恢复传输，使用指令 CMD52 将功能设备号写入寄存器 CCCR[FS]。发送指令 CMD52 的同时应启动 MMC 进入数据传输状态，即向寄存器 MMC_BLKSIZ 写入块的大小，向寄存器 MMC_BYTCNT 写入剩余待传输数据量。

寄存器 MMC_CMDARG 的配置如表 14-21 所示，寄存器 MMC_CMD 的配置与块传输类似。

步骤 5. 当指令 CMD52 成功发送以后，数据传输恢复正常。读取 SDIO 设备的 DF（Resume Data Flag）标志位，如果为 1，则在功能被恢复的同时，数据开始传输；如果为 0，则已无数据需要传输。

步骤 6. 如果 DF 标志位为 0，在读数据的情况下，MMC 会等待一段时间后产生数据超时错误中断。

----结束

表14-21 Resume 操作时的寄存器 MMC_CMDARG 配置参考

MMC_CMDARG	取值	描述
Bit[31]	1	读写标志。
Bit[30:28]	0	功能设备号，访问寄存器 CCCR。
Bit[27]	1	实时标志，先写后读。
Bit[26]	-	-
Bit[25:9]	0x0D	寄存器地址。
Bit[8]	-	-
Bit[7:0]	被恢复的功能号	写数据。

注意

系统处于低功耗模式后不能通过 MMC 唤醒。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Read wait 操作

Read wait 操作用于暂停 SDIO 卡当前功能设备的数据传输。MMC 根据需要决定暂停数据传输的时间长度。

Read wait 操作步骤如下：

步骤 1. 检查卡是否支持 read wait 操作。

使用指令 CMD52 读取寄存器 CCCR[SRW]。如果为 1，则卡的所有功能设备都支持 read wait 操作。

步骤 2. 如果卡支持 read wait 操作，将寄存器 MMC_CTRL[Read_wait]置“1”。

步骤 3. 如需恢复数据传输，清零寄存器 MMC_CTRL[Read_wait]。

----结束

14.7.4 寄存器概览

MMC 寄存器概览如表 14-22 所示。

表14-22 MMC 寄存器概览（基址是 0x1002_0000）

偏移地址	名称	描述	页码
0x0000	MMC_CTRL	MMC 控制寄存器	14-116
0x0004	MMC_PWREN	Power_en 控制寄存器	14-118
0x0008	MMC_CLKDIV	时钟分频系数寄存器，显示模块输出时钟与输入时钟分频比	14-119
0x000C	MMC_CLKSRC	SD 卡的时钟源选择寄存器	14-120
0x0010	MMC_CLKENA	时钟使能寄存器	14-120
0x0014	MMC_TMOUT	超时时间寄存器	14-121
0x0018	MMC_CTYPE	卡类型寄存器	14-120
0x001C	MMC_BLKSIZ	块大小配置寄存器	14-120
0x0020	MMC_BYTCNT	块传输计数寄存器	14-121
0x0024	MMC_INTMASK	中断屏蔽寄存器	14-121
0x0028	MMC_CMDARG	指令参数寄存器	14-122
0x002C	MMC_CMD	命令寄存器	14-122
0x0030	MMC_RESP0	响应寄存器 0	14-123
0x0034	MMC_RESP1	响应寄存器 1	14-124
0x0038	MMC_RESP2	响应寄存器 2	14-124

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

偏移地址	名称	描述	页码
0x003C	MMC_RESP3	响应寄存器 3	14-127
0x0040	MMC_MINTSTS	屏蔽后中断状态寄存器	14-127
0x0044	MMC_RINTSTS	原始中断状态寄存器	14-128
0x0048	MMC_STATUS	状态寄存器	14-128
0x004C	MMC_FIFOTH	FIFO 水线值寄存器	14-129
0x0050	MMC_CDETECT	卡检测寄存器	14-130
0x0054	MMC_WRTPRT	卡写保护寄存器	14-131
0x005C	MMC_TCBCNT	发送到卡的 byte 数目寄存器	14-133
0x0060	MMC_TBBCNT	BIU FIFO 传送数据的 byte 数目寄存器	14-134
0x0080	MMC_BMOD	总线模式寄存器	14-134
0x0084	MMC_PLDMND	Poll demand 寄存器	14-135
0x0088	MMC_DBADDR	描述子链表的基地址寄存器	14-135
0x008C	MMC_IDSTS	IDMAC 状态寄存器	14-135
0x0090	MMC_IDINTEN	IDMAC 中断使能寄存器	14-136
0x0094	MMC_DSCADDR	当前描述子地址寄存器	14-137
0x0098	MMC_BUFADDR	当前数据 buffer 地址寄存器	14-137
0x0100	MMC_DATA	数据寄存器，为 FIFO 入口地址	14-138

14.7.5 寄存器描述

MMC_CTRL

MMC_CTRL 为 MMC 控制寄存器。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x0000	MMC_CTRL	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved						Use_internal_dmac	Enable_OD_pullup	reserved															Abort_read_data	Send_irq_response	Read_wait	Dma_enable	Int_enable	reserved	Dma_reset	Fifo_reset	Controller_reset
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:26]	-	reserved	保留。
[25]	RW	Use_internal_dmac	是否使用内置 DMA 搬移数据。 0：CPU 使用 slave 接口搬移数据； 1：使用内部 DMA 搬移数据。
[24]	RW	Enable_OD_pullup	外部 open-drain pullup。 0：不使能； 1：使能。 该值在内部取反后送到管脚 SDIOn_CCMD_ODPULLUP_EN_N（n=0，1）
[23:9]	-	reserved	保留。
[8]	RW	Abort_read_data	读数据过程中是否中止。 0：无效； 1：在读操作过程中发送 suspend 指令后，软件让卡去查找 suspend 何时出现。 一旦 suspend 出现，软件把该位置“1”，使数据传输状态机回到 Idle 状态，等待下一个块传输。 状态机回到 Idle 后状态，此比特自动清零。
[7]	RW	Send_irq_response	发送中断响应控制 0：无效； 1：发送自动 IRQ 回复。 当回复已经发送，此比特自动清零。 为了等待 MMC 产生中断，主侧发送指令 CMD40 并等待来自 MMC 的中断回复。同时，如果主侧希望不再停留在中断等待状态，可将该比特置“1”，发送指令 CMD40 并回到 IDLE 状态。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

[6]	RW	Read_wait	读等待控制。 0：禁止读等待； 1：使能读等待。 此位仅用在具有 SDIO 功能的卡上，要求卡支持读等待功能。
[5]	RW	Dma_enable	保留。系统使用的是内部 DMAC。
[4]	RW	Int_enable	全局中断使能。 0：禁止； 1：使能。 当该比特有效且有中断源被使能时，中断输出才有效。
[3]	-	reserved	保留。
[2]	RW	Dma_reset	内部 DMAC 软复位控制。 0：无效； 1：复位内部 DMA 接口。 该比特在两个 AHB 时钟周期后自动复位。
[1]	RW	Fifo_reset	内部 FIFO 软复位控制。 0：无效； 1：复位 FIFO 指针。 当复位操作结束后，该比特自动复位。
[0]	RW	Controller_reset	控制器软复位控制。 0：无效； 1：复位 MMC/SD/SDIO Host 模块。

MMC_PWREN

MMC_PWREN 为 Power_en 控制寄存器。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x0004	MMC_PWREN	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																															Power_enable
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:1]	-	reserved	保留。
[0]	RW	Power_enable	POWER 控制。 0：关闭电源； 1：打开电源。 该值用来驱动管脚 SDIOn_CARD_POWER_EN。（n=0，1）

MMC_CLKDIV

MMC_CLKDIV 为时钟分频系数寄存器，显示模块输出时钟与输入时钟分频比。假如模块输入时钟为 40MHz，寄存器配置为 1，则输出时钟为 20MHz。

时钟分频系数值为 2 x N。例如，N 为 0x0 时，2 x 0=0（无分频）；N 为 0x1 时为 2 分频；N 为 0xFF 时为 510 分频。

Offset Address	Register Name	Total Reset Value
0x0008	MMC_CLKDIV	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																								Clk_divider0							
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:8]	-	reserved	保留。
[7:0]	RW	Clk_divider0	时钟分频系数 0。 0x0：无分频； 0x1：2 分频； …… 0xFF：510 分频。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

MMC_CLKSRC

MMC_CLKSRC 为 SD 卡的时钟源选择寄存器。

Offset Address	Register Name	Total Reset Value
0x000C	MMC_CLKSRC	0x0000_0000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1	0
Name	reserved								Clk_source
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0	0

Bits	Access	Name	Description
[31:1]	-	reserved	保留。
[0]	RW	Clk_source	必须配置为 0。

MMC_CLKENA

MMC_CLKENA 为时钟使能寄存器。

Offset Address	Register Name	Total Reset Value
0x0010	MMC_CLKENA	0x0000_0000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1	0
Name	reserved				Cclk_low_power	reserved			Cclk_enable
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0	0

Bits	Access	Name	Description
[31:17]	-	reserved	保留。
[16]	RW	Cclk_low_power	卡的低功耗控制，用于关闭卡时钟。 0：无低功耗模式； 1：低功耗模式。 当卡处于 IDLE 状态时，停止该卡时钟。该功能一般只用于 MMC/SD 卡。对于 SDIO，为了能检测到中断，时钟不能停止。
[15:1]	RW	reserved	保留。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

[0]	RW	Cclk_enable	卡的时钟使能控制。 0：时钟关闭； 1：时钟使能。

MMC_TMOUT

MMC_TMOUT 为超时时间寄存器。

Offset Address	Register Name	Total Reset Value
0x0014	MMC_TMOUT	0xFFFF_FF40

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	Data_timeout																								response_timeout							
Reset	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	0	1	0	0	0	0	0	0

Bits	Access	Name	Description
[31:8]	RW	Data_timeout	卡数据传输超时时间，该值同时用作 CPU 的 data starvation 超时时间。单位为该卡的 mmc_clk 周期。
[7:0]	RW	response_timeout	回复超时时间，单位为该卡的 mmc_clk 周期。

MMC_CTYPE

MMC_CTYPE 为卡类型寄存器。

Offset Address	Register Name	Total Reset Value
0x0018	MMC_CTYPE	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved															Card_width	reserved															Card_width1
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:17]	-	reserved	保留。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

[16]	RW	Card_width_0	配置卡的总线宽度。 0：非 8bit 模式； 1：8bit 模式。 下面为卡配置说明： 如果 bit[16]=1，卡将被配置成 8bit 模式。此时 bit[0]的值被忽略。 如果 bit[16]=0，卡将会是 1bit 或者 4bit 模式，取决于 bit[0]的配置。
[15:1]	RW	reserved	保留。
[0]	RW	Card_width_1	配置卡的总线宽度。 0：1bit 模式； 1：4bit 模式。

MMC_BLKSIZ

MMC_BLKSIZ 为块大小配置寄存器。

Offset Address	Register Name	Total Reset Value
0x001C	MMC_BLKSIZ	0x0000_0200

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved				Block_size			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 1 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[31:16]	-	reserved	保留。
[15:0]	RW	Block_size	块大小值，初始值为 512byte/block。

MMC_BYTCNT

MMC_BYTCNT 为块传输计数寄存器。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x0020	MMC_BYTCNT	0x0000_0200

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	Byte_count							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 1 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[31:0]	RW	Byte_count	被传输的字节数，应该为块大小的整数倍。 如果为非块传输，本寄存器需要置“0”，此时必须由软件发出 stop/abort 命令来控制数据传输操作。

MMC_INTMASK

MMC_INTMASK 为中断屏蔽寄存器。

Offset Address	Register Name	Total Reset Value
0x0024	MMC_INTMASK	0x0000_0000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17	16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved				Sdio_int_mask	Int_mask			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0	0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[31:17]	-	reserved	保留。
[16]	RW	Sdio_int_mask	屏蔽 SDIO 中断。 0：屏蔽； 1：使能。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

[15:0]	RW	Int_mask	屏蔽中断。0：屏蔽；1：使能。 Bit[15]：End-bit error （read）/Write no CRC （EBE） Bit[14]：Auto command done （ACD） Bit[13]：Start-bit error （SBE） Bit[12]：Hardware locked write error （HLE） Bit[11]：FIFO underrun/overrun error （FRUN） Bit[10]：Data starvation-by-host timeout（HTO） Bit[9]：Data read timeout （DTO） Bit[8]：Response timeout （RTO） Bit[7]：Data CRC error （DCRC） Bit[6]：Response CRC error （RCRC） Bit[5]：Receive FIFO data request （RXDR） Bit[4]：Transmit FIFO data request （TXDR） Bit[3]：Data transfer over （DTO） Bit[2]：Command done （CD） Bit[1]：Response error （RE） Bit[0]：Card detect （CD）

MMC_CMDARG

MMC_CMDARG 为指令参数寄存器。

Offset Address	Register Name	Total Reset Value
0x0028	MMC_CMDARG	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	Cmd_arg																															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:0]	RW	Cmd_arg	配置传输给卡的指令参数。指令参数与协议相关，每个指令都对应一个具体的指令参数。

MMC_CMD

MMC_CMD 为命令寄存器。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x002C	MMC_CMD	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	Start_cmd	reserved			Boot_mode	Disable_boot	Expect_boot_ack	Enable_boot	reserved		Update_clock_registes_only	Card_number					Send_initialization	Stop_abort_cmd	wait_prvdata_complete	Send_auto_stop	Transfer_mode	Read_write	data_transfer_expected	Check_repsonse_crc_	Response_length	Response_expect	Cmd_index					
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31]	RW	Start_cmd	启动控制。 0：不启动； 1：启动命令。当命令已经被传到 CIU，该比特被清零。 CPU 不允许修改此寄存器。如果修改，产生 hardware lock error 中断。 CPU 发送完命令以后需要查询该比特，查到该比特变为 0 以后再发下一个命令。
[30:28]	-	reserved	保留位。
[27]	RW	Boot_mode	Boot 模式。 0：Boot 模式； 1：备选 Boot 模式。
[26]	RW	Disable_boot	禁用 Boot。 当软件同时使能此 bit 和 Start_cmd 时，控制器终止 Boot 操作。 不允许同时使能 Enable_boot 和 Disable_boot。
[25]	RW	Expect_boot_ack	使能 Boot 响应。 当软件同时使能此 bit 和 Enable_boot 时，控制器将检测 Boot 响应信号，即“0-1-0”序列。
[24]	RW	Enable_boot	使能 Boot。 此 bit 只能使用在“必选 Boot 模式”。当软件同时使能此 bit 和 Start_cmd 时，控制器拉低 CMD 信号启动 Boot 流程。 不允许同时使能 Enable_boot 和 Disable_boot。
[23:22]	-	reserved	保留。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

[21]	RW	Update_clock_registes_only	是否自动更新。 0：正常命令顺序，寄存器 MMC_CMD、MMC_CMDARG、MMC_TMOUT、MMC_CTYPE、MMC_BLKSIZ、MMC_BYTCNT 的值会从 BIU 传到 CIU。CIU 在新命令中使用寄存器新值； 1：不发送命令，只更新卡时钟域的时钟寄存器值。寄存器 MMC_CLKDIV、MMC_CLKSRC、MMC_CLKENA 的值被转换到卡时钟域。 无需发命令给卡即可转换卡时钟（转换频率和时钟开关），用于调整卡时钟频率以及控制卡时钟开关。 每次改变卡时钟时，需要将该比特设为“1”。此时不会有命令被传送给卡，也不会产生 Command Done 中断。
[20:16]	RW	Card_number	正在使用的卡的序号。
[15]	RW	Send_initialization	是否发初始序列。 0：在发送 Send_initialization 命令前不送出初始序列（80 个时钟周期的“1”）； 1：在发送 Send_initialization 命令前送出初始序列。 卡上电时，在发送任何命令以前，都必须先送出初始序列来做初始化，即该比特置“1”。
[14]	RW	Stop_abort_cmd	当 open_end 或定长的数据传输操作正在进行时，该位取值含义如下。 0：不发送 stop/abort 命令； 1：发送 stop/abort 命令，终止正在进行的数据传输。
[13]	RW	wait_prvdata_complete	是否立即发送指令。 0：立即发送命令（即使前一个数据传输还没完成）； 1：等到前一个数据传输完成才发送命令。 “0”为典型值，用于数据传输时读取状态或中断传输。
[12]	RW	Send_auto_stop	是否发送 stop 命令。 0：数据传完以后不发 stop 命令； 1：数据传完以后发 stop 命令。 在非数据传输时，该比特被忽略。
[11]	RW	Transfer_mode	传输模式。 0：block 传输命令； 1：stream 传输命令。 在非数据传输时，该比特被忽略。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

[10]	RW	Read_write	读写控制。 0：从卡读取数据； 1：往卡写数据。 在非数据传输时，该比特被忽略。
[9]	RW	data_transfer_expected	数据传输指示。 0：没有数据从卡输出； 1：有数据从卡输出。
[8]	RW	Check_repsonse_crc_	是否 CRC 检查。 0：不检查 CRC response； 1：检查 CRC response。 一些命令回复时没有返回有效的 CRC。为了禁止 Host 对 CRC 进行检查，软件需要针对这些命令禁止该功能。
[7]	RW	Response_length	Response 长度。 0：短 response 从卡输出； 1：长 response 从卡输出。 长 response 是 128bit，短 response 是 32bit。
[6]	RW	Response_expect	是否有 response。 0：无 response 从卡输出； 1：有 response 从卡输出。
[5:0]	RW	Cmd_index	指令序号。

MMC_RESP0

MMC_RESP0 为响应寄存器 0。

Offset Address	Register Name	Total Reset Value
0x0030	MMC_RESP0	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	Response0																															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:0]	RO	Response0	Response 的 bit[31:0]。

MMC_RESP1

MMC_RESP1 为响应寄存器 1。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x0034	MMC_RESP1	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	Response1																															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:0]	RO	Response1	长 Response 的 bit[63:32]。 当 CIU 发出 Auto-stop 命令，response 就会被保存在该寄存器。上一条命令的 response 仍然会被保存在寄存器 MMC_RESP0 内。 Auto-stop 只供数据传输使用，回复类型一直是短 response。

MMC_RESP2

MMC_RESP2 为响应寄存器 2。

Offset Address	Register Name	Total Reset Value
0x0038	MMC_RESP2	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	Response2																															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:0]	RO	Response2	长 Response 的 bit[95:64]。

MMC_RESP3

MMC_RESP3 为响应寄存器 3。

Offset Address	Register Name	Total Reset Value
0x003C	MMC_RESP3	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	Response3																															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:0]	RO	Response3	长 Response 的 bit[127:96]。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

MMC_MINTSTS

MMC_MINTSTS 为屏蔽后中断状态寄存器。

Offset Address	Register Name	Total Reset Value
0x0040	MMC_MINTSTS	0x0000_0000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17	16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved				Sdio_interrupt	Int_status			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0	0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[31:17]	-	reserved	保留。
[16]	RO	Sdio_interrupt	SDIO 中断屏蔽状态。 SDIO 中断只有在对应的 MMC_INTMASK [sdio_int_mask]被使能才有效。 0：无 SDIO 中断从卡输出； 1：有 SDIO 中断从卡输出。
[15:0]	RO	Int_status	各中断状态。 Bit[15]：End-bit error（read）/write no CRC（EBE） Bit[14]：Auto command done（ACD） Bit[13]：Start-bit error（SBE） Bit[12]：Hardware locked write error（HLE） Bit[11]：FIFO underrun/overrun error（FRUN） Bit[10]：Data starvation by the host timeout（HTO） Bit[9]：Data read timeout（DTO） Bit[8]：Response timeout（RTO） Bit[7]：Data CRC error（DCRC） Bit[6]：Response CRC error（RCRC） Bit[5]：Receive FIFO data request（RXDR） Bit[4]：Transmit FIFO data request（TXDR） Bit[3]：Data transfer over（DTO） Bit[2]：Command done（CD） Bit[1]：Response error（RE） Bit[0]：Card detect（CD）

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

MMC_RINTSTS

MMC_RINTSTS 为原始中断状态寄存器。

Offset Address	Register Name	Total Reset Value
0x0044	MMC_RINTSTS	0x0000_0000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17	16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved				Sdio_interrupt	Int_status			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0	0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[31:17]	-	reserved	保留。
[16]	RW	Sdio_interrupt	SDIO 中断原始状态。 0：无 SDIO 中断从卡输出； 1：有 SDIO 中断从卡输出。 中断状态位的值与中断屏蔽无关。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

[15:0]	RW	Int_status	各中断的原始状态。写“1”清零，写“0”不修改。中断状态位的值与中断屏蔽无关。 Bit[15]：End-bit error （read）/write no CRC （EBE）； Bit[14]：Auto command done （ACD）； Bit[13]：Start-bit error （SBE）； Bit[12]：Hardware locked write error （HLE）； Bit[11]：FIFO underrun/overrun error （FRUN）； Bit[10]：Data starvation by the host timeout（HTO）； Bit[9]：Data read timeout （DRTO）/Boot Data Start（BDS）； Bit[8]：Response timeout （RTO）/Boot Ack Received（BAR）； Bit[7]：Data CRC error （DCRC）； Bit[6]：Response CRC error （RCRC）； Bit[5]：Receive FIFO data request （RXDR）； Bit[4]：Transmit FIFO data request （TXDR）； Bit[3]：Data transfer over （DTO）； Bit[2]：Command done （CD）； Bit[1]：Response error （RE）； Bit[0]：Card detect （CD）。

MMC_STATUS

MMC_STATUS 为状态寄存器。

Offset Address	Register Name	Total Reset Value
0x0048	MMC_STATUS	0x0000_0x0106

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				FIFO_count												Response_index					data_state_mc_busy	Data_busy	Data_3_status	Commandfsm_states					Fifo_full	Fifo_empty	Fifo_tx_watermark	Fifo_rx_watermark
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	1	1	0

Bits	Access	Name	Description
[31:30]	-	reserved	保留。
[29:17]	RO	FIFO_count	FIFO 计数值。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

[16:11]	RO	Response_index	前一个 response 的序号，包括 Auto-stop 的 response。
[10]	RO	data_state_mc_busy	0：数据发送/接收状态机空闲； 1：数据发送/接收状态机正忙。
[9]	RO	Data_busy	该值由 DATA0 的反向电平值决定 0：卡闲；（DATA0 为高电平） 1：卡忙。（DATA0 为低电平）
[8]	RO	Data_3_status	该值由 DATA3 的电平值决定，此时当做卡检测信号 0：未插卡；（DATA3 为低电平） 1：插卡。　（DATA3 为高电平）
[7:4]	RO	Commandfsm_states	Command 状态机状态。 0x0：Idle； 0x1：Send init sequence； 0x2：Tx cmd start bit； 0x3：Tx cmd tx bit； 0x4：Tx cmd index +arg； 0x5：Tx cmd crc7； 0x6：Tx cmd end bit； 0x7：Rx resp start bit； 0x8：Rx resp IRQ response； 0x9：Rx resp tx bit； 0xA：Rx resp cmd idx； 0xB：Rx resp data； 0xC：Rx resp crc7； 0xD：Rx resp end bit； 0xE：Cmd path wait NCC； 0xF：Wait，CMD-to-response turnaround。
[3]	RO	Fifo_full	FIFO 满标志。 0：FIFO 空； 1：FIFO 满。
[2]	RO	Fifo_empty	FIFO 空标志。 0：FIFO 非空； 1：FIFO 空。
[1]	RO	Fifo_tx_watermark	FIFO 是否到达 Transmit watermark level。 0：未达到水线； 1：达到水线。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

[0]	RO	Fifo_rx_watermark	FIFO 是否到达 Receive watermark level。 0：未达到水线； 1：达到水线。

MMC_FIFOTH

MMC_FIFOTH 为 FIFO 水线值寄存器。

Offset Address	Register Name	Total Reset Value
0x004C	MMC_FIFOTH	0x00FF_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				RX_Wmark												reserved				TX_Wmark											
Reset	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:28]	-	reserved	保留。
[27:16]	RW	RX_Wmark	读数据时的 FIFO threshold watermark level。当 FIFO 计数大于该值时，使能 DMA 请求。数据传输结束后为了完成剩余的数据，不论该值为多少，都会产生 DMA 请求。 在非 DMA 模式，使能 RXDR 中断。在数据传输完成后如果 FIFO 计数没有大于该值，不会产生中断。这需要软件主动查询 DTD 中断来读取剩余的数据。 在 DMA 模式，当数据传输结束时，即使剩余的数据比门限低，DMA 还是会发出 single 传送请求读取数据，直到产生 DTD 中断。 限制：RX_WMark≤FIFO_DEPTH–2 建议：大于（FIFO_DEPTH/2）–1 时发出请求。
[15:12]	RW	reserved	保留。
[11:0]	RW	TX_Wmark	发送数据时的 FIFO threshold watermark level。当 FIFO 计数小于该值时，使能 DMA 请求。数据传输结束后为了完成剩余的数据，不论该值为多少，都会产生 DMA 请求。 在非 DMA 模式，使能 RXDR 中断。在数据传输完成后如果 FIFO 计数没有大于该值，不会产生中断。这需要软件主动查询 DTD 中断来读取剩余的数据。 在 DMA 模式，当数据传输结束时，即使剩余的数据比门限低，DMA 还是会发出 single 传送请求读取数据，直到产生 DTD 中断。 限制：TX_WMark≤FIFO_DEPTH–2 建议：≤FIFO_DEPTH/2

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

MMC_CDETECT

MMC_CDETECT 为卡检测寄存器。

Offset Address	Register Name	Total Reset Value
0x0050	MMC_CDETECT	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																															Card_detect_n
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:1]	-	reserved	保留。
[0]	RO	Card_detect_n	卡检测信号。 值由管脚 SDIO_CARD_DETECT 决定。

MMC_WRTPRT

MMC_WRTPRT 为卡写保护寄存器。

Offset Address	Register Name	Total Reset Value
0x0054	MMC_WRTPRT	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																															Write_protect
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:1]	-	reserved	保留。
[0]	RO	Write_protect	卡写保护信号。 值由管脚 SDIO_CWPR 决定。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

MMC_TCBCNT

MMC_TCBCNT 为发送到卡的 byte 数目寄存器。

Offset Address	Register Name	Total Reset Value
0x005C	MMC_TCBCNT	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	trans_card_byte_count																															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:0]	RO	trans_card_byte_count	已经从 CIU 发送到卡的 byte 数目。 32bit AHB 总线对该寄存器进行访问时，应该一次读完 32bit，避免出现 read-coherency 错误。

MMC_TBBCNT

MMC_TBBCNT 为 BIU FIFO 传送数据的 byte 数目寄存器。

Offset Address	Register Name	Total Reset Value
0x0060	MMC_TBBCNT	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	trans_fifo_byte_count																															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:0]	RO	trans_fifo_byte_count	在 CPU/DMA 与 BIU FIFO 之间传送数据的 byte 数目。 32bit AHB 总线对该寄存器进行访问时，应该一次读完 32bit，避免出现 read-coherency 错误。

MMC_BMOD

MMC_BMOD 为总线模式寄存器。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x0080	MMC_BMOD	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																					PBL			DE	DSL					FB	SWR
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:11]	-	reserved	保留。
[10:8]	RW	PBL	IDMAC burst 传输的长度。 000：1； 001：4； 010：8； 011：16； 1xx：保留。
[7]	RW	DE	IDMAC 使能。 0：不使能； 1：使能。
[6:2]	RW	DSL	描述子跨越的长度。即两个非链接的描述子之间间隔多少个 WORD。该参数只用于双 buffer 结构描述子。
[1]	RW	FB	固定 burst 长度。 0：使用 SINGLE 和 INCR burst 类型； 1：使用 SINGLE、INCR4、INCR8、INCR16 burst 类型。
[0]	RW	SWR	IDMAC 内部寄存器软复位控制。 0：不复位； 1：复位。置位后 1 个时钟周期自动清零。

MMC_PLDMND

MMC_PLDMND 为 Poll demand 寄存器。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x0084	MMC_PLDMND	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	PD																															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:0]	WO	PD	如果描述子 DES0[OWN]为 0，IDMAC 会进入 suspend 状态，CPU 往该寄存器中写任何值都可以使 IDMAC 重新获取描述子。

MMC_DBADDR

MMC_DBADDR 为描述子链表的基地址寄存器。

Offset Address	Register Name	Total Reset Value
0x0088	MMC_DBADDR	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	SDL																															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:0]	RW	SDL	描述子链表的起始地址。即第一个描述子的基地址。

MMC_IDSTS

MMC_IDSTS 为 IDMAC 状态寄存器。

Offset Address	Register Name	Total Reset Value
0x008C	MMC_IDSTS	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																FSM		EB		AIS	NIS	reserved		CES	DU	reserved		FBE	RI	TI	
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:17]	-	reserved	保留。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

[16:13]	RW	FSM	IDMAC 状态机当前状态。 0x0：DMA_IDLE； 0x1：DMA_SUSPEND； 0x 2：DESC_RD； 0x3：DESC_CHK； 0x4：DMA_RD_REQ_WAIT； 0x5：DMA_WR_REQ_WAIT； 0x6：DMA_RD； 0x7：DMA_WR； 0x8：DESC_CLOSE； 该位是只读的。
[12:10]	RW	EB	总线错误类型指示。 001：发送被中止； 010：接收被中止； 其它：保留。
[9]	RW	AIS	异常总中断。是 FBE、DU、CES 取或。写 1 清 0。
[8]	RW	NIS	正常总中断。是 TI、RI 取或。写 1 清 0
[7:6]	-	reserved	保留。
[5]	RW	CES	卡出错指示。指示卡在接收发送数据过程中状态。
[4]	RW	DU	描述子无效中断。当 DES0[OWN]为 0 时，该位被置位。写 1 清 0。
[3]	-	reserved	保留。
[2]	RW	FBE	致命的总线错误中断。当该 bit 被置位时，IDMAC 停止总线访问。写 1 清 0。
[1]	RW	RI	接收完成中断。指示一个描述子的数据接收完成。写 1 清 0。
[0]	RW	TI	发送完成中断。指示一个描述子的数据发送完成。写 1 清 0。

MMC_IDINTEN

MMC_IDINTEN 为 IDMAC 中断使能寄存器。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x0090	MMC_IDINTEN	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																						AI	NI	reserved		CES	DU	reserved	FBE	RI	TI
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:10]	-	reserved	保留。
[9]	RW	AI	异常中断使能。 0：不使能； 1：使能 FBE/DU/CES 中断。
[8]	RW	NI	正常中断使能。 0：不使能； 1：使能 TI/RI 中断。
[7:6]	-	reserved	保留。
[5]	RW	CES	卡出错中断使能。 0：不使能； 1：使能。
[4]	RW	DU	描述子无效中断使能。 0：不使能； 1：使能。
[3]	-	reserved	保留。
[2]	RW	FBE	致命总线错中断使能。 0：不使能； 1：使能。
[1]	RW	RI	接收中断使能。 0：不使能； 1：使能。
[0]	RW	TI	发送中断使能。 0：不使能； 1：使能。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

MMC_DSCADDR

MMC_DSCADDR 为当前描述子地址寄存器。

Offset Address	Register Name	Total Reset Value
0x0094	MMC_DSCADDR	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	HAD																															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:0]	RO	HAD	描述子指针。在数据传输过程中自动更新。该寄存器指向当前正要被 IDMAC 使用的描述子的起始地址。

MMC_BUFADDR

MMC_BUFADDR 为当前数据 buffer 地址寄存器。

Offset Address	Register Name	Total Reset Value
0x0098	MMC_BUFADDR	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	HBA																															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:0]	RO	HBA	数据 buffer 指针。在数据传输过程中自动更新，该寄存器指向当前正被 IDMAC 访问的数据 buffer 地址。

MMC_DATA

MMC_DATA 为数据寄存器，为 FIFO 入口地址。在读写 FIFO 时，应先读取 MMC_STATUS[fifo_count]得到 FIFO 剩余空间，以此确定读写的数据量，以免造成 FIFO 溢出。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x0100	MMC_DATA	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	DATA																															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:0]	RW	DATA	读写 FIFO 的地址。地址范围 0x100～0x100+FIFO_DEPTH，均选中 FIFO。

14.8 SATA

14.8.1 概述

SATA 基于 AMBA 2.0 AHB 总线接口，便于在 SOC 片上系统中快速实现集成应用；提供基于 Linux 操作系统开发的驱动程序，帮助软件人员快速完成 SOC 子系统驱动程序定制开发；最多支持 2 个 SATA 端口，另外对 NCQ、热拔插、Port Multiplier、eSATA 等最新特性也提供了在控制器层面的支持。

14.8.2 特点

Hi3521 的 SATA 接口有以下特点：

- 提供 ARM AHB 系统总线 Slave 接口，相关标准为 AMBA Spec 2.0。只支持 32bit 访问模式。
- 提供 ARM AHB 系统总线 Master 接口，相关标准为 AMBA Spec 2.0。只支持 32bit 访问模式。
- 提供和 PHY 连接的标准接口信号。
- 支持 SATA2.5 和 AHCI1.2 协议。
- 支持 PIO、Legacy DMA、NCQ、ATAPI 操作。
- 支持电源管理特性。
- 支持 Port Multiplier 特性。
- 支持最多支持 2 个 SATA 端口。
- 支持 1.5Gbps 和 3.0Gbps 速率的自动协商。
- 支持中断上报机制。

14.8.3 信号描述

SATA 接口信号如表 14-23 所示。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

表14-23 SATA 接口信号描述

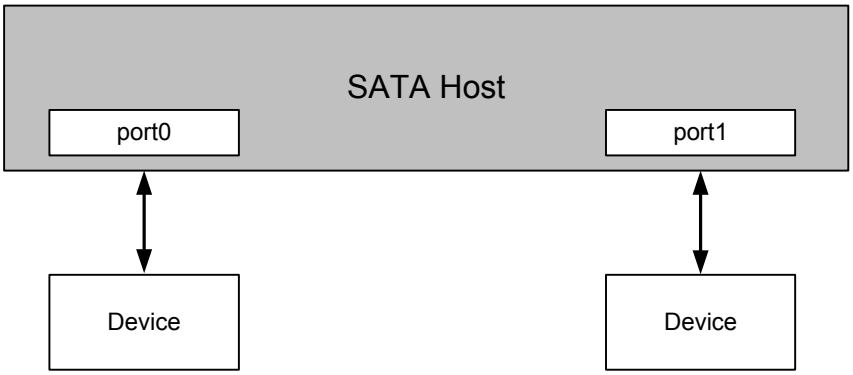
信号名称	方向	描述	对应管脚
SREFCKM	I	SATA 的负相差分时钟输入。	SREFCKM
SREFCKP	I	SATA 的正相差分时钟输入。	SREFCKP
SRESREF	I/O	SATA 的扩展电阻管脚，外接扩展电阻。	SRESREF
SRXM0	I	SATA 端口 0 的负相差分数据输入。	SRXM0
SRXM1	I	SATA 端口 1 的负相差分数据输入。	SRXM1
SRXP0	I	SATA 端口 0 的正相差分数据输入。	SRXP0
SRXP1	I	SATA 端口 1 的正相差分数据输入。	SRXP1
STXM0	O	SATA 端口 0 的负相差分数据输出。	STXM0
STXM1	O	SATA 端口 1 的负相差分数据输出。	STXM1
STXP0	O	SATA 端口 0 的正相差分数据输出。	STXP0
STXP1	O	SATA 端口 1 的正相差分数据输出。	STXP1

14.8.4 功能描述

典型应用

SATA 典型应用模式如图 14-56、图 14-57、图 14-58 所示。

图14-56 典型应用模式 1



海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

图14-57 典型应用模式 2

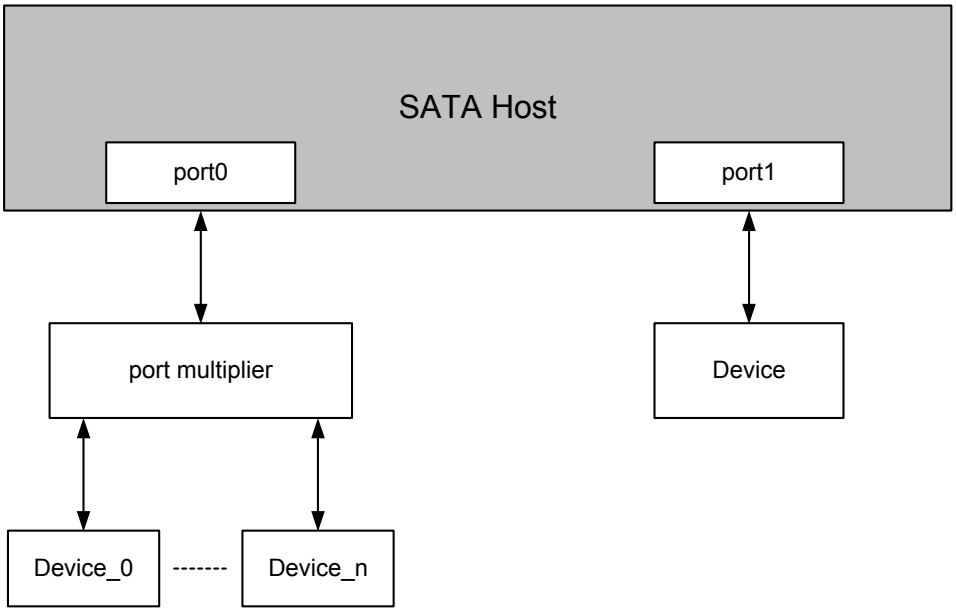
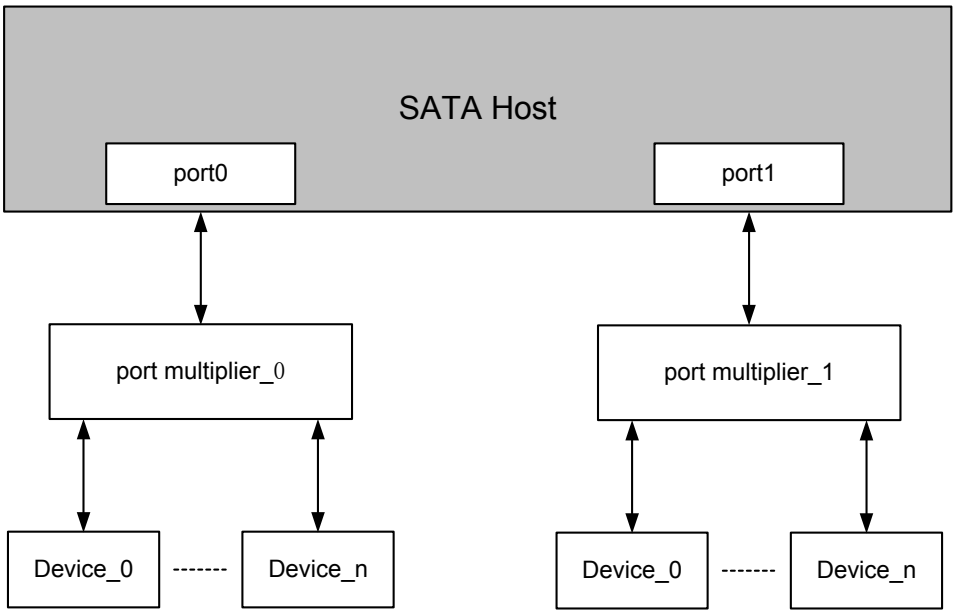


图14-58 典型应用模式 3



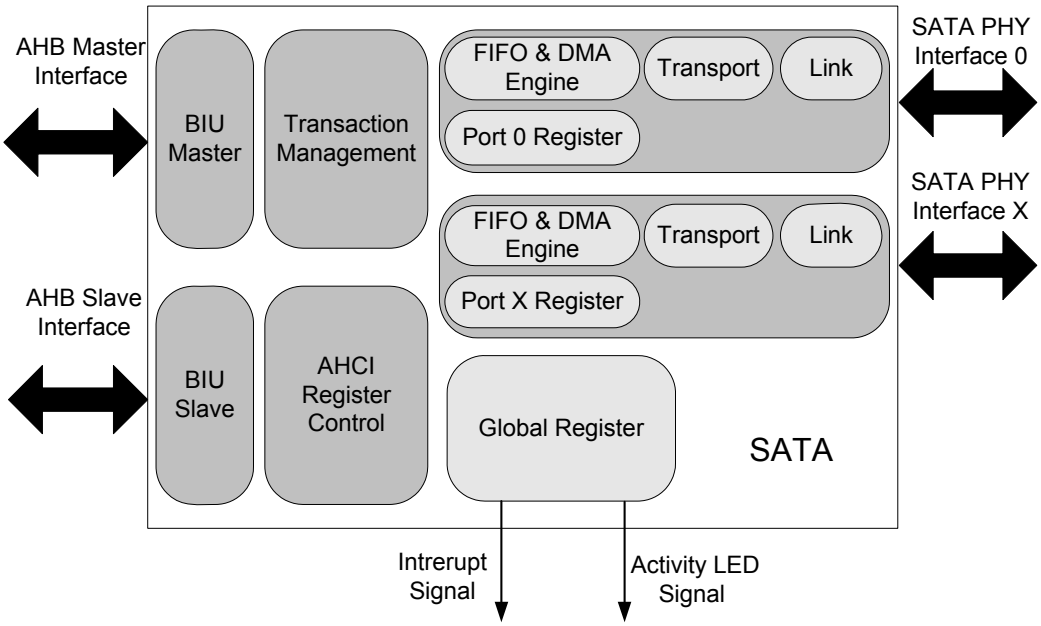
SATA Host 提供支持直接和硬盘、光驱等 Device 对接，可以同时支持两个 Device。同时也支持任何一个端口外扩 Port Multiplier，由 Port Multiplier 根据自身的外扩能力挂接多个 Device。

功能原理

Hi3521 SATA 模块架构如图 14-59 所示。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

图14-59 Hi3521 SATA 模块架构



AHB Master、AHB Slave 接口挂接在基于 ARM AMBA2.0 系统总线 AHB 上，系统总线上还应有 ARM CPU、System Memory Controller，软件通过 AHB Slave 接口对 SATA 进行配置，AHB Master 接口可以主动访问 System Memory Controller 控制的 DRAM，完成命令读操作和数据读写操作。

SATA Host 支持 PIO、Legacy DMA、Native Commad Queue、ATAPI 操作。

中断信号接系统中断控制器。

在芯片内部，SATA PHY 接口与 SATA PHY 相连接；在芯片外部，SATA PHY 可以连接支持 SATA 的硬盘或者光驱；SATA PHY 还可连接 SATA Port Multiplier 扩展到多个端口。

另外，Activity LED 显示信号可直接接出芯片，这一功能可根据实际应用选择。

14.8.5 工作方式

14.8.5.1 时钟门控

配置系统控制器 PERI_CRG45[sata0_cken]和 PERI_CRG45[sata1_cken]为 1，使能 SATA 模块的时钟；配置系统控制器 PERI_CRG45[sata0_cken]和 PERI_CRG45[sata1_cken]为 0，关闭 SATA 模块的时钟。

14.8.5.2 时钟配置

通过配置 SATA Host 内部的控制寄存器 SATA_PHY0_CTLH bit[13]来选择给 SATA PHY 的参考时钟源，可控制 SATA PHY 的时钟是由片内产生还是由外部时钟源输入：

- 当 SATA_PHY0_CTLH bit[13]为 1 时，SREFCKM 和 SREFCKP 由片内产生。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

- 当 SATA_PHY0_CTLH bit[13]为 0 时，SREFCKM 和 SREFCKP 由外部时钟源输入。

SATA PHY 支持的参考时钟范围为 25MHz～156.25MHz。由于 PHY 内部的 MPLL 的支持的输入时钟范围为 50MHz～78.125MHz，所以提供的参考时钟改变时，需要对 SATA Host 内部的控制寄存器 SATA_PHY0_CTLL bit[31:30]进行配置，来满足 PHY 内部 MPLL 的时钟要求。具体请参见 SATA_PHY0_CTLL bit[31:30]的描述。

14.8.5.3 软复位

SATA Host 有多个软复位控制，分别描述如下：

- 通过配置系统控制器 PERI_CRG45 bit[7]为 1，可实现对 sata_alive 时钟域的单独软复位。
- 通过配置系统控制器 PERI_CRG45 bit[6]为 1，可实现对 port1 的 sata_rx 时钟域的单独软复位。
- 通过配置系统控制器 PERI_CRG45 bit[5]为 1，可实现对 port0 的 sata_rx 时钟域的单独软复位。
- 通过配置系统控制器 PERI_CRG45 bit[4]为 1，可实现对 port1 的 sata_tx 时钟域的单独软复位。
- 通过配置系统控制器 PERI_CRG45 bit[3]为 1，可实现对 port0 的 sata_tx 时钟域的单独软复位。
- 通过配置系统控制器 PERI_CRG45 bit[0]为 1，可实现对 PHY 单独软复位。
- 通过配置系统控制器 PERI_CRG45 bit[1]为 1，可实现对 HCLK 时钟域单独软复位。
- 通过配置系统控制器 PERI_CRG45 bit[2]为 1，可实现对 SATA Host 软复位。

另外，在 SATA Host 控制器中还提供两种同步复位策略：

- 配置 SATA Host 控制器内部 SATA_GHC_GHC bit[0]为 1 时，SATA Host 进入复位状态，内部的所有模块的逻辑恢复到初始值。SATA_GHC_GHC bit[0]在复位完成后自动清零。
- 配置 Port0 或 Port1 中的 SATA_PORT_CMD bit[0]从 1 到 0 时，SATA Host 对应的 Port0 或 Port1 进入复位状态。

14.8.5.4 工作模式配置

SATA Host 在工作之前，必须先完成对 PHY 的初始化配置，使得 PHY 能够正常工作；同时完成和 Device 的初始化协商。

初始化 PHY

以 PHY 的参考时钟 125MHz 且来自片内为例，初始化配置 1.5Gbps 速度的 port0 的步骤如下：

步骤 1. 配置 PERI_CRG45 bit [11]为 0，选中 CRG 输出 125MHz 参考时钟。

步骤 2. 配置 PERI_CRG45 bit [1]为 0，撤销 SATA controller 总线软复位。

步骤 3. 配置 PERI_CRG45 bit [0]为 0，撤销 SATA PHY 软复位。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

步骤 4. 配置 SATA_PHY0_CTLH bit[12]为 1，关断提供给 PHY 的参考时钟。

步骤 5. 配置 SATA_PHY0_CTLL 寄存器为 0x8A0E_C788(若 SATA 工作在 3G 模式，配置该寄存器为 0x8A0E_C888)。

步骤 6. 配置 SATA_PHY0_CTLH 寄存器为 0x2121。

步骤 7. 配置 SATA_OOB_CTL 寄存器为 0x8406_0C15。

步骤 8. 配置 SATA_PORT_PHYCTL 寄存器为 0x0E26_2709(若 SATA 工作在 3G 模式，配置该寄存器为 0x0E66_2709)。

步骤 9. 配置 PERI_CRG45 bit[0]为 1，软复位 SATA PHY。

步骤 10. 配置 PERI_CRG45 bit [0]为 0，撤销 SATA PHY 软复位。

步骤 11. 配置 PERI_CRG45 bit [2]为 0，撤销 SATA controller 接口软复位。

步骤 12. 配置 PERI_CRG45 bit [3]为 0，撤销 SATA controller tx0 时钟域软复位。

步骤 13. 配置 PERI_CRG45 bit [5]为 0，撤销 SATA controller rx0 时钟域软复位。

步骤 14. 配置 PERI_CRG45 bit [7]为 0，撤销 SATA controller alive 时钟域软复位。

----结束

初始化协商

等待 PHY 的 PLL 正常工作，Host 开始和 Device 完成初始化协商。

步骤 1. 配置 SATA_PORT_CMD[cmd_sud]为 1。

步骤 2. 等待 PHY 给出的指示信号 phyrdy 有效，可以通过查看 SATA_PORT_SSTS[pxssts_det]是否等于 3 来确定这个 port 是否已经正常。如果 SATA_PORT_SSTS[pxssts_det]等于 3 则表示初始化成功。

----结束

操作业务

初始化协商完成后，通过以下步骤开始业务操作：

步骤 1. 清中断（第一次启动工作，或复位后不必进行此操作），依次配置 SATA_PORT_SERR、SATA_PORT_IS 和 SATA_GHC_IS 寄存器，配置值均为 0xFFFFFFFF。

步骤 2. 配置中断屏蔽寄存器 SATA_PORT_IE，屏蔽掉不需要上报的中断。

步骤 3. 使能全局中断，配置 SATA_GHC_GHC 寄存器为 0x80000002。

步骤 4. 按照附录 A SATA 命令链表格式建立链表。

步骤 5. 设置端口命令列表在内存中的基地址，配置寄存器位 SATA_PORT_CLB[port_clb]（配置值为命令列表分配的内存基地址），通知发送 DMAC 读取命令、数据的位置。

步骤 6. 设置端口接收帧存放在的内存中的基地址，配置寄存器位 SATA_PORT_FB[port_fb]（配置值为接收帧分配的内存基地址）通知接收 DMAC 接收 FIS 保存的位置。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

步骤 7. 配置 SATA_PORT_CMD[st]为 1，使能发送 DMAC，进行命令、数据发送；配置 SATA_PORT_CMD[cmd_fre]为 1，使能接收 DMAC，接收 FIS 并写入系统内存。

步骤 8. 配置端口命令发送控制寄存器 SATA_PORT_CI，表明当前哪个命令准备发送。

步骤 9. 进行命令发送和数据传输。

步骤 10. 软件通过中断位及命令执行情况来判断当前命令是否完成。在接收到中断时，若是 PIO/DMA 操作，查询 CI 位是否都清 0；若是 NCQ 操作，查询 CI 和 SACT 对应位是否都清 0。

步骤 11. 若需要启动下一次传输，重复 1～10。

----结束

说明

Legacy DMA 操作、PIO 操作、ATAPI 操作均按照上面步骤进行操作，不同之处在于建立的链表（命令代码，标志位等不同）。

除了建立链表不同外，NCQ 操作还需要配置寄存器 SATA_PORT_SACT，表明 NCQ 操作执行的命令个数，在上面的第 7 步骤后再添加“配置寄存器 SATA_PORT_SACT”的步骤，需要保证 SATA_PORT_SACT 配置的命令位置和 SATA_PORT_CI 中的命令位置对应。

14.8.6 寄存器概览

寄存器偏移地址中变量的取值范围和含义如表 14-24 所示。

表14-24 寄存器偏移地址变量表

变量名称	取值范围	描述
n	0～1	控制器的 2 个端口

SATA 寄存器概览

SATA 寄存器概览如表 14-25 所示。

表14-25 SATA 寄存器概览（基址是 0x1008_0000）

偏移地址	名称	描述	页码
0x0000	SATA_GHC_CAP1	特性支持寄存器 1	14-149
0x0004	SATA_GHC_GHC	全局控制寄存器	14-151
0x0008	SATA_GHC_IS	中断状态寄存器	14-151
0x000C	SATA_GHC_PI	端口实现寄存器	14-152
0x0010	SATA_GHC_VS	AHCI 版本标识寄存器	14-153
0x0014	SATA_GHC_CCC_CTL	CCC 控制寄存器	14-153

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

偏移地址	名称	描述	页码
0x0018	SATA_GHC_CCC_PORTS	CCC 端口使能寄存器	14-154
0x0024	SATA_GHC_CAP2	特性支持寄存器 2	14-154
0x0028	SATA_GHC_BOHC	BIOS/OS 交接控制寄存器	14-155
0x0050	SATA_GHC_TM	TM 测试状态寄存器	14-156
0x0054	SATA_PHY0_CTLL	PHY0 全局控制低位寄存器	14-157
0x0058	SATA_PHY0_CTLH	PHY0 全局控制高位寄存器	14-158
0x005C	SATA_PHY0_STS	PHY0 全局状态寄存器	14-159
0x006C	SATA_OOB_CTL	PHY OOB 控制寄存器	14-160

SATA_PORT_CFG 寄存器概览

SATA_PORT_CFG 寄存器概览如表 14-26 所示。

表14-26 SATA_PORT_CFG 寄存器概览（基址是 0x1008_0100）

偏移地址	名称	描述	页码
0x000+n×0x80	SATA_PORT_CLB	命令列表基址寄存器	14-160
0x008+n×0x80	SATA_PORT_FB	接收 FIS 基址寄存器	14-161
0x010+n×0x80	SATA_PORT_IS	端口中断状态寄存器	14-161
0x014+n×0x80	SATA_PORT_IE	端口中断屏蔽寄存器	14-163
0x018+n×0x80	SATA_PORT_CMD	端口命令与状态寄存器	14-165
0x20+n×0x80	SATA_PORT_TFD	端口 task file 寄存器	14-168
0x24+n×0x80	SATA_PORT_SIG	端口 signature 寄存器	14-168
0x028+n×0x80	SATA_PORT_SSTS	接口状态寄存器	14-169
0x02C+n×0x80	SATA_PORT_SCTL	接口控制寄存器	14-170
0x30+n×0x80	SATA_PORT_SERR	错误诊断状态寄存器	14-171

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

偏移地址	名称	描述	页码
0x034+n×0x80	SATA_PORT_SACT	NCQ 命令标识控制寄存器	14-173
0x38+n×0x80	SATA_PORT_CI	命令发送控制寄存器	14-173
0x3C+n×0x80	SATA_PORT_SNTF	异步 notification 事件指示寄存器	14-174
0x044+n×0x80	SATA_PORT_FIFOTH	接收 FIFO 水线寄存器	14-175
0x050+n×0x80	SATA_PORT_HBA	HBA 测试状态寄存器	14-175
0x054+n×0x80	SATA_PORT_LINK	Link 测试状态寄存器	14-176
0x058+n×0x80	SATA_PORT_DMA1	DMAC 测试状态寄存器 1	14-177
0x05C+n×0x80	SATA_PORT_DMA2	DMAC 测试状态寄存器 2	14-178
0x060+n×0x80	SATA_PORT_DMA3	DMAC 测试状态寄存器 3	14-179
0x064+n×0x80	SATA_PORT_DMA4	DMAC 测试状态寄存器 4	14-179
0x068+n×0x80	SATA_PORT_DMA5	DMAC 测试状态寄存器 5	14-179
0x6C+n×0x80	SATA_PORT_DMA6	DMAC 测试状态寄存器 6	14-180
0x070+n×0x80	SATA_PORT_DMA7	DMAC 测试状态寄存器 7	14-180
0x074+n×0x80	SATA_PORT_PHYCTL	PHY 控制寄存器	14-182
0x078+n×0x80	SATA_PORT_PHYSTS	PHY 测试状态寄存器	14-184

14.8.7 寄存器描述

SATA_GHC_CAP1

SATA_GHC_CAP1 为特性支持寄存器 1。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x0000	SATA_GHC_CAP1	0x6F26_FFA1

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	s64a	sncq	ssntf	smps	sss	salp	sal	sclo	iss				reserved	sam	spm	fbss	pmd	ssc	psc	ncs					cccs	ems	sxs	np				
Reset	0	1	1	0	1	1	1	1	0	0	1	0	0	1	1	0	1	1	1	1	1	1	1	1	1	0	1	0	0	0	1	1

Bits	Access	Name	Description
[31]	RO	s64a	固定为 0，表示不支持 64 比特数据结构访问。
[30]	RO	sncq	固定为 1，表示支持 NCQ。
[29]	RO	ssntf	固定为 1，表示支持端口 SNTF 寄存器。
[28]	RO	smps	固定为 0，表示不支持机械热拔插。
[27]	RO	sss	固定为 1，表示支持交错启动(staggered spin-up)。
[26]	RO	salp	固定为 1，表示支持电源管理。
[25]	RO	sal	固定为 1，表示支持点灯管脚。
[24]	RO	sclo	固定为 1，表示支持命令链表覆盖。
[23:20]	RO	iss	固定为 0x2，表示最大可支持 3Gbps 速率。
[19]	RO	reserved	保留。
[18]	RO	sam	固定为 1，表示只支持 AHCI 模式。
[17]	RO	spm	固定为 1，表示支持 Port Multiplier。
[16]	RO	fbss	固定为 0，表示不支持 FIS-based Switching。
[15]	RO	pmd	固定为 1，但 PIO 模式不支持传输多个 DRQ 块。
[14]	RO	ssc	固定为 1，表示支持进入 Slumber 状态。
[13]	RO	psc	固定为 1，表示支持进入 Partial 状态。
[12:8]	RO	ncs	固定为 0x1F，表示支持 32 个命令 slot。
[7]	RO	cccs	固定为 1，表示支持 CCC（Command Completion Coalescing）功能。
[6]	RO	ems	固定为 0，表示不支持 Enclose Management。
[5]	RO	sxs	固定为 1，表示支持 External SATA。
[4:0]	RO	np	固定为 0x01，表示支持 2 个端口。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

SATA_GHC_GHC

SATA_GHC_GHC 为全局控制寄存器。

Offset Address	Register Name	Total Reset Value
0x0004	SATA_GHC_GHC	0x8000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	ahci_en	reserved																													int_enable	hba_rst
Reset	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31]	RO	ahci_en	固定为 1，表示软件只能通过 AHCI 机制与控制器进行交互。
[30:2]	RO	reserved	保留。
[1]	RW	int_enable	控制器中断使能。 0：禁止； 1：使能。
[0]	RW	hba_rst	控制器软复位控制。 0：不复位； 1：复位。 写 1 复位控制器，复位完成后自动清 0；写 0 对控制器无影响。复位不影响 SATA_GHC_BOHC、SATA_PORT_FB、SATA_PORT_CLB 寄存器。

SATA_GHC_IS

SATA_GHC_IS 为中断状态寄存器。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x0008	SATA_GHC_IS	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	ips_ccc	reserved																											ips_port3	ips_port2	ips_port1	ips_port0	
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31]	WC	ips_ccc	CCC 中断状态。 0：未产生 CCC 中断； 1：已产生 CCC 中断。
[30:2]	RO	reserved	保留。
[1]	WC	ips_port1	端口 1 中断状态。 0：无中断上报； 1：有中断上报。
[0]	WC	ips_port0	端口 0 中断状态。 0：无中断上报； 1：有中断上报。

SATA_GHC_PI

SATA_GHC_PI 为端口实现寄存器。

Offset Address	Register Name	Total Reset Value
0x000C	SATA_GHC_PI	0x0000_0003

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																												port_imp			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1

Bits	Access	Name	Description
[31:4]	RO	reserved	保留。
[3:0]	RO	port_imp	端口有效指示，其值为 0x3 时，表示 0～1 共 2 个端口有效，bit[1]～bit[0]分别对应端口 1～端口 0。 0：端口无效； 1：端口有效。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

SATA_GHC_VS

SATA_GHC_VS 为 AHCI 版本标识寄存器。

Offset Address	Register Name	Total Reset Value
0x0010	SATA_GHC_VS	0x0001_0200

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	achi_vs																															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:0]	RO	achi_vs	表示支持的 AHCI 版本为 V1.2。

SATA_GHC_CCC_CTL

SATA_GHC_CCC_CTL 为 CCC 控制寄存器。

Offset Address	Register Name	Total Reset Value
0x0014	SATA_GHC_CCC_CTL	0x0001_01F8

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	ccc_tv																ccc_cc								ccc_int						reserved	ccc_en
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	1	1	1	1	1	1	0	0	0

Bits	Access	Name	Description
[31:16]	RW	ccc_tv	CCC 超时参数，单位为 ms。 CCC 功能被使能时，超时计数器加载该参数值，当参与 CCC 功能的端口有命令在执行时，计数器每隔 1ms 递减 1，直至递减为 0 产生 CCC 中断，CCC 中断产生后，计数器重新加载该参数进行下一轮的计数。 **该位不可写 0。**
[15:8]	RW	ccc_cc	CCC 命令完成上限值。 CCC 功能被使能时，命令完成计数器清 0，开始累加参与 CCC 功能的各个端口的命令完成数，如果计数器累加到大于或等于该参数，产生 CCC 中断，CCC 中断产生后，计数器清 0 重新开始下一轮累计计数。 若对该位写 0，将禁止命令完成中断，此时 CCC 中断只能因为超时而产生。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

[7:3]	RO	ccc_int	CCC 中断向量号，其值为 0x1F（31），即表明 SATA_GHC_IS bit[31]为 CCC 中断状态。
[2:1]	RO	reserved	保留。
[0]	RW	ccc_en	CCC 功能使能。 0：禁止； 1：使能。 **注意：在使能 CCC 功能时，不可更改 ccc_tv 和 ccc_cc 参数值。**

SATA_GHC_CCC_PORTS

SATA_GHC_CCC_PORTS 为 CCC 端口使能寄存器。

Offset Address	Register Name	Total Reset Value
0x0018	SATA_GHC_CCC_PORTS	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																												ccc_prt			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:4]	RO	reserved	保留。
[3:0]	RW	ccc_prt	指定参与 CCC 功能的端口。bit[3]～bit[0]分别代表端口 3～0。对应位为 1 表示该端口参与 CCC 计数，为 0 表示该端口不参与 CCC 计数。 该寄存器可以随时更改并生效。

SATA_GHC_CAP2

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x0024	SATA_GHC_CAP2	0x0000_0001

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																															cap_boh
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1

Bits	Access	Name	Description
[31:1]	RO	reserved	保留。
[0]	RO	cap_boh	固定为 1，表示支持 BIOS/OS 的交接管理控制。

SATA_GHC_BOHC

SATA_GHC_BOHC 为 BIOS/OS 交接控制寄存器。

Offset Address	Register Name	Total Reset Value
0x0028	SATA_GHC_BOHC	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																											bohc_bb	bohc_ooc	bohc_sooe	bohc_oos	bohc_bos
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:5]	RO	reserved	保留。
[4]	RW	bohc_bb	BIOS 忙状态指示。 0：BIOS 不忙； 1：BIOS 正忙于完成相关操作并准备将控制权交接给 OS。
[3]	WC	bohc_ooc	当 bohc_oos 信号从 0 跳变到 1 时，该位锁定到 1；该比特位写 1 清零，写 0 无影响。
[2]	RW	bohc_sooe	消息中断使能。 0：不产生消息中断； 1：当 bohc_ooc 比特置 1 时，会产生消息中断。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

[1]	RW	bohc_oos	操作系统控制器请求。 0：OS 未申请控制器控制权； 1：OS 申请获取控制器的控制权。如果 bohc_oos 为 1 且 bios_bos 为 0，表示操作系统已经获取了 SATA 控制器的控制权。使用 SATA_GHC_GHC[hab_rst]位对控制器进行复位时不影响该位。
[0]	RW	bohc_bos	BIOS 拥有控制器控制权标志。 0：BIOS 不拥有控制器的控制权； 1：BIOS 建立了对控制器的控制权。如果操作系统要求获取控制器的控制权，则 BIOS 将要清除该比特。使用 SATA_GHC_GHC[hab_rst]位对控制器进行复位时不影响该位。

SATA_GHC_TM

SATA_GHC_TM 为 TM 测试状态寄存器。

Offset Address	Register Name	Total Reset Value
0x0050	SATA_GHC_TM	0x0000_0000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved							req_sel
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[31:3]	RO	reserved	保留。
[2:0]	RO	req_sel	当前获取 AHB master 使用权的 DMAC。 0x0：端口 0 发送 DMAC 获得通道； 0x1：端口 0 接收 DMAC 获得通道； 0x2：端口 1 发送 DMAC 获得通道； 0x3：端口 1 接收 DMAC 获得通道； 0x4：端口 2 发送 DMAC 获得通道； 0x5：端口 2 接收 DMAC 获得通道； 0x6：端口 3 发送 DMAC 获得通道； 0x7：端口 3 接收 DMAC 获得通道。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

SATA_PHY0_CTLL

SATA_PHY0_CTLL 为 PHY0 全局控制低位寄存器。

Offset Address	Register Name	Total Reset Value
0x0054	SATA_PHY0_CTLL	0x8D0E_C88A

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	mpll_prescale		mpll_ncy					mpll_ncy5	mpll_int_ctl				mpll_prop_ctl				tx_lvl				los_lvl				acjt_lvl						fast_tech	pddq_h
Reset	1	0	0	0	1	1	0	1	0	0	0	0	1	1	1	0	1	1	0	0	1	0	0	0	1	0	0	0	1	0	1	0

Bits	Access	Name	Description
[31:30]	RW	mpll_prescale	当参考时钟改变的时候，这个值需要随之改变。 00：直接使用 ref_clk； 01：将 ref_clk 两倍频； 10：将 ref_clk 二分频； 11：保留。
[29:25]	RW	mpll_ncy	PHY 内部 MPLL 工作参数，需要和 mpll_ncy5 配合使用，表示使用的倍频值。
[24:23]	RW	mpll_ncy5	PHY 内部 MPLL 工作参数，需要和 mpll_ncy 配合使用，表示使用的倍频值。
[22:20]	RW	mpll_int_ctl	MPLL 内部带宽控制选择信号，必须配置为 0b000。
[19:17]	RW	mpll_prop_ctl	MPLL 内部带宽比例控制信号，必须配置为 0b111，并且只有在复位或者 MPLL 无效时才能改变此值。
[16:12]	RW	tx_lvl	发送电平参数，和选择的 SATA 协议相关，必须设置为 0b01100。
[11:7]	RW	los_lvl	LOS 信号侦测电平控制，必须设置为 0b10001。
[6:2]	RW	acjt_lvl	ACJTAG 接收比较电平控制，必须设置为 0b00010。
[1]	RW	fast_tech	表明此 IP 在一个快速的工艺变量下处理，必须设置为 0。
[0]	RW	pddq_h	IDDQ 测试信号，要执行 IDDQ 测试，在有效 pddq_h 之前，必须给所有的 Lane 和 support 模块断电；在正常模式下，必须设置为 0。

SATA_PHY0_CTLH

SATA_PHY0_CTLH 为 PHY0 全局控制高位寄存器。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x0058	SATA_PHY0_CTLH	0x0000_2121

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																		use_refclk_alt	mpll_ck_off	mpll_pwron	mpll_ss_en	cko_word_con			cko_alive_con		rtune_do_tune		reserved	reserved	reset_n	wide_xface
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	1	0	0	1	0	0	0	0	1

Bits	Access	Name	Description
[31:14]	RO	reserved	保留。
[13]	RW	use_refclk_alt	PHY 参考时钟选择信号。 0：使用 refclk 这组差分信号； 1：使用 refclk_alt 这组差分信号。
[12]	RW	mpll_ck_off	MPLL 上电控制信号。此信号的控制需要遵循以下原则： 1、在提供 refclk 给 MPLL 时，必须将 mpll_ck_off 设置为 0； 2、在将此信号设置为 0 之前，必须先将 mpll_ncy、mpll_ncy5 和 mpll_prescale 设置为合适的值； 3、如果 refclk 暂停或者切换，或者如果 mpll_ncy、mpll_ncy5 和 mpll_prescale 需要改变，则应先将 mpll_ck_off 设置为 1。
[11]	RW	mpll_pwron	对 MPLL 供电。 0：cko_word 时钟将无效； 1：内部 MPLL 复位并且将基于 refclk 的频率，随后产生 cko_word 时钟信号。 **在关闭 MPLL 之前，tx_en 必须处于 OFF 或者 CM 状态，并且 rx_en 和 rx_pll_pwron 必须设置为 0。**
[10]	RW	mpll_ss_en	扩频功能使能信号。 0：禁止； 1：使能。 如果 refclk 已经经过扩频处理，此处必须设置为 0。
[9:7]	RW	cko_word_con	cko_word 输出选择信号。必须设置为 0b111。
[6:5]	RW	cko_alive_con	cko_alive 输出信号选选择。 00：无效； 01：保持 prescaler 的频率输出； 10：输出低频，为 prescaler/16； 11：保留。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

[4]	RW	rtune_do_tune	电阻调节使能信号。 0：不进行校准； 1：重新对电阻进行校准。
[3]	RO	reserved	保留。
[2]	RO	reserved	保留。
[1]	RW	reset_n	复位信号，至少需要保持 5ns。
[0]	RW	wide_xface	接口位宽控制。 0：接口为 10bit； 1：接口为 20bit。

SATA_PHY0_STS

SATA_PHY0_STS 为 PHY0 全局状态寄存器。

Offset Address	Register Name	Total Reset Value
0x005C	SATA_PHY0_STS	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	phy0_sts																															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:0]	RO	phy0_sts	SATA PHY0 common 部分状态寄存器。

SATA_OOB_CTL

SATA_OOB_CTL 为 PHY OOB 控制寄存器。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x006C	SATA_OOB_CTL	0x8406_0C15

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	oob_ctrl_valid	min_comiwake							max_comwake								min_cominit								max_cominit							
Reset	1	0	0	0	0	1	0	0	0	0	0	0	0	1	1	0	0	0	0	0	1	1	0	0	0	0	0	1	0	1	0	1

Bits	Access	Name	Description
[31]	RW	oob_ctrl_valid	OOB 检测参数配置位，为高电平时选择该寄存器的参数配置。
[30:24]	RW	min_comiwake	COMWAKE space 检测所需要的最小 space 计数值。
[23:16]	RW	max_comwake	COMWAKE space 检测所需要的最大 space 计数值。
[15:8]	RW	min_cominit	COMINIT space 检测所需要的最小 space 计数值。
[7:0]	RW	max_cominit	COMINIT space 检测所需要的最大 space 计数值。

SATA_PORT_CLB

SATA_PORT_CLB 为命令列表基址寄存器。

Offset Address	Register Name	Total Reset Value
0x000+n x 0x80	SATA_PORT_CLB	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	port_clb																								reserved							
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:10]	RW	port_clb	设置端口命令列表在内存中的基地址。使用 SATA_GHC_GHC[hab_rst]位对控制器进行复位时不影响该寄存器值。
[9:0]	RO	reserved	保留。

SATA_PORT_FB

SATA_PORT_FB 为接收 FIS 基址寄存器。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x008+n x 0x80	SATA_PORT_FB	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	port_fb																								reserved							
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:8]	RW	port_fb	设置端口接收帧存放在的内存中的基地址。 使用 SATA_GHC_GHC[hab_rst]位对控制器进行复位时不影响该寄存器值。
[7:0]	RO	reserved	保留。

SATA_PORT_IS

SATA_PORT_IS 为端口中断状态寄存器。

Offset Address	Register Name	Total Reset Value
0x010+n x 0x80	SATA_PORT_IS	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved	pxis_tfes	reserved	pxis_hbds	pxis_ifs	pxis_infs	reserved	pxis_ofs	pxis_ipms	pxis_prcs	reserved														pxis_pcs	pxis_dps	pxis_ufs	pxis_sdbs	pxis_dss	pxis_pss	pxis_drhs	
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31]	RO	reserved	保留。
[30]	WC	pxis_tfes	TFD 错误中断状态。 0：未检测到 SATA_PORT_TFD bit[0]为 1； 1：检测到 SATA_PORT_TFD bit[0]为 1。
[29]	RO	reserved	保留。
[28]	WC	pxis_hbds	内部总线错误中断。 0：DMAC 访问内存时正常； 1：DMAC 访问内存时出错。
[27]	WC	pxis_ifs	致命错误中断状态。 0：在进行数据帧传输过程中未出现错误； 1：在进行数据帧传输过程中出现错误。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

[26]	WC	pxis_infs	非致命错误中断状态。 0：在进行非数据帧传输过程中未出现错误； 1：在进行非数据帧传输过程中出现错误。
[25]	RO	reserved	保留。
[24]	WC	pxis_ofs	数据传输 overflow 中断状态。 0：未检测到 overflow 情形； 1：数据帧传输过程中，若检测到命令占有的数据内存空间小于实际传数据量时，在数据传输末尾，上报中断。
[23]	WC	pxis_ipms	PM 端口错误中断状态。 0：未检测到接收帧 PM 端口号错误； 1：在接收帧时检测到 PM 端口号错误。
[22]	RO	pxis_prcs	PHY 状态变化中断状态。 0：未检测到 phyrdy 信号发生变化； 1：检测到 phyrdy 信号发生变化。 该位直接反映 SATA_PORT_SERR[diag_n]位。
[21:7]	RO	reserved	保留。
[6]	RO	pxis_pcs	端口连接变化中断状态。 0：未检测到设备发出的 COMINIT 信号； 1：检测到设备发送的 COMINIT 信号。 该位直接反映 SATA_PORT_SERR[diag.x]位。
[5]	WC	pxis_dps	链表结束中断状态。 0：无 PRD“I”位为 1 链表数据传输完毕； 1：PRD“I”位为 1 链表数据被正常传输完毕。
[4]	RO	pxis_ufs	Unknown FIS 中断状态。 0：未收到 Unknown FIS； 1：收到一个 Unknown FIS。
[3]	WC	pxis_sdbs	Set Device Bits FIS 中断状态。 0：无影响； 1：收到一个 Set Device Bits FIS，且 I 位为 1。
[2]	WC	pxis_dss	DMA Setup FIS 中断状态。 0：无意义； 1：收到一个 DMA Setup FIS，且 I 位为 1。
[1]	WC	pxis_pss	PIO Setup FIS 中断状态。 0：无意义； 1：收到一个 PIO Setup FIS，且 I 位为 1。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

[0]	WC	pxis_drhs	D2H Register FIS 中断状态。 0：无意义； 1：收到一个 D2H Register FIS，且 I 位为 1。

SATA_PORT_IE

SATA_PORT_IE 为端口中断屏蔽寄存器。

Offset Address	Register Name	Total Reset Value
0x014+n x 0x80	SATA_PORT_IE	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved	pxie_tfee	reserved	pxie_hbde	pxie_ife	pxie_infe	reserved	pxie_ofe	pxie_ipme	pxie_prce	reserved														pxie_pce	pxie_dpe	pxie_ufe	pxie_sdbe	pxie_dse	pxie_pse	pxie_drhe	
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31]	RO	reserved	保留。
[30]	RW	pxie_tfee	TFD 错误中断屏蔽。 0：屏蔽； 1：不屏蔽。
[29]	RO	reserved	保留。
[28]	RW	pxie_hbde	内部总线错误中断屏蔽。 0：屏蔽； 1：不屏蔽。
[27]	RW	pxie_ife	致命错误中断屏蔽。 0：屏蔽； 1：不屏蔽。
[26]	RW	pxie_infe	非致命错误中断屏蔽。 0：屏蔽； 1：不屏蔽。
[25]	RO	reserved	保留。
[24]	RW	pxie_ofe	数据传输 overflow 中断屏蔽。 0：屏蔽； 1：不屏蔽。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

[23]	RW	pxie_ipme	PM 端口错误中断屏蔽。 0：屏蔽； 1：不屏蔽。
[22]	RW	pxie_prce	PHY 状态变化中断屏蔽。 0：屏蔽； 1：不屏蔽。
[21:7]	RO	reserved	保留。
[6]	RW	pxie_pce	端口连接变化中断屏蔽。 0：屏蔽； 1：不屏蔽。
[5]	RW	pxie_dpe	链表结束中断屏蔽。 0：屏蔽； 1：不屏蔽。
[4]	RW	pxie_ufe	Unknown FIS 中断屏蔽。 0：屏蔽； 1：不屏蔽。
[3]	RW	pxie_sdbe	Set Device Bits FIS 中断屏蔽。 0：屏蔽； 1：不屏蔽。
[2]	RW	pxie_dse	DMA Setup FIS 中断屏蔽。 0：屏蔽； 1：不屏蔽。
[1]	RW	pxie_pse	PIO Setup FIS 中断屏蔽。 0：屏蔽； 1：不屏蔽。
[0]	RW	pxie_drhe	D2H Register FIS 中断屏蔽。 0：屏蔽； 1：不屏蔽。

SATA_PORT_CMD

SATA_PORT_CMD 为端口命令与状态寄存器。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x018+n x 0x80	SATA_PORT_CMD	0x0020_0004

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	cmd_icc				cmd_asp	cmd_alpe	cmd_dlae	cmd_atapi	reserved		cmd_esp	reserved			cmd_pma	reserved	cmd_cr	cmd_fr	reserved		cmd_ccs				reserved			cmd_fre	cmd_clo	reserved	cmd_sud	cmd_st
Reset	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0

Bits	Access	Name	Description
[31:28]	RW	cmd_icc	接口通信控制信号。 0x0：无操作，表明可进行下一次的接口状态请求； 0x1：请求接口进入 active 状态； 0x2：请求接口进入 partial 状态； 0x6：请求接口进入 slumber 状态； 其它：保留。 当软件写入上述非保留值时，控制器执行相应操作后将 cmd_icc 清 0；当软件请求接口进入已经处于的状态，控制器直接将 cmd_icc 清 0；如果软件请求接口从一种低功耗模式进入另一种低功耗模式，如从 partial 到 slumber，软件应先请求接口从 partial 状态进入 active 状态，再请求接口从 active 状态进入 slumber 状态。
[27]	RW	cmd_asp	主动进入电源管理 Slumber/Partial 状态选择。 0：主动进入 partial 状态； 1：主动进入 slumber 状态。
[26]	RW	cmd_alpe	自动电源管理使能。 0：禁止； 1：使能。一旦 SATA_PORT_CI、SATA_PORT_SACT 被清 0，控制器自动进入电源管理状态，若 cmd_asp 为 1 进入 partial，若 cmd_asp 为 0 则进入 slumber 状态。
[25]	RW	cmd_dlae	ATAPI 模式下 LED 驱动使能。 0：在 cmd_atapi 为 0，且有命令在执行时驱动 LED 管脚有效； 1：只要有命令在执行，均驱动 LED 管脚有效。
[24]	RW	cmd_atapi	ATAPI 设备指示。 0：当前设备为非 ATAPI 设备； 1：当前设备为 ATAPI 设备。
[23:22]	RO	reserved	保留。
[21]	RO	cmd_esp	一直为 1，表示支持 External SATA 设备。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

[20:18]	RO	reserved	保留。
[17]	RW	cmd_pma	Port Multipiler 设备识别指示。 0：端口未连接 Port Multipiler 设备； 1：端口连接的是 Port Multipiler 设备。
[16]	RO	reserved	保留。
[15]	RO	cmd_cr	命令列表处理指示信号。 0：无命令正在执行； 1：有命令正在执行。
[14]	RO	cmd_fr	FIS 接收处理指示信号， 0：未进行 FIS 接收； 1：正进行在 FIS 接收。
[13]	RO	reserved	保留。
[12:8]	RO	cmd_ccs	当前命令 Slot 号。 该位在 cmd_st 为 1 时有效，在 cmd_st 为 0 时清 0。
[7:5]	RO	reserved	保留。
[4]	RW	cmd_fre	FIS 接收使能控制信号。 0：禁止将接收的 FIS 写入系统内存； 1：使能接收 FIS 并写入系统内存。 软件应先设置好接收 FIS 基址 SATA_PORT_FB 后再使能该位接收 FIS；在 cmd_st 为 1 期间，该位必须为 1。
[3]	RW	cmd_clo	Busy/Drq 清除控制，软件可通过该位强制清除 BSY 和 DRQ，并给 device 发送命令。 0：无影响； 1：将清除 SATA_PORT_TFD[tfd_sts]寄存器的 BSY 和 DRQ 位，在 BSY、DRQ 为 0 后该位自动清 0。 该位只能紧跟在 cmd_st 由 0 置 1 之前写 1，且软件应保证在该位清 0 后将 cmd_st 写 1。
[2]	RO	reserved	保留。
[1]	RW	cmd_sud	Spin-up 设备控制。 0：当 SATA_PORT_SCTL[det]为 0 时，控制器进入到 listen 模式； 1：系统上电或 HBA 复位后，启动控制器发送 COMRESET 序列初式化硬盘设备。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

[0]	RW	cmd_st	命令列表处理使能。 0：控制器进入闲置状态。 1：控制器从 slot 0 开始，处理 SATA_PORT_CI 寄存器标识为有效 slot 的命令。 **在 cmd_fre 为 1 后才可设置 cmd_st 为 1。**

SATA_PORT_TFD

SATA_PORT_TFD 为端口 task file 寄存器。

Offset Address	Register Name	Total Reset Value
0x20+n x 0x80	SATA_PORT_TFD	0x0000_007F

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved				tfd_err		tfd_sts	
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 1 1 1	1 1 1 1

Bits	Access	Name	Description
[31:16]	RO	reserved	保留。
[15:8]	RO	tfd_err	task file 错误寄存器值。 控制器在接收到 D2H register/PIO setup/SDB FIS 时更新该寄存器位。
[7:0]	RO	tfd_sts	task file 状态寄存器值。 bit[7]：BSY 位，指示设备正忙； bit[6:4]：不同命令代表不同的含义； bit[3]：DRQ 位，指示设备有数据待传输； bit[2:1]：不同的命令代表不同的含义； bit[0]：ERR 位，指示设备在传输过程中出错。 控制器在接收到 D2H register/PIO setup/SDB FIS 时更新该寄存器位。

SATA_PORT_SIG

SATA_PORT_SIG 为端口 signature 寄存器。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x24+n x 0x80	SATA_PORT_SIG	0xFFFF_FFFF

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	signature																															
Reset	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

Bits	Access	Name	Description
[31:0]	RO	signature	LBA 地址和扇区编址。具体分配关系如下： bit[31:24]：LBA 高位地址； bit[23:16]：LBA 中间地址； bit[15:8]：LBA 低位地址； bit[7:0]：扇区数量。 在硬盘设备复位后的第一个 D2H register FIS 更新该寄存器。

SATA_PORT_SSTS

SATA_PORT_SSTS 为接口状态寄存器。

Offset Address	Register Name	Total Reset Value
0x028+n x 0x80	SATA_PORT_SSTS	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																				pxssts_ipm				pxssts_spd				pxssts_det			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:12]	RO	reserved	保留。
[11:8]	RO	pxssts_ipm	当前接口状态。 0x0：无设备或通信未建立； 0x1：处于 Active 状态； 0x2：处于 Partial 状态； 0x6：处于 Slumber 状态； 其它：保留。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

[7:4]	RO	pxssts_spd	接口协商速度状态。 0x0：无设备或通信未建立； 0x1：协商采用速率 1 进行通信； 0x2：协商采用速率 2 进行通信； 0x3：协商采用速率 3 进行通信； 其它：保留。
[3:0]	RO	pxssts_det	设备检测与 PHY 状态。 0x0：未检测到设备且 PHY 通信未建立； 0x1：检测到设备但 PHY 通信未建立； 0x3：检测到设备且 PHY 通信已建立； 0x4：PHY 处于离线状态或者处于 BIST 状态； 其它：保留。

SATA_PORT_SCTL

SATA_PORT_SCTL 为接口控制寄存器。

Offset Address	Register Name	Total Reset Value
0x02C+n x 0x80	SATA_PORT_SCTL	0x0000_0000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved					pxsctl_ipm	pxsctl_spd	pxsctl_det
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[31:12]	RO	reserved	保留。
[11:8]	RW	pxsctl_ipm	接口电源管理状态控制。 0x0：无特别要求； 0x1：禁止进入 Partial 状态； 0x2：禁止进入 Slumber 状态； 0x3：禁止进入 Partial 状态或者 Slumber 状态； 其它：保留。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

[7:4]	RW	pxsctl_spd	接口通信速度控制。 0x0：无特别要求； 0x1：限速到速率 1 进行通信； 0x2：限速到速率 2 进行通信； 0x3：限速到速率 3 进行通信； 其它：保留。
[3:0]	RW	pxsctl_det	设备检测与接口初始化控制。 0x0：无设备检测或初始化请求； 0x1：请求接口进行复位初始化序列 COMRESET； 0x4：强制接口进入离线状态； 其它：保留。 当 pxsctl_det 设置为 1 时，控制器将发送 COMRESET 序列至设备，软件应保持该位为 1 至少 1ms，以保证设备收到 COMRESET 序列。

SATA_PORT_SERR

SATA_PORT_SERR 为错误诊断状态寄存器。

Offset Address	Register Name	Total Reset Value
0x30+n x 0x80	SATA_PORT_SERR	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved					diag_x	diag_f	reserved	diag_s	diag_h	diag_c	reserved	diag_b	diag_w	diag_i	diag_n	reserved					err_p	reserved	err_t	reserved							
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:27]	RO	reserved	保留。
[26]	WC	diag_x	设备检测状态。 0：未检测到设备发出的 COMINIT 信号； 1：检测到设备发出的 COMINIT 信号。
[25]	WC	diag_f	未知 FIS 检测状态。 0：未收到 Unkonwn FIS； 1：收到 Unkonwn FIS 且 CRC 校验正确时置 1。
[24]	RO	reserved	保留。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

[23]	WC	diag_s	Link 链路层错误状态。 0：链路层未出现状态跳变错误； 1：链路层出现状态跳变错误。
[22]	WC	diag_h	握手错误状态。 0：未收到设备发出 R_ERR 原语； 1：收到设备发出的一个或多个 R_ERR 原语。
[21]	WC	diag_c	CRC 错误状态。 0：接收 FIS 未出现 CRC 校验错误； 1：接收 FIS CRC 校验错误。
[20]	RO	reserved	保留。
[19]	WC	diag_b	解码错误状态。 0：未检测到 10B 到 8B 解码错误； 1：检测到 10B 到 8B 解码错误。
[18]	WC	diag_w	COMWAKE 状态。 0：未检测到设备发出的 COMWAKE 信号； 1：检测到设备发出的 COMWAKE 信号。
[17]	WC	diag_i	PHY 内部错误状态。 0：未检测到 PHY 内部错误； 1：检测到 PHY 内部错误。
[16]	WC	diag_n	PhyRdy 信号变化状态。 0：PhyRdy 信号未发生变化； 1：PhyRdy 信号发生变化。 当 PhyRdy 信号从 1 到 0 或从 0 到 1 变化时置 1。
[15:11]	RO	reserved	保留。
[10]	WC	err_p	违背 SATA 协议错误状态。 0：未检测到设备行为违反 SATA 协议； 1：检测到设备行为违反 SATA 协议。
[9]	RO	reserved	保留。
[8]	WC	err_t	数据完整性错误状态。 0：未检测到数据完整性错误； 1：检测到数据完整性错误。
[7:0]	RO	reserved	保留。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

SATA_PORT_SACT

SATA_PORT_SACT 为 NCQ 命令标识控制寄存器。

Offset Address	Register Name	Total Reset Value
0x034+n x 0x80	SATA_PORT_SACT	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	port_sact																															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:0]	RW	port_sact	NCQ 命令标识控制寄存器。 该寄存器每一位对应一 tag 号和内存中的一条 NCQ 命令，bit[31:0]分别对应 slot31～0 的命令和 tag31～0。以 bit[3]为例，每一位具体含义： 0：slot3 命令为非 NCQ 命令； 1：slot3 命令为 NCQ 命令。软件应在置位 SATA_PORT_CI[3]位之前置位该寄存器 bit[3]，在命令数据传输完成后，设备会发送一条 SDB FIS，控制器根据 FIS 中 SActive 来清除 bit[3]。 软件只能在 cmd_st 为 1 时设置该寄存器，在 cmd_st 为 0 时全部清 0。

SATA_PORT_CI

SATA_PORT_CI 为命令发送控制寄存器。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x38+n×0x80	SATA_PORT_CI	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	port_ci																															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:0]	RW	port_ci	命令待发送控制。 该寄存器每一位代表内存中的一条命令，bit[31:0]分别对应slot31～0 的命令。以 bit[3]为例，每一位具体含义： 0：slot3 无命令等待发送和执行； 1：slot3 命令已在内存中建立完毕，控制器可以发送这条命令；当控制器执行完该命令，收到相应的 FIS 并清除 SATA_PORT_TFD 寄存器 BSY、DRQ、ERR 位时，同时也将清掉 bit[3]。 该寄存器各位只能在 cmd_st 为 1 时置位，在 cmd_st 为 0 时全部清 0。

SATA_PORT_SNTF

SATA_PORT_SNTF 为异步 notification 事件指示寄存器。

Offset Address	Register Name	Total Reset Value
0x3C+n x 0x80	SATA_PORT_SNTF	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																pxsntf_pmn															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:16]	RO	reserved	保留。
[15:0]	WC	pxsntf_pmn	异步 notification 事件状态。 如果控制器收到 PM 上设备的 SDB FIS，且该 FIS“N“位为 1，则将设备 PM 端口号对应该寄存器比特位置 1。 以 bit[3]为例，每一位具体含义： 0：PM 端口号为 3 的设备无异步 notification 事件发生； 1：PM 端口号为 3 的设备有异步 notification 事件发生。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

SATA_PORT_FIFOTH

SATA_PORT_FIFOTH 为接收 FIFO 水线寄存器。

Offset Address	Register Name	Total Reset Value
0x044+n x 0x80	SATA_PORT_FIFOTH	0x0000_0124

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3	2 1 0
Name	reserved						dmac_rxfifo_th	rxfifo_th_sel	link_rxfifo_th
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 1	0 0 0 0	1	1 0 0

Bits	Access	Name	Description
[31:9]	RW	reserved	保留。
[8:4]	RW	dmac_rxfifo_th	DMAC 接收 FIFO 流控水线。在接收数据时若 DMAC FIFO 数据量超过该值时控制器开始流控。
[3]	RW	rxfifo_th_sel	流控 FIFO 选择。 0：link 接收 FIFO 流控有效； 1：DMAC 接收 FIFO 流控有效。
[2:0]	RW	link_rxfifo_th	link 接收 FIFO 流控水线。在接收数据时若 DMAC FIFO 数据量超过该值时控制器开始流控。

SATA_PORT_HBA

SATA_PORT_HBA 为 HBA 测试状态寄存器。

Offset Address	Register Name	Total Reset Value
0x050+n x 0x80	SATA_PORT_HBA	0x0100_0000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11	10 9 8	7	6 5 4	3	2 1 0
Name	reserved	p_curr_st	reserved	ndr_curr_st	cfis_curr_st	reserved	pio_curr_st	reserved	pm_curr_st	reserved	err_curr_st
Reset	0 0 0 0	0 0 0 1	0 0 0 0	0 0 0 0	0 0 0 0	0	0 0 0	0	0 0 0	0	0 0 0

Bits	Access	Name	Description
[31:28]	RO	reserved	保留。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

[27:24]	RO	p_curr_st	HBA_PINIT_STATE 状态机当前状态。
[23:21]	RO	reserved	保留。
[20:16]	RO	ndr_curr_st	HBA_NDR_STATE 状态机当前状态。
[15:12]	RO	cfis_curr_st	HBA_CFIS_STATE 状态机当前状态。
[11]	RO	reserved	保留。
[10:8]	RO	pio_curr_st	HBA_PIO_STATE 状态机当前状态。
[7]	RO	reserved	保留。
[6:4]	RO	pm_curr_st	HBA_PM_STATE 状态机当前状态。
[3]	RO	reserved	保留。
[2:0]	RO	err_curr_st	HBA_ERR_STATE 状态机当前状态。

SATA_PORT_LINK

SATA_PORT_LINK 为 Link 测试状态寄存器。

Offset Address	Register Name	Total Reset Value
0x054+n x 0x80	SATA_PORT_LINK	0x0020_2020

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				link_curr_st				reserved	link_df_fifo_full	link_df_fifo_empty	link_df_fifo_count					reserved	link_rx_fifo_full	link_rx_fifo_empty	link_rx_fifo_count					reserved	link_tx_fifo_full	link_tx_fifo_empty	link_tx_fifo_count				
Reset	0	0	0	0	0	0	1	1	0	0	1	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	1	0	0	0	0	0

Bits	Access	Name	Description
[31:29]	RO	reserved	保留。
[28:24]	RO	link_curr_st	LINK_CTL_STATE 状态机当前状态。
[23]	RO	reserved	保留。
[22]	RO	link_df_fifo_full	Link 消频差 FIFO 满标志。 0：FIFO 不满； 1：FIFO 满。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

[21]	RO	link_df_fifo_empty	Link 消频差 FIFO 空标志。 0：FIFO 非空； 1：FIFO 空。
[20:16]	RO	link_df_fifo_count	Link 消频差 FIFO 数据量。
[15]	RO	reserved	保留。
[14]	RO	link_rx_fifo_full	Link 接收 FIFO 满标志。 0：FIFO 不满； 1：FIFO 满。
[13]	RO	link_rx_fifo_empty	Link 接收 FIFO 空标志。 0：FIFO 非空； 1：FIFO 空。
[12:8]	RO	link_rx_fifo_count	Link 接收 FIFO 数据量。
[7]	RO	reserved	保留。
[6]	RO	link_tx_fifo_full	Link 发送 FIFO 满标志。 0：FIFO 不满； 1：FIFO 满。
[5]	RO	link_tx_fifo_empty	Link 发送 FIFO 空标志。 0：FIFO 非空； 1：FIFO 空。
[4:0]	RO	link_tx_fifo_count	Link 发送 FIFO 数据量。

SATA_PORT_DMA1

SATA_PORT_DMA1 为 DMAC 测试状态寄存器 1。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x058+n x 0x80	SATA_PORT_DMA1	0x0000_0000

Bit	31 30 29 28	27 26 25 24	23	22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved	txdmac_cur_state	txdmac_prd_i		tx_entry_dbc_cnt				
Reset	0 0 0 0	0 0 0 0	0	0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[31:28]	RO	reserved	保留。
[27:24]	RO	txdmac_cur_state	SATA_TX_DMAC 状态机当前状态。
[23]	RO	txdmac_prd_i	SATA_TX_DAMC 中 PRD 链表的 entry 中的“I”位。
[22:0]	RO	tx_entry_dbc_cnt	SATA_TX_DMAC 中递减计数器，当前使用的 Entry 中的数据字节数目。

SATA_PORT_DMA2

SATA_PORT_DMA2 为 DMAC 测试状态寄存器 2。

Offset Address	Register Name	Total Reset Value
0x05C+n x 0x80	SATA_PORT_DMA2	0x0020_0000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved		tx_data_fis_cnt				tx_cmdh_prdtl	
Reset	0 0 0 0	0 0 0 0	0 0 1 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[31:24]	RO	reserved	保留。
[23:8]	RO	tx_data_fis_cnt	SATA_TX_DMAC 中递减计数器，表示 PIO 和 Legacy DMA、及 First Party DMA 操作时的 Data FIS 字节数目。PIO 操作时，其初始值是 PIO Setup 中 transcount；Legacy DMA 或 First Party DMA 操作时，其初始值是 16'h2000（2048DWORD）。
[7:0]	RO	tx_cmdh_prdtl	SATA_TX_DMAC 中递减计数器，Command Header 中参数，表示 PRDT 中有多少个 Entries。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

SATA_PORT_DMA3

SATA_PORT_DMA3 为 DMAC 测试状态寄存器 3。

Offset Address	Register Name	Total Reset Value
0x060+n x 0x80	SATA_PORT_DMA3	0x0000_0000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	tx_fpdma_tran_cnt							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[31:0]	RO	tx_fpdma_tran_cnt	SATA_TX_DMAC 中递减计数器，表示 First Party DMA 操作时的 Data FIS 字节数目。其初始值是 DMA Setup 中 transcount。

SATA_PORT_DMA4

SATA_PORT_DMA4 为 DMAC 测试状态寄存器 4。

Offset Address	Register Name	Total Reset Value
0x064+n*0x80	SATA_PORT_DMA4	0x0000_0000

Bit	31 30 29 28	27 26 25 24	23	22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved	rxdmac_cur_state	rxdmac_prd_i	rx_entry_dbc_cnt					
Reset	0 0 0 0	0 0 0 0	0	0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[31:28]	RO	reserved	保留。
[27:24]	RO	rxdmac_cur_state	SATA_RX_DMAC 当前状态机信号。
[23]	RO	rxdmac_prd_i	SATA_RX_DAMC 中 PRD 链表的 entry 中的“I”位。
[22:0]	RO	rx_entry_dbc_cnt	SATA_RX_DMAC 中递减计数器，当前使用的 Entry 中的数据字节数目。

SATA_PORT_DMA5

SATA_PORT_DMA5 为 DMAC 测试状态寄存器 5。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x068+n x 0x80	SATA_PORT_DMA5	0x0020_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved								rx_data_fis_cnt																rx_cmdh_prdtl							
Reset	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:24]	RO	reserved	保留。
[23:8]	RO	rx_data_fis_cnt	SATA_RX_DMAC 中递减计数器，表示 PIO 和 Legacy DMA、及 First Party DMA 操作时的 Data FIS 字节数目。PIO 操作时，其初始值是 PIO Setup 中 transcount；Legacy DMA 或 First Party DMA 操作时，其初始值是 0x2000（2048DWORD）。
[7:0]	RO	rx_cmdh_prdtl	SATA_RX_DMAC 中递减计数器，Command Header 中参数，表示 PRDT 中有多少个 Entries。

SATA_PORT_DMA6

SATA_PORT_DMA6 为 DMAC 测试状态寄存器 6。

Offset Address	Register Name	Total Reset Value
0x6C+n x 0x80	SATA_PORT_DMA6	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	rx_fpdma_tran_cnt																															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:0]	RO	rx_fpdma_tran_cnt	SATA_RX_DMAC 中递减计数器，表示及 First Party DMA 操作时的 Data FIS 字节数目。其初始值是 DMA Setup 中 transcount 的值。

SATA_PORT_DMA7

SATA_PORT_DMA7 为 DMAC 测试状态寄存器 7。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Offset Address	Register Name	Total Reset Value
0x070+n x 0x80	SATA_PORT_DMA7	0x0005_0000

Bit	31 30 29 28	27 26 25 24	23 22 21	20	19	18	17	16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved			pio_op	fpdma_op	dmac_rx_fifo_full	dmac_rx_fifo_empty	dmac_tx_fifo_full	dmac_tx_fifo_empty	dmac_rx_fifo_cnt		dmac_tx_fifo_cnt
Reset	0 0 0 0	0 0 0 0	0 0 0	0	0	1	0	1	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

Bits	Access	Name	Description
[31:22]	RO	reserved	保留。
[21]	RO	pio_op	PIO 操作指示。 0：当前命令不是 PIO 操作； 1：当前命令为 PIO 操作。
[20]	RO	fpdma_op	First Party DMA 操作指示。 0：当前命令不是 First Party DMA 操作； 1：当前命令为 First Party DMA 操作。
[19]	RO	dmac_rx_fifo_full	SATA_DMAC_RX_FIFO 满状态。 0：FIFO 不满； 1：FIFO 满。
[18]	RO	dmac_rx_fifo_empty	SATA_DMAC_RX_FIFO 空状态。 0：FIFO 非空； 1：FIFO 空。
[17]	RO	dmac_tx_fifo_full	SATA_DMAC_TX_FIFO 满状态。 0：FIFO 不满； 1：FIFO 满。
[16]	RO	dmac_tx_fifo_empty	SATA_DMAC_TX_FIFO 空状态。 0：FIFO 非空； 1：FIFO 空。
[15:8]	RO	dmac_rx_fifo_cnt	SATA_DMAC_RX_FIFO 中的数据个数，单位为 DWORD。
[7:0]	RO	dmac_tx_fifo_cnt	SATA_DMAC_TX_FIFO 中的数据个数，单位为 DWORD。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

SATA_PORT_PHYCTL

SATA_PORT_PHYCTL 为 PHY 控制寄存器。

Offset Address	Register Name	Total Reset Value
0x074+n x 0x80	SATA_PORT_PHYCTL	0x0E63_6159

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved			phy_disable	phy_calibrated	spd_change_ack	dp_rdy	bist_tx_fspd	neg_mode_b	gen2_en	los_ctl		rx_dpll_mode				rx_eq_val				rx_term_en	tx_calc	tx_edgerate		tx_cko_en	rx_align_en	tx_clk_align		tx_atten		tx_boost	
Reset	0	0	0	0	1	1	1	0	0	1	1	0	0	0	1	1	0	1	1	0	0	0	0	1	0	1	0	1	1	0	0	1

Bits	Access	Name	Description
[31:29]	RO	reserved	保留。
[28]	RW	phy_disable	是否使用 PHY。 0：使用 PHY； 1：不使用 PHY。
[27]	RW	phy_calibrated	是否对 PHY 进行校准。 0：不校准； 1：校准。
[26]	RW	spd_change_ack	是否允许速率切换。 0：不允许速度切换； 1：允许速度切换。
[25]	RW	dp_rdy	PHY 是否准备好发送数据。 0：未准备好； 1：已经准备好。
[24]	RW	bist_tx_fspd	BIST 模式强迫发送时钟频率。 0：不强迫； 1：强迫。
[23]	RW	neg_mode_b	协商模式 B 选择。 0：不支持； 1：支持。
[22]	RW	gen2_en	发送控制信号，是否允许 3G 模式。 0：不支持 3G 模式； 1：支持 3G 模式。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

[21:20]	RW	los_ctl	LOS 检测控制。 00：LOS 检测关闭； 01：保留； 10：OOB 信号检测； 11：保留。
[19:17]	RW	rx_dpll_mode	接收 dpll 控制模式。 000：表示 PHUG 为 1，FRUG 为 1； 001：表示 PHUG 为 2，FRUG 为 2； 010：表示 PHUG 为 1，FRUG 为 4； 011：表示 PHUG 为 2，FRUG 为 4； 其他：保留。
[16:14]	RW	rx_eq_val	接收均衡控制。表示内部的均衡值为~（rx_eq_val + 1）x 0.5dB。
[13]	RW	rx_term_en	接收 Terminate 使能。 0：禁止； 1：使能。
[12]	RW	tx_calc	此位不使用，强制为 0。
[11:10]	RW	tx_edgerate	发送信号沿控制。缺省为 0x0。
[9]	RW	tx_cko_en	tx_cko_clk 时钟使能。 0：禁止； 1：使能。
[8]	RW	rx_align_en	接收数据对齐。 0：不支持接收数据对齐； 1：支持接收数据对齐。
[7]	RW	tx_clk_align	发送时钟对齐。 0：不对齐； 1：对齐。
[6:4]	RW	tx_atten	发送衰减控制。 000：16/16； 001：14/16； 010：12/16； 011：10/16； 100：9/16； 101：8/16； 11X：保留。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

[3:0]	RW	tx_boost	发送 boost 控制。值为-20log（1-（tx_boost[3:0]+ 0.5）/32）dB。

SATA_PORT_PHYSTS

SATA_PORT_PHYSTS 为 PHY 测试状态寄存器。

Offset Address	Register Name	Total Reset Value
0x078+n x 0x80	SATA_PORT_PHYSTS	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved													tx_cko_word	tx_rxpres	tx_done	spd_change	link_rdy	init_compl	pwr_state	rx_pll_pwron	rx_en	tx_en			mpll_pwron	phy_comwake	phy_cominit	half_rate	phyrdy	los	op_done
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:19]	RO	reserved	保留。
[18]	RW	tx_cko_word	每个 lane 的接收 word 时钟，暂不使用。
[17]	RW	tx_rxpres	接收检测，暂不使用。
[16]	RW	tx_done	发送部分请求的操作已完成，高有效，暂不使用。
[15]	RW	spd_change	要求变换速率，高有效。
[14]	RW	link_rdy	为高时表示发送了足够的 D10.2。
[13]	RW	init_compl	为高时表示接收到非 ALIGN 原语，初始化完成。
[12]	RW	pwr_state	为 1 表示处于低功耗模式(partial or slumber)，否则表示处于 Active 状态。
[11]	RW	rx_pll_pwron	接收 PLL 上电控制信号。
[10]	RW	rx_en	rx_en 信号控制状态。
[9:7]	RW	tx_en	tx_en 信号控制状态。
[6]	RW	mpll_pwron	MPLL 上电控制信号。
[5]	RW	phy_comwake	PHY 检测到 COMWAKE，高电平有效。
[4]	RW	phy_cominit	PHY 检测到 COMINIT，高电平有效。
[3]	RW	half_rate	为 1 时表示仅支持 1.5G 速率。
[2]	RW	phyrdy	PHY 已经初始化完成，可以与 LINK 层通信，高有效。
[1]	RW	los	Loss of Signal Output，高电平有效。

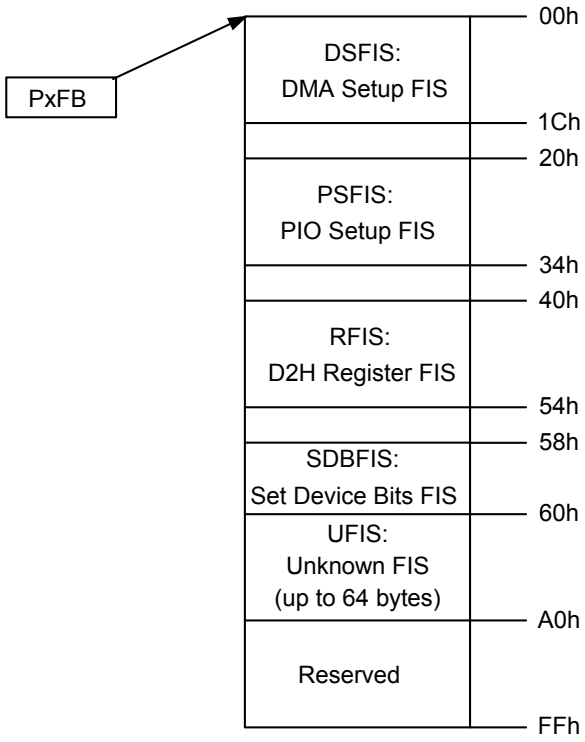
海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

[0]	RW	op_done	MPLL 请求的操作已经完成，高电平有效。

14.8.8 附录 A SATA 命令链表格式

FIS 链表结构如图 14-60 所示，此链表是软件在系统 memory 开辟的一段空间，链表的基地址存在 AHCI 寄存器组中的 PxFB 和 PxFBU 寄存器中，DMAC 以此基地址为目的地址，将收到的不同帧，搬运到不同的 memory 空间中。

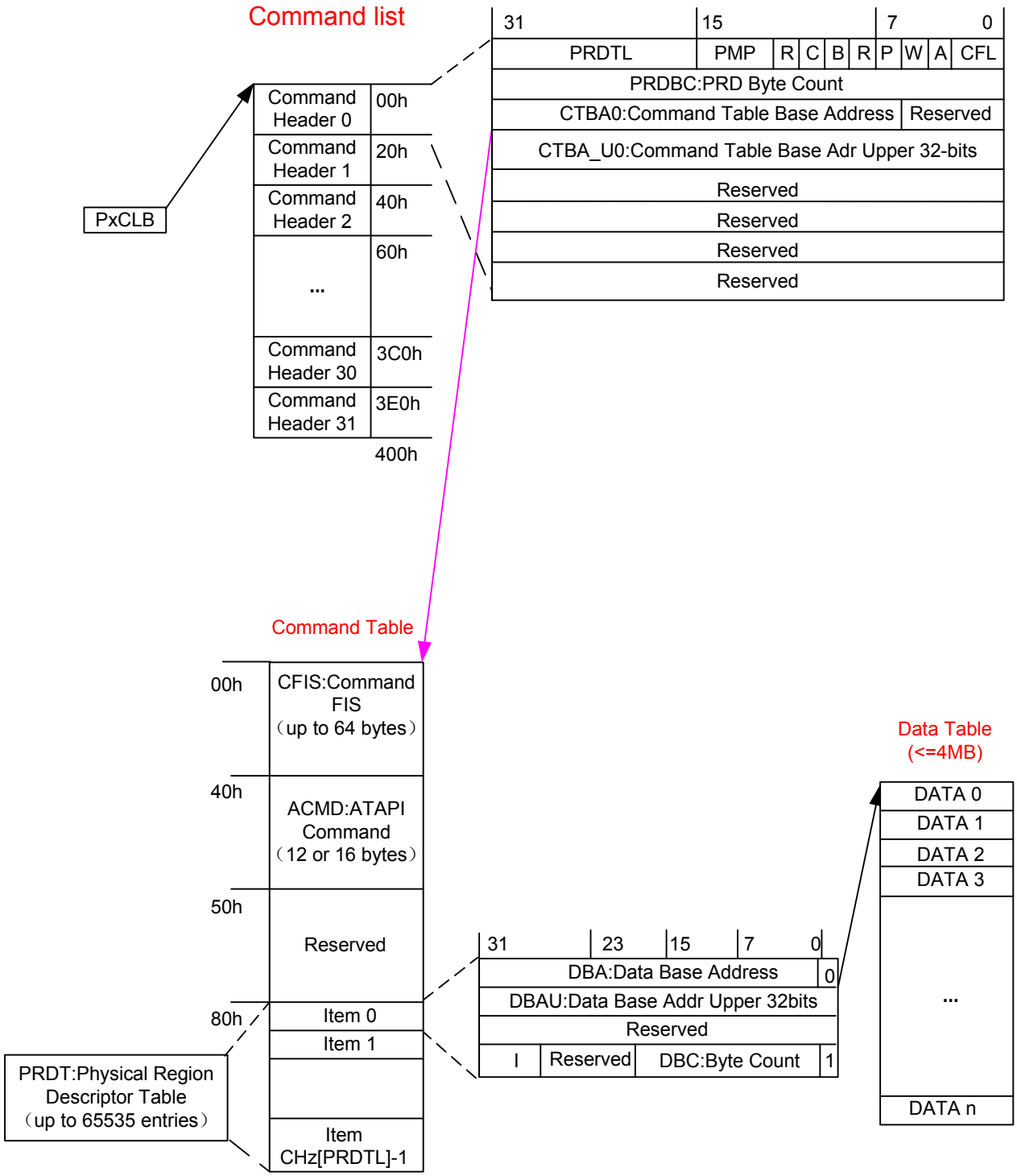
图14-60 链表结构



命令和数据链表结构如图 14-61 所示，此链表是软件在系统 memory 开辟的一段空间，Command list 中最多包括 32 个命令，Command list 的基地址由 AHCI 中的 PxCLB 和 PxCLBU 寄存器指定。每个命令都包括一个 Command Header，其中的 CTBA0 内容指定了 Command Table 的基地址，Command Table 中包括了要读取的命令和读写的数据空间链表。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

图14-61 命令、数据链表结构



每次在命令执行之前都需要在内存中建立以上两个链表，链表的具体含义请参考AHCI1.2 协议。其中的 CFIS 区域就是 H2D Register FIS，具体内容参考 SATA2.5 协议。ACMD 区域是 ATAPI 操作的命令内容，具体内容参考 SSF（Small Form Factor Committee）专门针对 DVD Devices 和 CD-ROMs 的协议描述。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

目 录

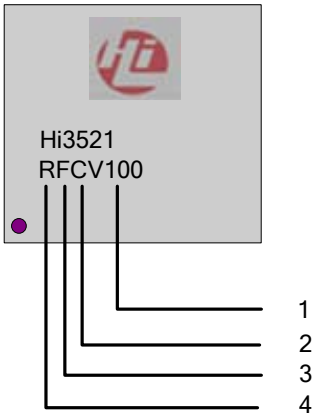
A 订购须知 A-1

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

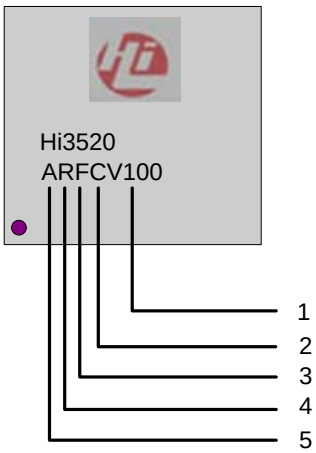
A 订购须知

Hi3521 芯片标识如图 A-1 所示；Hi3520A 芯片标识如图 A-2 所示。

图A-1 Hi3521 芯片标识



图A-2 Hi3520A 芯片标识



海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司

Hi3521 和 Hi3520A 芯片标识定义如表 A-1 所示。

表A-1 Hi3521 和 Hi3520A 芯片标识定义

编号	标识	含义
1	版本号	芯片版本号
2	温度标识	C：Commercial(商业用品)
3	封装标识	F：FC-BGA
4	环保标识	R：RoHS
5	产品区分(Hi3520A)	芯片产品名称最后一位，即产品区分位。该位为可选，如果该位为空，则右方内容顺序左移。

海思专有和保密信息
版权所有 © 深圳市海思半导体有限公司